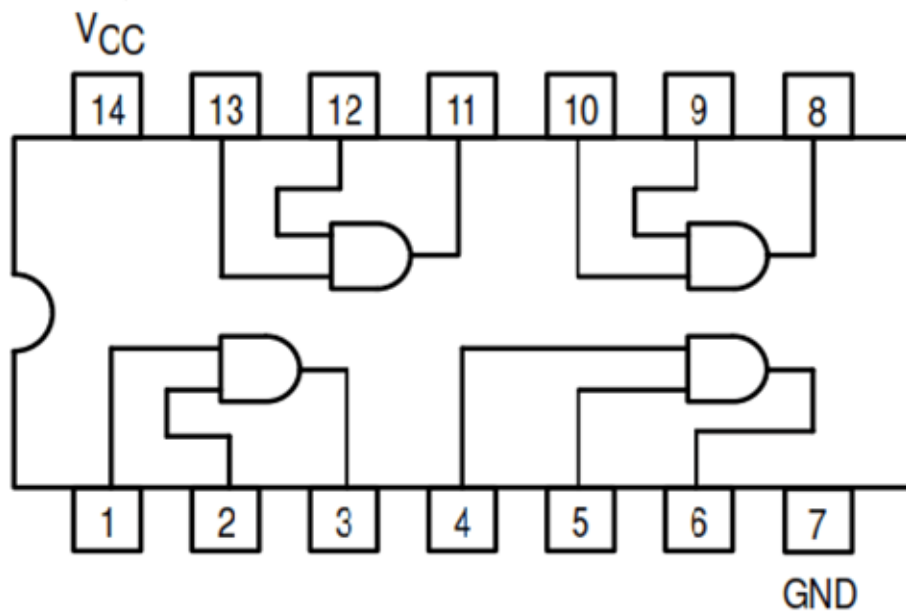


B' Τεχνική Σχολή Λευκωσίας

Εργαστήρια Ψηφιακών Ηλεκτρονικών 3^{ης} Τάξης

ΟΝΟΜΑ :

ΤΜΗΜΑ :



Εργαστήρια Ψηφιακών Ηλεκτρονικών 3^{ης} Τάξης

Περιεχόμενα

1. ΣΥΝΔΥΑΣΤΙΚΑ ΛΟΓΙΚΑ ΚΥΚΛΩΜΑΤΑ
2. ΦΛΙΠ ΦΛΟΠ
3. ΠΟΛΥΔΟΝΗΤΕΣ
4. ΑΠΑΡΙΘΜΗΤΕΣ
5. ΚΩΔΙΚΟΠΟΙΗΤΕΣ/ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ
6. ΣΥΓΚΡΙΤΕΣ
7. ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ
8. ΠΟΛΥΠΛΕΚΤΕΣ

ΣΥΝΔΥΑΣΤΙΚΑ ΛΟΓΙΚΑ ΚΥΚΛΩΜΑΤΑ

ΕΙΣΑΓΩΓΗ ΣΤΙΣ ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΛΟΓΙΚΕΣ ΠΥΛΕΣ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΛΟΓΙΚΕΣ ΠΥΛΕΣ EXOR & EXNOR

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 - ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ_1

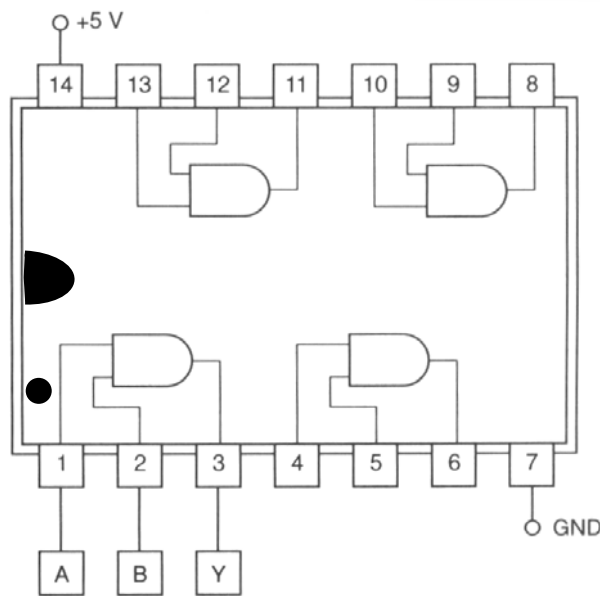
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 4 - ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ_2

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΙΣΑΓΩΓΗ ΣΤΙΣ ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ

ΣΤΟΧΟΙ:

- ♦ Η εκμάθηση της χρήσης της ψηφιακής κατασκευής με την ειδική πλακέτα (breadboard), το τροφοδοτικό, τους λογικούς διακόπτες και τις ενδεικτικές λυχνίες (LED's) με στόχο τη χρήση της στο Εργαστήριο των Ψηφιακών Ηλεκτρονικών.

- **Συνδεσμολογία Πύλης AND με το IC - 7408**

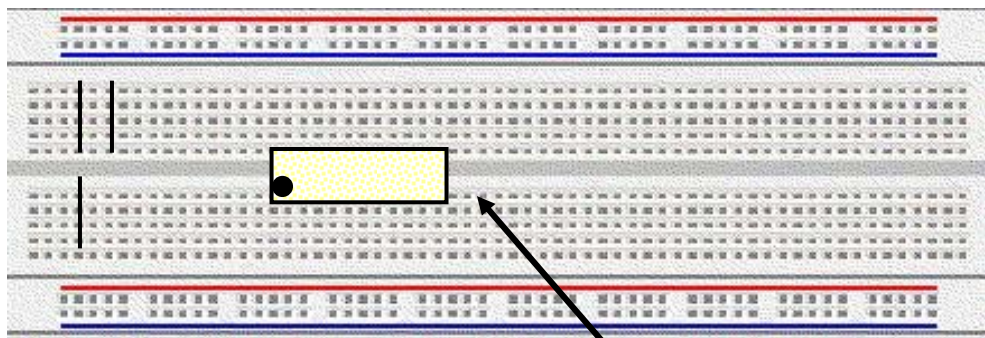


ΣΥΝΔΕΣΕΙΣ:

Τροφοδοσία	V_{cc}	+ 5 V	Pin 14
Γείωση	Gnd	0 V	Pin 7

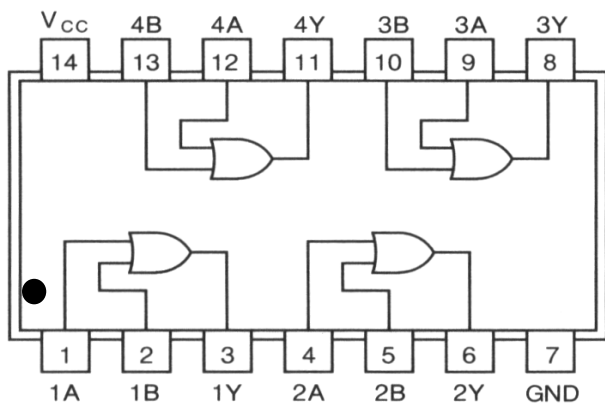
- **Πειραματική Πλακέτα (Breadboard)**

-

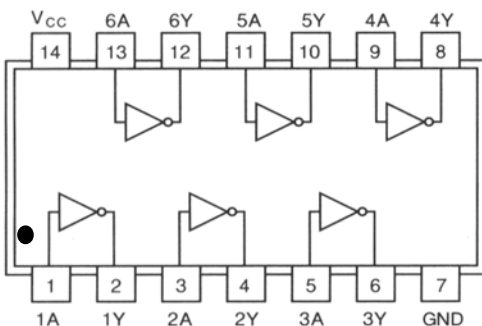


IC

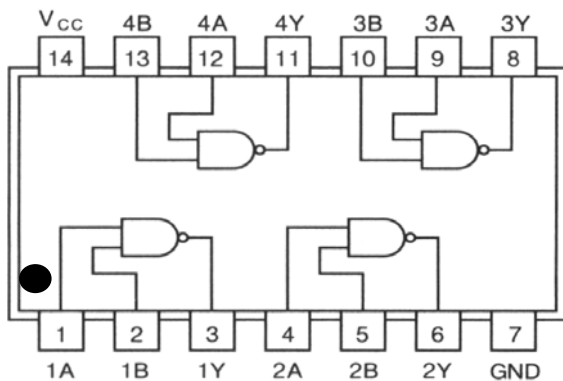
- **Συνδεσμολογία Πύλης OR με το IC - 7432**



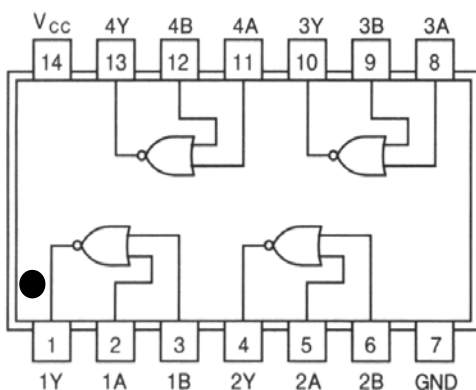
- **Συνδεσμολογία Πύλης NOT με το IC - 7404**



- **Συνδεσμολογία Πύλης NAND με το IC - 7400**



- **Συνδεσμολογία Πύλης NOR με το IC - 7402**



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΛΟΓΙΚΕΣ ΠΥΛΕΣ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

ΣΤΟΧΟΙ:

- ♦ Η εκμάθηση της χρήσης της ψηφιακής κατασκευής με την ειδική πλακέτα (breadboard), το τροφοδοτικό, τους λογικούς διακόπτες και τις ενδεικτικές λυχνίες (LED' s).
- ♦ Η συνδεσμολογία και επαλήθευση της λειτουργίας της λογικών πυλών AND, OR, NOT, NOR και NAND.

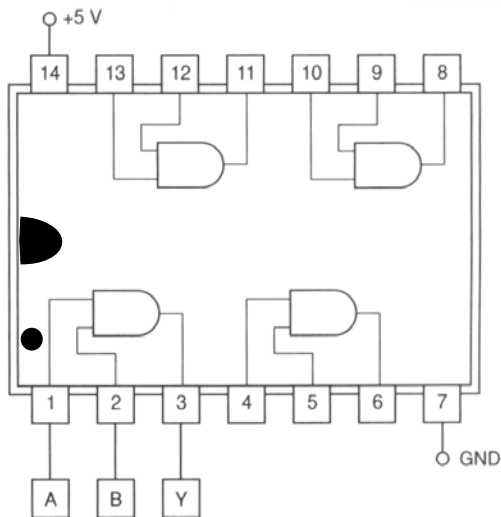
ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα:
 - IC 7408** (Έχει 4 πύλες AND των δύο εισόδων)
 - IC 7432** (Έχει 4 πύλες OR των δύο εισόδων)
 - IC 7404** (Έχει 6 πύλες NOT)
 - IC 7400** (Έχει 4 πύλες NAND των 2 εισόδων)
 - IC 7402** (Έχει 4 πύλες NOR των 2 εισόδων)

ΔΙΑΔΙΚΑΣΙΑ:

ΠΥΛΗ AND IC - 7408

1. Συνδεσμολογήστε μία πύλη AND όπως δείχνει το σχήμα πιο κάτω.



ΕΙΣΟΔΟΙ		ΕΞΟΔΟΣ
A	B	Y
0	0	
0	1	
1	0	
1	1	

Με τους λογικούς διακόπτες να δώσετε στις εισόδους της πύλης όλους τους δυνατούς συνδυασμούς και κάθε φορά να καταγράφετε τη λογική κατάσταση της εξόδου της πύλης, που θα παρακολουθήσετε στις ενδεικτικές λυχνίες LED και συμπληρώστε τον Πίνακα Αληθείας.

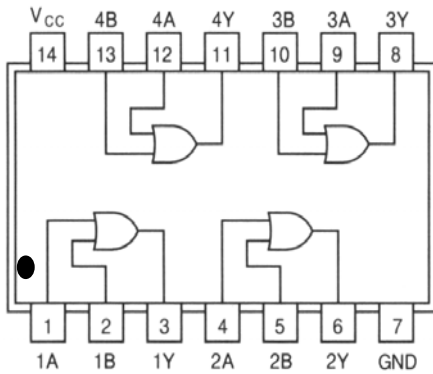
2. Διατυπώστε με μια πρόταση τη λογική συνάρτηση της πύλης AND:

.....

Λογική Συνάρτηση Πύλης AND

Y = []

ΠΥΛΗ OR IC - 7432



Συμπληρώστε τον Πίνακα αληθείας

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΣ
A	B	Y
0	0	
0	1	
1	0	
1	1	

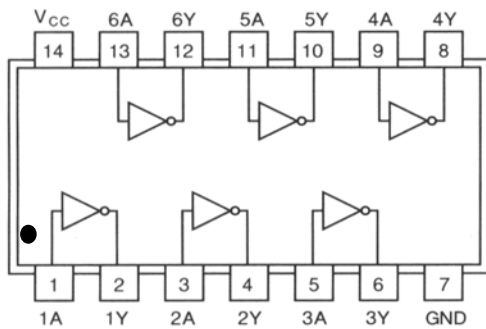
3. Διατυπώστε με μια πρόταση τη λογική συνάρτηση της πύλης OR:

.....

.....

Λογική Συνάρτηση Πύλης OR

Y =



Συμπληρώστε τον Πίνακα αληθείας

ΕΙΣΟΔΟΣ	ΕΞΟΔΟΣ
A	Y
0	
1	

ΠΥΛΗ NOT - IC 7404

4. Διατυπώστε με μια πρόταση τη λογική συνάρτηση της πύλης NOT:

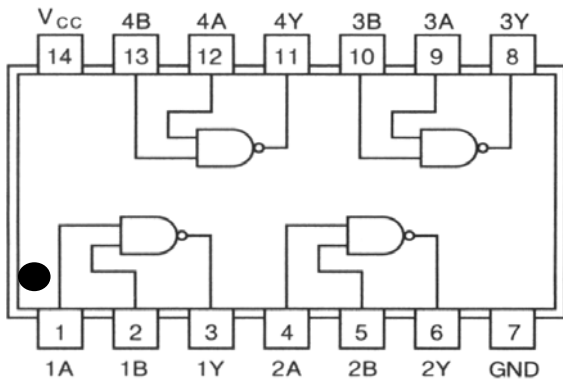
.....

.....

Λογική Συνάρτηση Πύλης NOT

Y =

ΠΥΛΗ NAND - IC 7400



Συμπληρώστε τον Πίνακα αληθείας

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΣ
A	B	Y
0	0	
0	1	
1	0	
1	1	

5. Διατυπώστε με μια πρόταση τη λογική συνάρτηση της πύλης NAND:

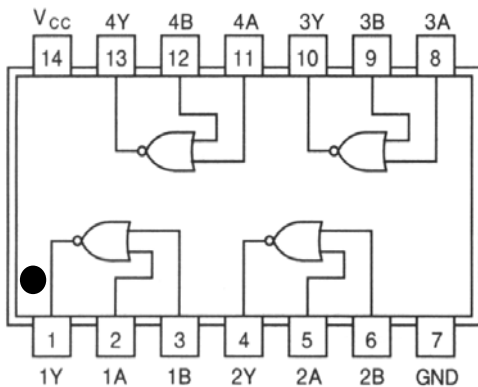
.....

.....

Λογική Συνάρτηση Πύλης NAND

Y =

ΠΥΛΗ NOR - IC 7402



Συμπληρώστε τον Πίνακα αληθείας

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΣ
A	B	Y
0	0	
0	1	
1	0	
1	1	

6. Διατυπώστε με μια πρόταση τη λογική συνάρτηση της πύλης NOR:

.....

.....

Λογική Συνάρτηση Πύλης NOR

Y =

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΛΟΓΙΚΕΣ ΠΥΛΕΣ EXOR & EXNOR

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

ΣΤΟΧΟΙ:

- ◆ Η συνδεσμολογία και επαλήθευση της λειτουργίας της λογικής πύλης EXOR.
- ◆ Η συνδεσμολογία και η επαλήθευση της λειτουργίας της πύλης EXNOR με δύο πύλες NOT και μια πύλη EXOR.
- ◆ Η συνδεσμολογία και η επαλήθευση της λειτουργίας της πύλης EXNOR με πύλες NOT, OR και AND.

ΥΛΙΚΑ:

- ◆ Ψηφιακή πειραματική κατασκευή
- ◆ Ολοκληρωμένο κύκλωμα:
 - IC 7486** (4 πύλες EXOR των δύο εισόδων)
 - IC 7432** (4 πύλες OR των δύο εισόδων)
 - IC 7404** (6 πύλες NOT)
 - IC 7408** (4 πύλες AND των 2 εισόδων)

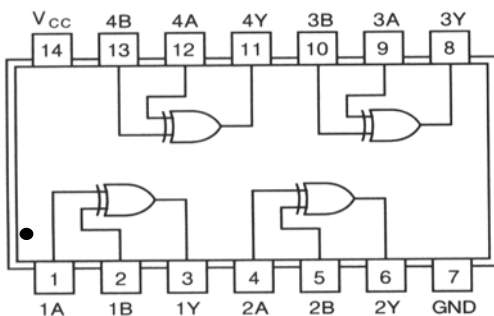
ΔΙΑΔΙΚΑΣΙΑ:

ΠΥΛΗ EXOR IC - 7486

7. Συνδεσμολογήστε μία πύλη EXOR όπως δείχνει το σχήμα πιο κάτω.

Με τους λογικούς διακόπτες να δώσετε στις εισόδους της πύλης όλους τους δυνατούς συνδυασμούς καταγράφοντας κάθε φορά τη λογική κατάσταση της εξόδου της πύλης, που θα παρακολουθήσετε στην ενδεικτική λυχνία LED συμπληρώνοντας τον Πίνακα Αληθείας.

Διατυπώστε με μια πρόταση τη λογική συνάρτηση της πύλης EXOR:



ΕΙΣΟΔΟΙ		ΕΞΟΔΟΣ
A	B	Y
0	0	
0	1	
1	0	
1	1	

.....

.....

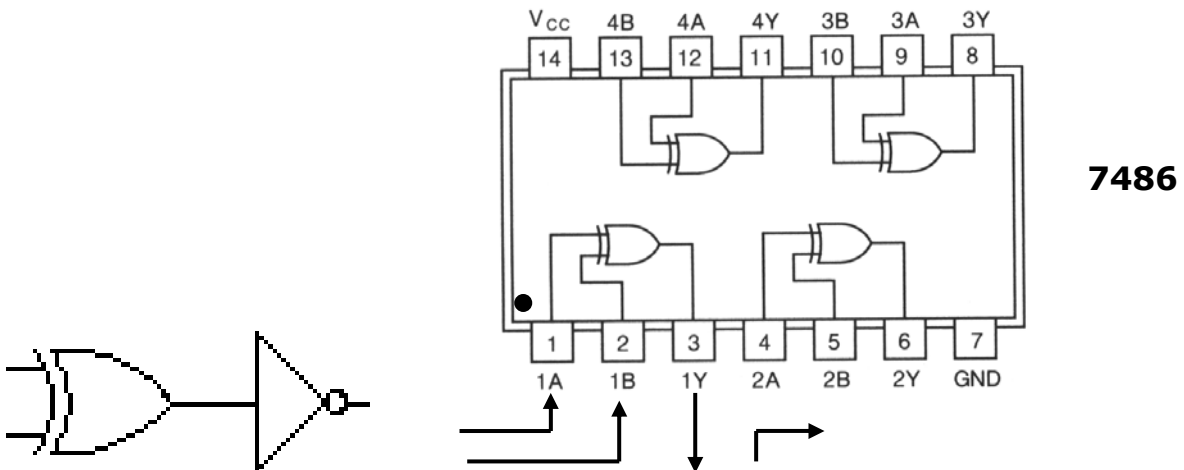
Λογική Συνάρτηση Πύλης EXOR

Y =

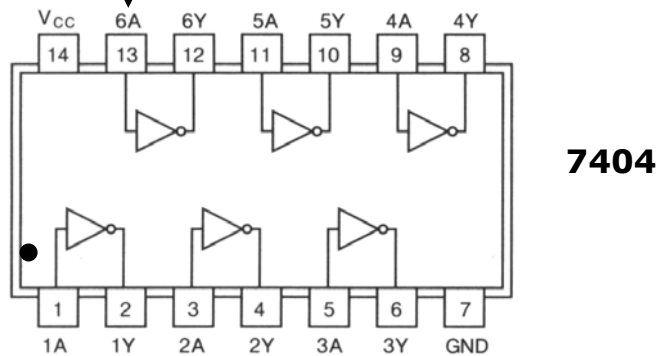
ΠΥΛΗ EXNOR ICs - 7486 & 7408

8. Συνδεσμολογήστε μία πύλη EXNOR όπως δείχνει το σχήμα πιο κάτω.

Με τους λογικούς διακόπτες να δώσετε στις εισόδους της πύλης όλους τους δυνατούς συνδυασμούς καταγράφοντας κάθε φορά τη λογική κατάσταση της εξόδου της πύλης, που θα παρακολουθήσετε στην ενδεικτική λυχνία LED συμπληρώνοντας τον Πίνακα Αληθείας.



ΕΙΣΟΔΟΙ		ΕΞΟΔΟΣ
A	B	Y
0	0	
0	1	
1	0	
1	1	



9. Διατυπώστε με μια πρόταση τη λογική συνάρτηση της πύλης EXNOR:

.....

Λογική Συνάρτηση Πύλης EXNOR

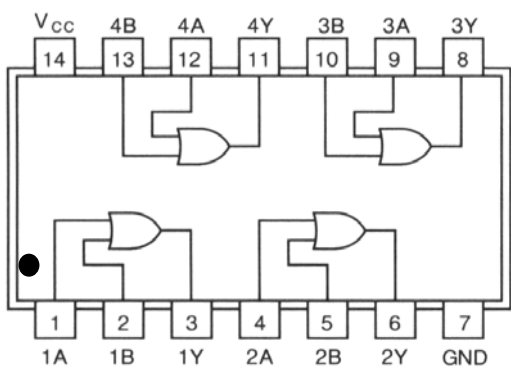
Y =

10. Από τον Πίνακα Αληθείας της Άσκησης 3 για την πύλη EXNOR, να συμπληρώσετε τη λογική συνάρτηση της πύλης.

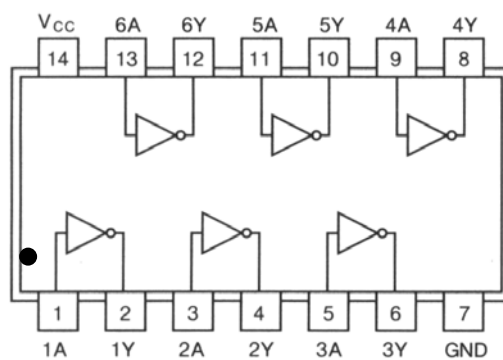
Y =

11. Να σχεδιάσετε το λογικό κύκλωμα της πύλης EXNOR χρησιμοποιώντας πύλες NOT, OR και AND.

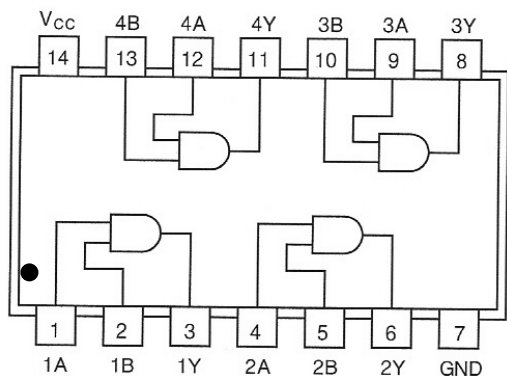
12. Να συνδεσμολογήσετε το κύκλωμα στη σελίδα 4 του Φύλλου Εργασίας σας και ακολούθως να το συνδέσετε στην πειραματική κατασκευή και έτσι να επιβεβαιώσετε τη σωστή λειτουργία της πύλης EXNOR.



7432

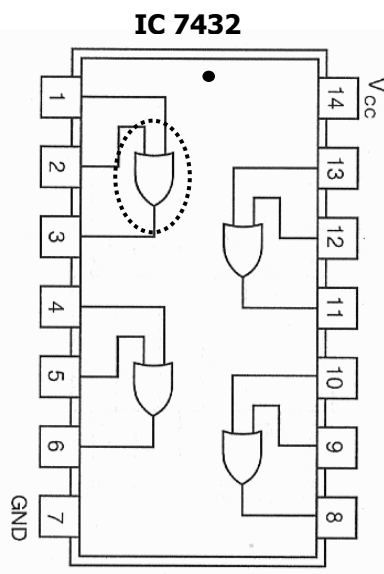
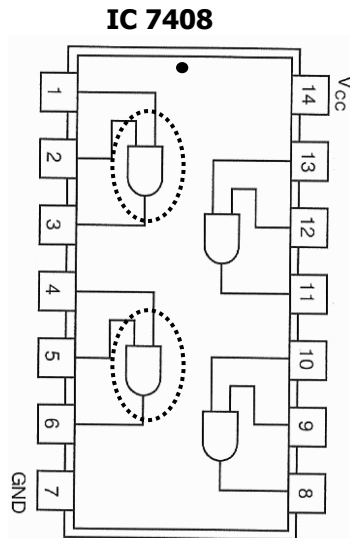
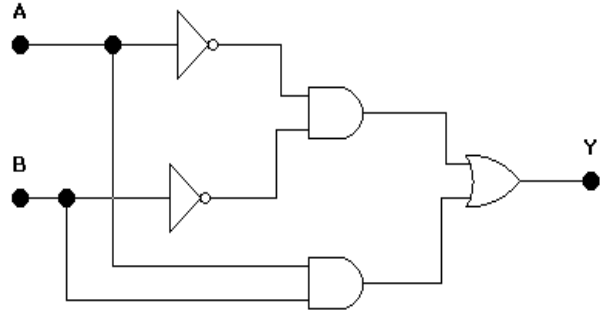
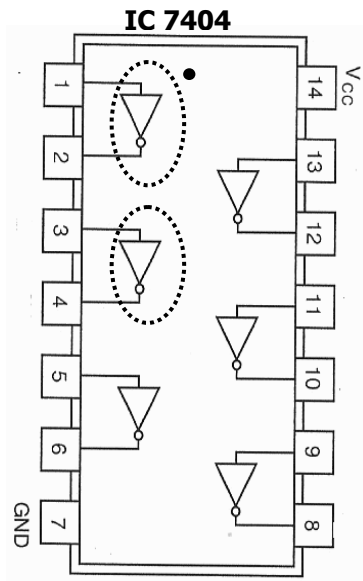
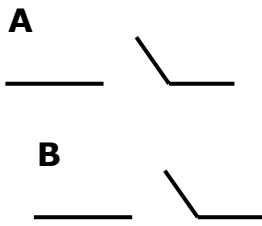


7404



7408

Συνδεσμολογία συνδυαστικού κυκλώματος πύλης EXNOR



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 - ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ_1

ΟΝΟΜΑ :

ΤΜΗΜΑ :

Συνδυαστικά Κυκλώματα είναι τα λογικά κυκλώματα των οποίων η έξοδος εξαρτάται μόνο από την κατάσταση των εισόδων του.

- Η συνδεσμολογία συνδυαστικών λογικών κυκλωμάτων με πύλες AND, OR και NOT.
- Η πειραματική επαλήθευση του Πίνακα Αληθείας λογικών συναρτήσεων και κυκλωμάτων.

♦ **ΥΛΙΚΑ**

- Ψηφιακή πειραματική κατασκευή
- Σειρά ολοκληρωμένων κυκλωμάτων TTL

♦ **ΔΙΑΔΙΚΑΣΙΑ**

1. Σχεδιάσετε το λογικό κύκλωμα της πιο κάτω λογικής συνάρτησης και συμπληρώστε τον Πίνακα αληθείας:

$$Y = A \cdot B + \overline{C}$$

ΛΟΓΙΚΟ ΚΥΚΛΩΜΑ

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ			
ΕΙΣΟΔΟΙ			ΕΞΟΔΟΣ
A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

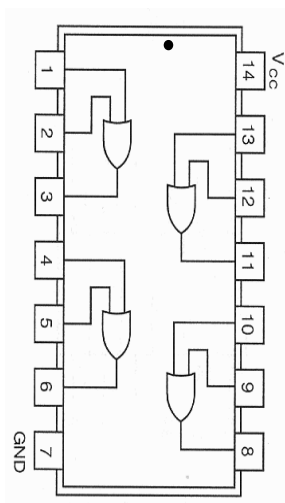
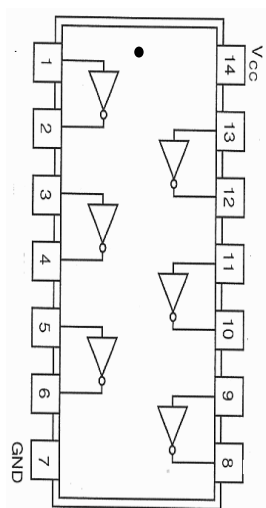
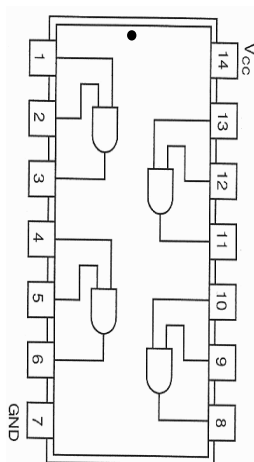
2. Επιλέξτε τα ολοκληρωμένα κυκλώματα που πρέπει να χρησιμοποιηθούν για να συνδεσμολογηθεί το κύκλωμα:

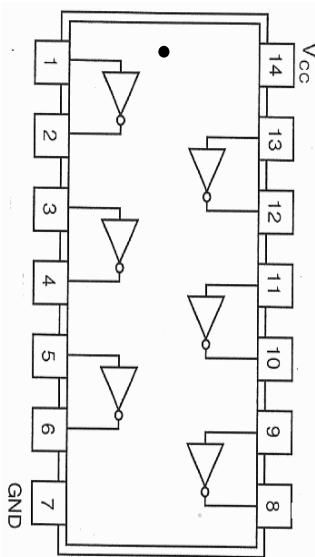
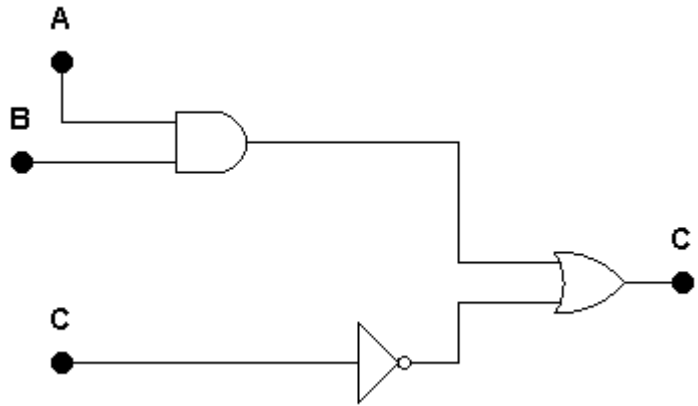
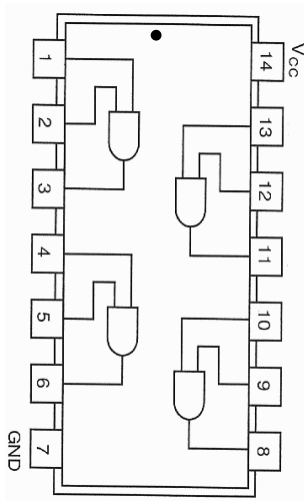
ΠΥΛΗ NOT IC

ΠΥΛΗ AND IC

ΠΥΛΗ OR IC

3. Να συνδεσμολογήσετε το κύκλωμα στο πιο κάτω σχεδιάγραμμα και ακολούθως να το συνδέσετε στην πειραματική κατασκευή και έτσι να επιβεβαιώσετε τη σωστή λειτουργία του συνδυαστικού κυκλώματος, συγκρίνοντας τα αποτελέσματα σας με τον Πίνακα Αληθείας.





Logic Converter

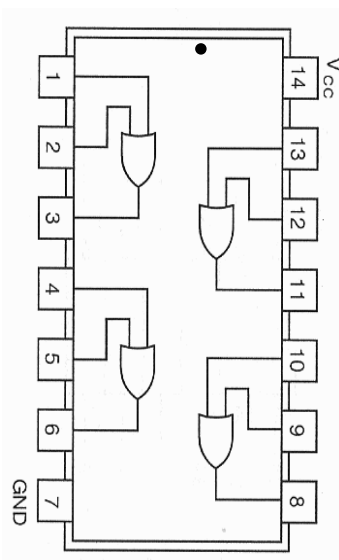
Buttons: A, B, C, D, E, F, G, H

Out:

	A	B	C	D	E	F	G	H
0000	0	0	0	0	0	0	0	0
0001	0	0	0	1	0	0	0	0
0010	0	0	1	0	0	0	0	0
0011	0	0	1	1	0	0	0	0
0100	0	1	0	0	0	0	0	0
0101	0	1	0	1	0	0	0	0
0110	0	1	1	0	0	0	0	0
0111	0	1	1	1	0	0	0	0
1000	1	0	0	0	0	0	0	0
1001	1	0	0	1	0	0	0	0
1010	1	0	1	0	0	0	0	0
1011	1	0	1	1	0	0	0	0
1100	1	1	0	0	0	0	0	0
1101	1	1	0	1	0	0	0	0
1110	1	1	1	0	0	0	0	0
1111	1	1	1	1	0	0	0	0

Conversions:

- \rightarrow $\overline{101}$
- $\overline{101}$ \rightarrow A/B
- $\overline{101}$ \xrightarrow{SIMP} A/B
- A/B \rightarrow $\overline{101}$
- A/B \rightarrow
- A/B \rightarrow NAND



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 4 - ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ_2

ΟΝΟΜΑ :

ΤΜΗΜΑ :

ΣΤΟΧΟΙ:

- Η συνδεσμολογία της λογικής πύλης EX OR με τη χρήση λογικών πυλών NAND και η πειραματική επαλήθευση του κυκλώματος.

♦ **ΥΛΙΚΑ**

- Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα:
IC 7400 (4 πύλες NAND των δύο εισόδων)

♦ **ΕΙΣΑΓΩΓΗ**

4. Δίνεται το λογικό σύμβολο της πύλης EX OR και η λογική συνάρτησή της.

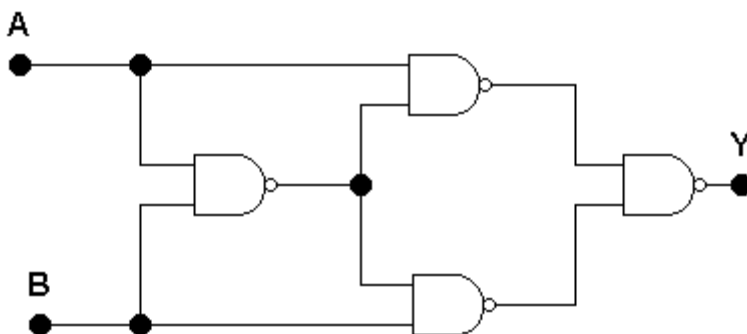
$$Y = A \oplus B$$



Να συμπληρώσετε το Πίνακα Αληθείας της πύλης:

A/A	Είσοδοι		Έξοδος
	A	B	Y
0	0	0	
1	0		
2			
3			

5. Δίνεται το πιο κάτω συνδυαστικό κύκλωμα με πύλες NAND.



6. Να συμπληρώσετε τον Πίνακα Αληθείας του κυκλώματος:

Α/Α	Είσοδοι		Έξοδος
	A	B	Y
0	0	0	
1			
2			
3			

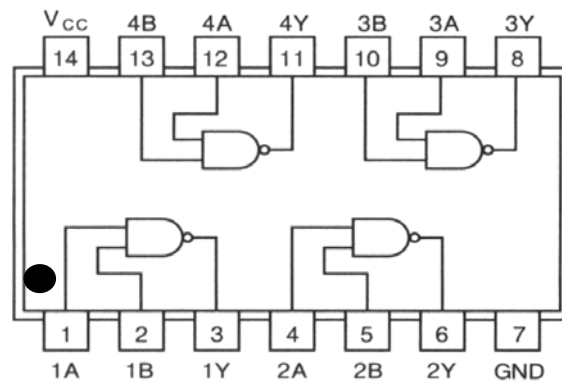
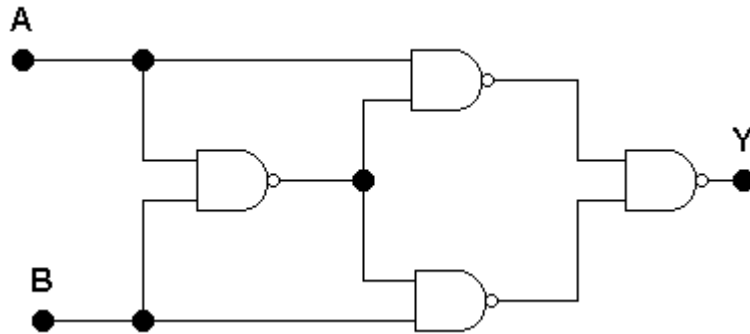
Από τον Πίνακα Αληθείας να γράψετε τη λογική συνάρτηση του κυκλώματος.

Y =

Από τον Πίνακα Αληθείας συμπεραίνεται ότι το πιο πάνω συνδυαστικό λογικό κύκλωμα υλοποιεί τη λογική πύλη EX OR.

♦ **Πειραματική Επαλήθευση**

1. Να συνδεσμολογήσετε το κύκλωμα της πύλης EX OR στην Πειραματική Κατασκευή χρησιμοποιώντας το IC 7400 και να επιβεβαιώσετε πειραματικά το συμπέρασμά σας πιο πάνω.



ΦΛΙΠ ΦΛΟΠ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - NOR ΦΛΙΠ ΦΛΟΠ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - NAND ΦΛΙΠ ΦΛΟΠ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 - D ΦΛΙΠ ΦΛΟΠ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 4 - ΣΥΓΧΡΟΝΟ D ΦΛΙΠ ΦΛΟΠ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 5 - ΣΥΓΧΡΟΝΟ JK ΦΛΙΠ ΦΛΟΠ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 6 - ΔΙΑΙΡΕΤΗΣ ΣΥΧΝΟΤΗΤΑΣ

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - NOR ΦΛΙΠ ΦΛΟΠ

ΟΝΟΜΑ :

ΤΜΗΜΑ :

ΣΤΟΧΟΙ:

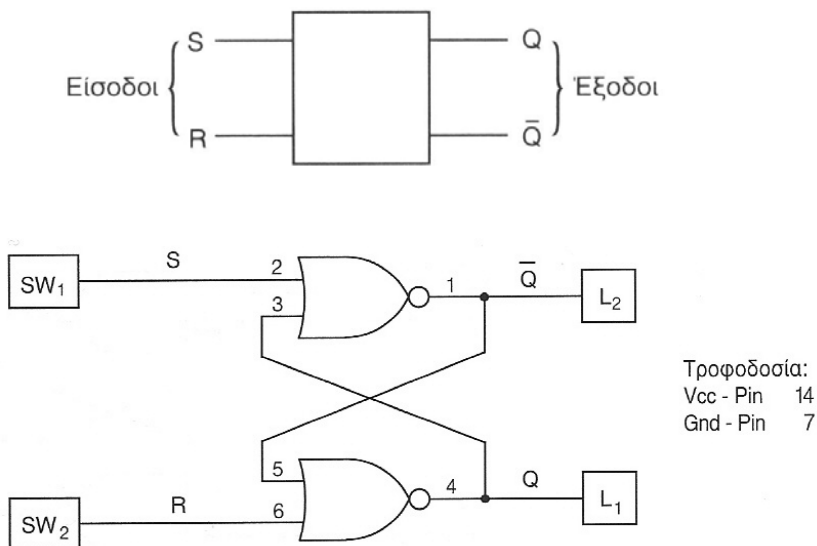
- ♦ Ο μαθητής να μπορεί να συνδεσμολογήει κύκλωμα NOR Φλιπ Φλοπ με πύλες NOR και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα:
IC 7402 (Έχει 4 πύλες NOR των 2 εισόδων)

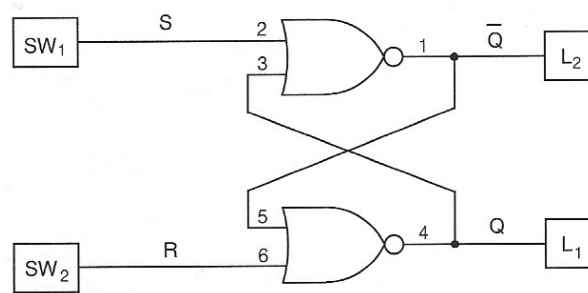
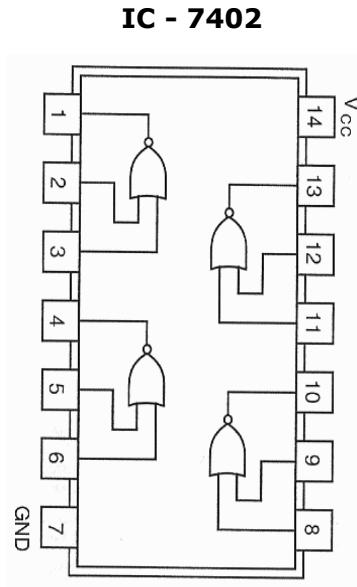
ΔΙΑΔΙΚΑΣΙΑ:

- ♦ Να συνδεσμολογήσετε το κύκλωμα του NOR Φλιπ Φλοπ στην σχεδιάγραμμα της επόμενης σελίδα χρησιμοποιώντας τις δύο πρώτες πύλες του IC - 7402 και ακολούθως να το συνδέσετε στην πειραματική κατασκευή όπως φαίνεται στο πιο κάτω σχήμα.



- ♦ Να συνδέσετε τις εισόδους του Φλιπ Φλοπ στους λογικούς διακόπτες και τις εξόδους στις ενδεικτικές λυχνίες (LEDs).
- ♦ Να εφαρμόσετε στις εισόδους του Φλιπ Φλοπ όλους τις δυνατές λογικές καταστάσεις και να παρατηρήσετε τις λογικές καταστάσεις των εξόδων σε κάθε περίπτωση στις ενδεικτικές λυχνίες.

- ◆ Να συμπληρώσετε τον Πίνακα Αληθείας.



Τροφοδοσία:
Vcc - Pin 14
Gnd - Pin 7

Είσοδοι		Έξοδοι		
S	R	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	0			
0	1			
1	0			
1	1			

Αξιολόγηση

1. Να εξηγήσετε τι εννοούμε όταν λέμε ότι το Φλιπ Φλοπ βρίσκεται σε **Κατάσταση Μνήμης** και να αναφέρετε τι συμβαίνει στις εξόδους του Φλιπ Φλοπ στην κατάσταση αυτή.

.....

.....

.....

.....

2. Να εξηγήσετε γιατί η κατάσταση εισόδων $R = 1$ και $S = 1$ θεωρείται απαγορευμένη για το Φλιπ Φλοπ.

.....

.....

.....

.....

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - NAND ΦΛΙΠ ΦΛΟΠ

ΟΝΟΜΑ :

ΤΜΗΜΑ :

ΣΤΟΧΟΙ:

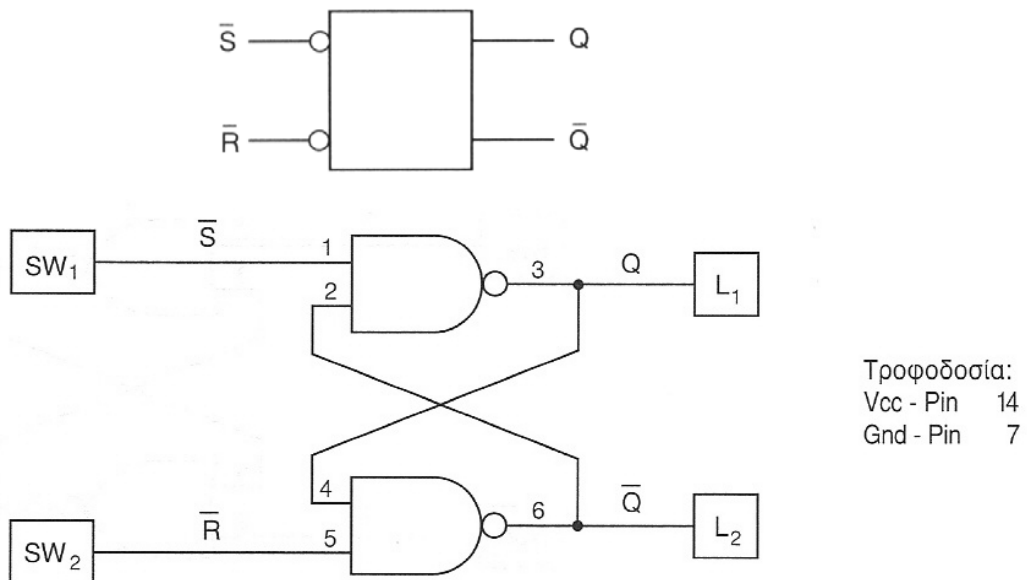
- ♦ Ο μαθητής να μπορεί να συνδεσμολογήει κύκλωμα NAND Φλιπ Φλοπ με πύλες NAND και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα:
IC 7400 (Έχει 4 πύλες NAND των 2 εισόδων)

ΔΙΑΔΙΚΑΣΙΑ:

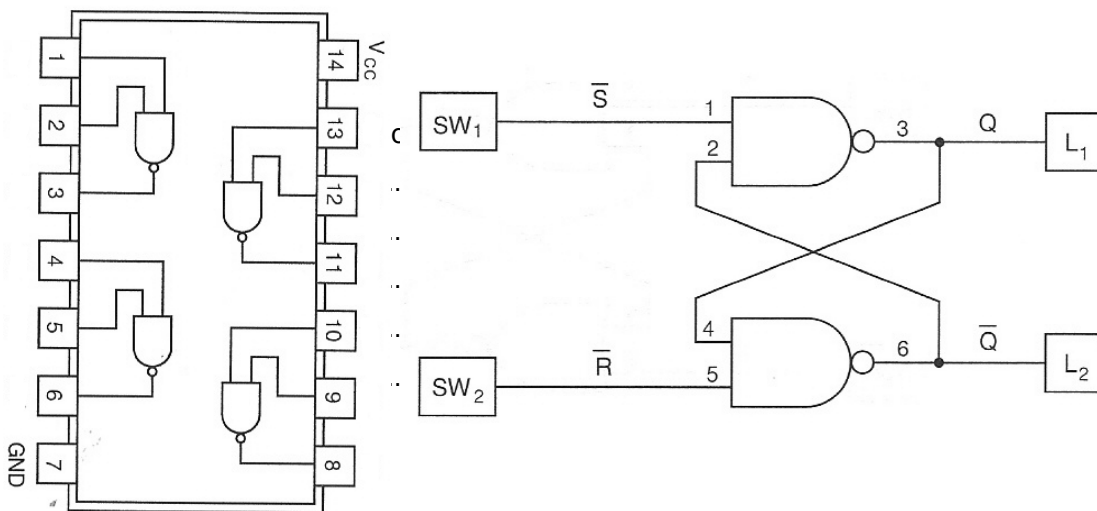
- ♦ Να συνδεσμολογήσετε το κύκλωμα του NAND Φλιπ Φλοπ στην σχεδιάγραμμα της επόμενης σελίδα χρησιμοποιώντας τις δύο πρώτες πύλες του IC - 7400 και ακολούθως να το συνδέσετε στην πειραματική κατασκευή όπως φαίνεται στο πιο κάτω σχήμα.



- ♦ Να συνδέσετε τις εισόδους του Φλιπ Φλοπ στους λογικούς διακόπτες και τις εξόδους στις ενδεικτικές λυχνίες (LEDs).
- ♦ Να εφαρμόσετε στις εισόδους του Φλιπ Φλοπ όλους τις δυνατές λογικές καταστάσεις και να παρατηρήσετε τις λογικές καταστάσεις των εξόδων σε κάθε περίπτωση στις ενδεικτικές λυχνίες.

♦ Να συμπληρώσετε τον Πίνακα Αληθείας.

IC - 7400



Τροφοδοσία:
Vcc - Pin 14
Gnd - Pin 7

Είσοδοι		Έξοδοι		
\bar{S}	\bar{R}	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	0			
0	1			
1	0			
1	1			

4. Να εξηγήσετε πως συμβολίζουμε στα ψηφιακά κυκλώματα ότι οι εισοδοι είναι ενεργές στο λογικό 0.

.....

.....

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 - D ΦΛΙΠ ΦΛΟΠ

ΟΝΟΜΑ :

ΤΜΗΜΑ :

ΣΤΟΧΟΙ:

- ♦ Ο μαθητής να μπορεί να συνδεσμολογεί κύκλωμα D Φλιπ Φλοπ με πύλες NOR και NOT και να ελέγχει τη λειτουργία του.

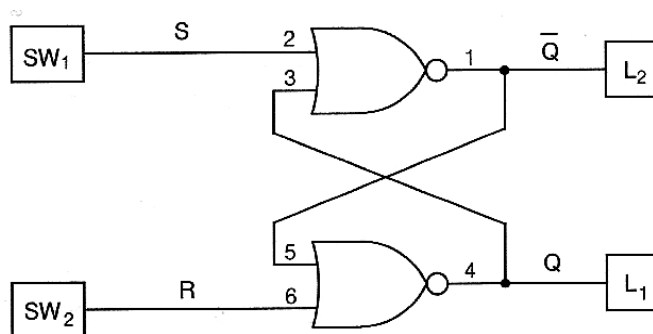
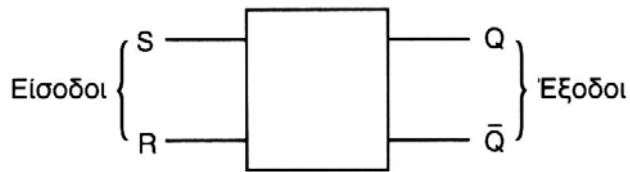
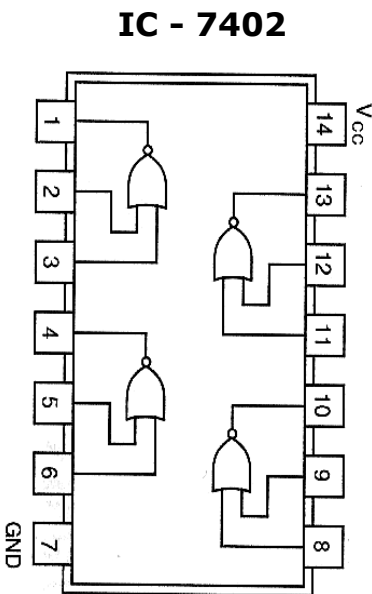
ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένα κυκλώματα:
IC 7402 (Έχει 4 πύλες NOR των 2 εισόδων)
IC 7404 (έχει 8 πύλες NOT)

ΔΙΑΔΙΚΑΣΙΑ:

Βήμα 1

- ♦ Χρησιμοποιώντας το IC 7402 να συνδεσμολογήσετε πρώτα το κύκλωμα SR Φλιπ Φλοπ με πύλες NOR και να επιβεβαιώσετε τη σωστή λειτουργία του, συμπληρώνοντας τον Πίνακα Αληθείας:



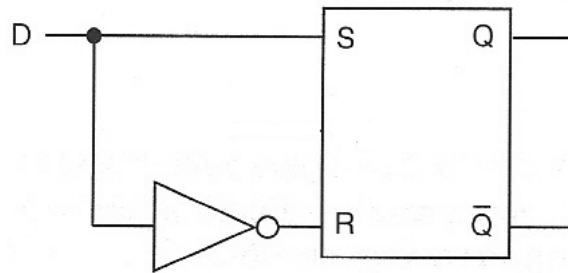
Τροφοδοσία:
V_{CC} - Pin 14
Gnd - Pin 7

Πίνακας Αληθείας

Είσοδοι		Έξοδοι		
S	R	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	0			
0	1			
1	0			
1	1			

Βήμα 2

- ♦ Ακολουθώς να μετατρέψετε το πιο πάνω Φλιπ Φλοπ σε ένα D Φλιπ Φλοπ χρησιμοποιώντας μια πύλη NOT του IC 7404.

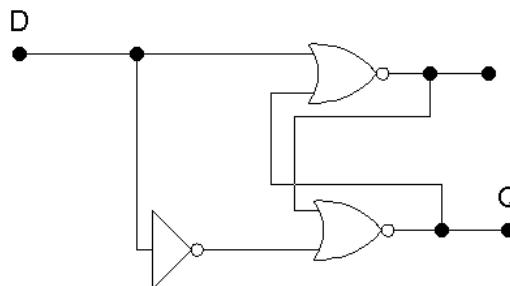
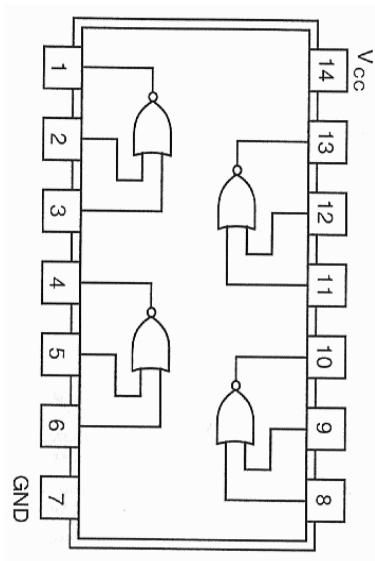


Σημείωση: Πριν προχωρήσετε στο πρακτικό μέρος της άσκησης να σχεδιάσετε τις συνδέσεις με το μολύβι σας στο κύκλωμα της 2^{ης} σελίδας και να επιβεβαιώσετε με τον καθηγητή σας τη σωστή συνδεσμολογία.

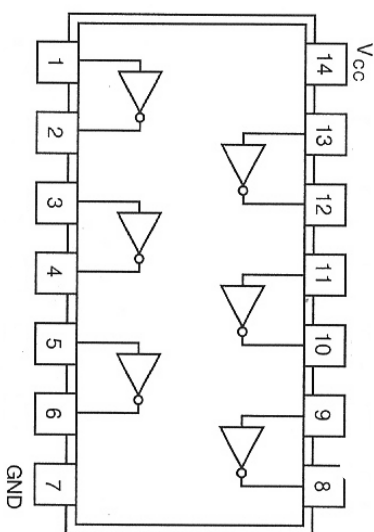
- ♦ Να συνδέσετε την είσοδο D του Φλιπ Φλοπ στο λογικό διακόπτη και τις εξόδους στις ενδεικτικές λυχνίες (LEDs).
- ♦ Να εφαρμόσετε στην είσοδο του Φλιπ Φλοπ όλους τις δυνατές λογικές καταστάσεις και να παρατηρήσετε τις λογικές καταστάσεις των εξόδων σε κάθε περίπτωση στις ενδεικτικές λυχνίες.
- ♦ Να συμπληρώσετε τον Πίνακα Αληθείας.

Είσοδος	Έξοδοι		
D	Q_{N+1}	\bar{Q}_{N+1}	Κατάσταση

IC - 7402



IC - 7404



Αξιολόγηση

5. Να εξηγήσετε πως ένα D Φλιπ Φλοπ μπορεί να χρησιμοποιηθεί για να αποθηκεύσει προσωρινά ένα δυαδικό ψηφίο (Bit).

.....

.....

.....

.....

.....

.....

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 4 - ΣΥΓΧΡΟΝΟ D ΦΛΙΠ ΦΛΟΠ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

ΣΤΟΧΟΙ:

- ♦ Ο μαθητής να μπορεί να συνδεσμολογήει κύκλωμα σύγχρονου D Φλιπ Φλοπ με εισόδους PRESET και CLEAR και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα:
IC 7474 (2 D Φλιπ Φλοπ)

ΔΙΑΔΙΚΑΣΙΑ:

- ♦ Να συνδεσμολογήσετε το λογικό κύκλωμα του σύγχρονου D Φλιπ Φλοπ με τη χρήση του IC 7474.

Σημειώσεις:

Το D Φλιπ Φλοπ χρονίζεται στα θετικά μέτωπα των παλμών του CLOCK. Επιπλέον το Φλιπ Φλοπ διαθέτει δύο ασύγχρονες εισόδους, για να κάνουν το Φλιπ Φλοπ:

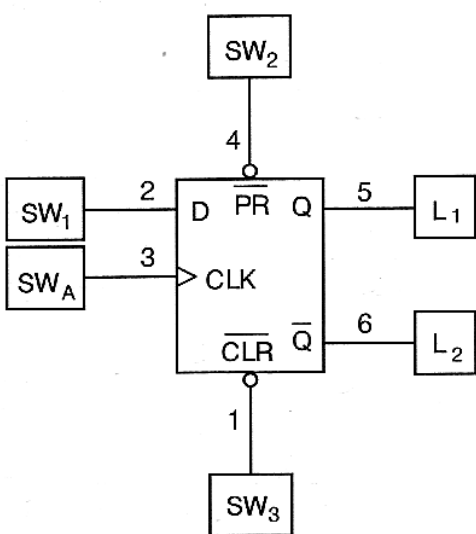
PRESET (PR)

Τοποθέτηση των εξόδων στην κατάσταση **SET** ⇒ **Q = 1**

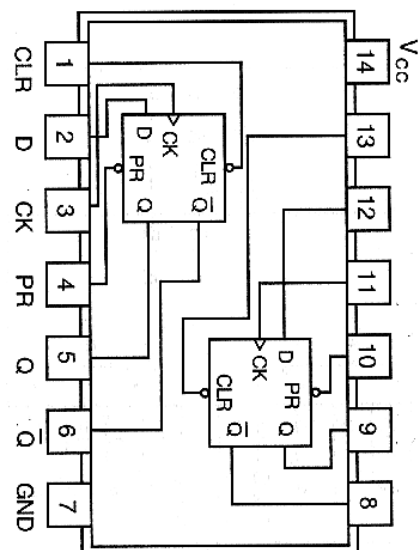
CLEAR (CLR)

Εκκαθάριση των εξόδων στην κατάσταση **RESET** ⇒ **Q = 0**

Οι εισοδοί PR και CLR είναι ενεργές στο λογικό 0.



Τροφοδοσία:
 Vcc - Pin 14
 Gnd - Pin 7



- ◆ Να συνδέσετε τις εισόδους του Φλιπ Φλοπ σε λογικούς διακόπτες και τις εξόδους σε ενδεικτικές λυχνίες (LEDs).
- ◆ Να συμπληρώσετε πειραματικά τον Πίνακα Αληθείας του Φλιπ Φλοπ.

Είσοδοι				Έξοδοι		
\overline{PR}	\overline{CLR}	CLK	D	Q_{n+1}	\overline{Q}_{n+1}	Κατάσταση
0	1	X	X			
1	0	X	X			
1	1	↑	0			
1	1	↑	1			
1	1	1	X			
1	1	0	X			

Αξιολόγηση

6. Να εξηγήσετε τι συμβαίνει όταν η ασύγχρονη είσοδος RP του D Φλιπ Φλοπ βρίσκεται μόνιμα στο λογικό 0.

Πως επηρεάζεται η λειτουργία του Φλιπ Φλοπ;

.....

.....

.....

.....

.....

.....

.....

7. Να εξηγήσετε τη διαδικασία για να κάνετε αρχικά RESET ένα D Φλιπ Φλοπ χρησιμοποιώντας τις ασύγχρονες εισόδους PR και CLR.

.....

.....

.....

.....

.....

.....

.....

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 5 - ΣΥΓΧΡΟΝΟ JK ΦΛΙΠ ΦΛΟΠ

ΟΝΟΜΑ :

ΤΜΗΜΑ :

ΣΤΟΧΟΙ:

- ♦ Ο μαθητής να μπορεί να συνδεσμολογήει κύκλωμα σύγχρονου JK Φλιπ Φλοπ με εισόδους PRESET και CLEAR και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα:
IC 7476 (2 JK Φλιπ Φλοπ)

ΔΙΑΔΙΚΑΣΙΑ:

- ♦ Να συνδεσμολογήσετε το λογικό κύκλωμα του σύγχρονου JK Φλιπ Φλοπ με τη χρήση του IC 7476.

Σημειώσεις:

Το JK Φλιπ Φλοπ χρονίζεται στα αρνητικά μέτωπα των παλμών του CLOCK.

Επιπλέον το Φλιπ Φλοπ διαθέτει δύο ασύγχρονες εισόδους, για να κάνουν το Φλιπ Φλοπ:

PRESET (PR)

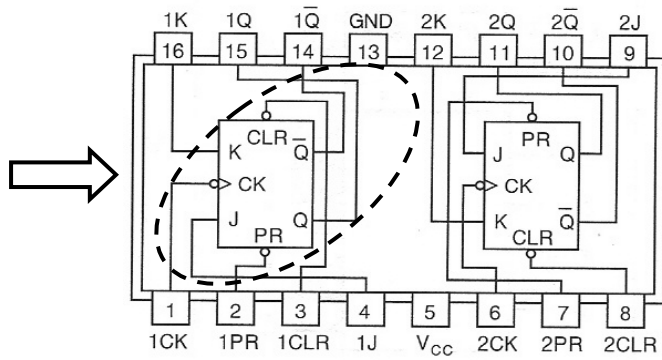
Τοποθέτηση των εξόδων στην κατάσταση **SET** ⇒ **Q = 1**

CLEAR (CLR)

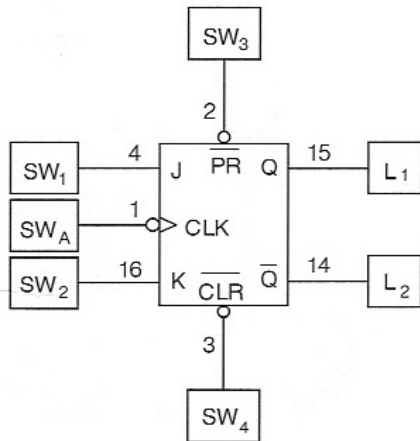
Εκκαθάριση των εξόδων στην κατάσταση **RESET** ⇒ **Q = 0**

Οι εισοδοί PR και CLR είναι ενεργές στο λογικό 0.

- ♦ Να συνδέσετε τις εισόδους του Φλιπ Φλοπ σε λογικούς διακόπτες και τις εξόδους σε ενδεικτικές λυχνίες (LEDs).
- ♦ Να συμπληρώσετε πειραματικά τον Πίνακα Αληθείας του Φλιπ Φλοπ.



IC 7476
2 JK Φλιπ Φλοπ με PRESET
& CLEAR



Σύγχρονο JK Φλιπ Φλοπ με
εισόδους PRESET & CLEAR

Τροφοδοσία:
Vcc - Pin 5
Gnd - Pin 13

Είσοδοι					Έξοδοι		
PR	CLR	CLK	J	K	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	1	X	X	X			
1	0	X	X	X			
1	1	↓	0	0			
1	1	↓	0	1			
1	1	↓	1	0			
1	1	↓	1	1			
1	1	1	X	X			

Πίνακας Αληθείας JK
Φλιπ Φλοπ

Αξιολόγηση

1. Ποιο είναι το πλεονέκτημα του JK Φλιπ Φλοπ σε σχέση με το SR Φλιπ Φλοπ;
.....
.....
2. Τι συμβαίνει όταν ένα JK Φλιπ Φλοπ βρίσκεται σε κατάσταση Toggle (Εναλλαγή) και εφαρμόζουμε παλμούς χρονισμού;
.....
.....
3. Πως μπορούμε να αλλάξουμε τη λογική κατάσταση των εξόδων ενός χρονιζόμενου JK Φλιπ Φλοπ με ασύγχρονες εισόδους χωρίς παλμό χρονισμού και αλλαγή των εισόδων;
.....
.....

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 6 - ΔΙΑΙΡΕΤΗΣ ΣΥΧΝΟΤΗΤΑΣ

ΟΝΟΜΑ :

ΤΜΗΜΑ :

ΣΤΟΧΟΙ:

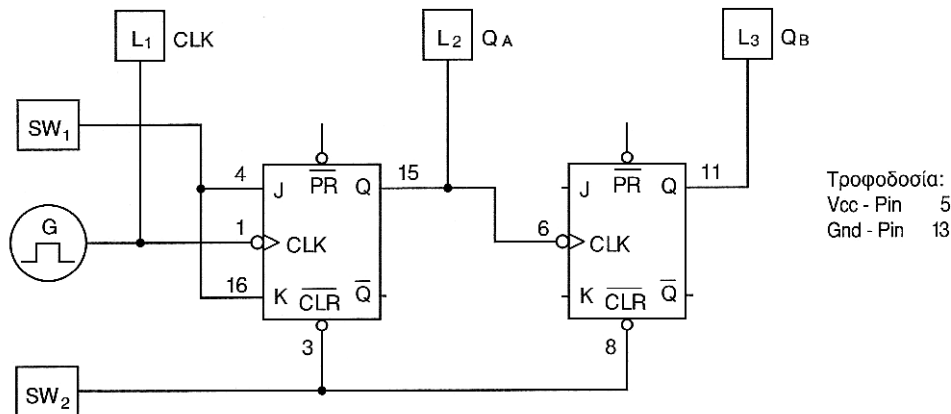
- ♦ Ο μαθητής να μπορεί να συνδεσμολογήει κύκλωμα διαιρέτη συχνότητας χρησιμοποιώντας JK Φλιπ Φλοπ και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

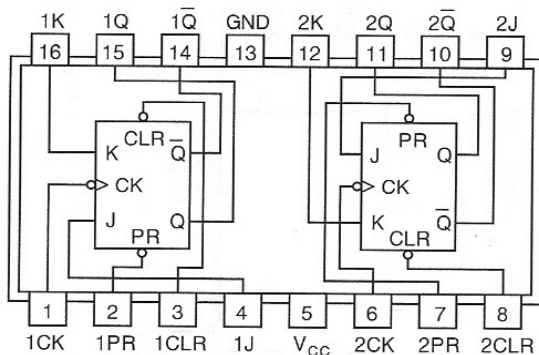
- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Παλμογράφος
- ♦ Ολοκληρωμένο κύκλωμα:
IC 74LS76 (2 JK Φλιπ Φλοπ)

ΔΙΑΔΙΚΑΣΙΑ:

- ♦ Να συνδεσμολογήσετε το λογικό κύκλωμα του διαιρέτη συχνότητας που δίνεται στο Σχήμα 1 με τη χρήση του IC 74LS76 (Σχήμα 2).



Σχήμα 1 - Διαιρέτης Συχνότητας με JK Φλιπ Φλοπ



IC 7476
2 JK Φλιπ Φλοπ με PRESET
& CLEAR

Σχήμα 2 - IC 74LS76

Το κύκλωμα παρουσιάζει δύο JK Φλιπ Φλοπ που λειτουργούν στην κατάσταση **TOGGLE (Εναλλαγή)**. Κάθε Φλιπ Φλοπ **διαιρεί τη συχνότητα** του ωρολογίου που εφαρμόζεται στην είσοδο του **δια 2**.

Σημειώσεις:

Τα Φλιπ Φλοπ μπορούν να **μηδενιστούν** με το διακόπτη SW₂. (Στιγμιαία η είσοδος CLR τοποθετείται στο λογικό 0 και ακολούθως επιστρέφεται στο λογικό 1 για την κανονική λειτουργία του κυκλώματος.

Για να λειτουργεί το κύκλωμα ως διαιρέτης συχνότητας θα πρέπει ο Διακόπτης SW₁ να τοποθετηθεί στη **λογική κατάσταση 1 (Κατάσταση TOGGLE)**.

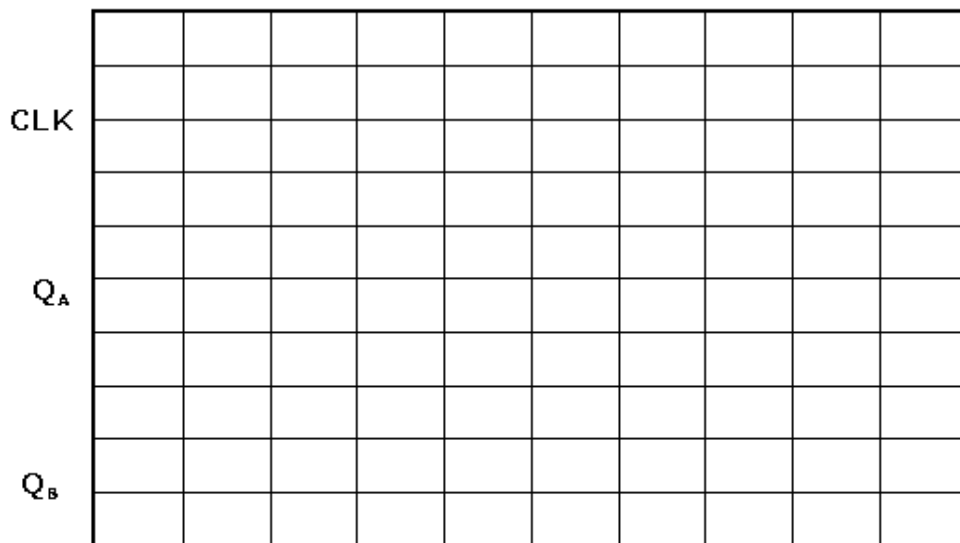
Στη λογική **κατάσταση 0** το κύκλωμα βρίσκεται σε **κατάσταση Μνήμης**.

Οι είσοδοι J και K του 2^{ου} Φλιπ Φλοπ και οι είσοδοι PRESET των δύο Φλιπ Φλοπ είναι ελεύθερες.

Στη λογική οικογένεια TTL **οι ελεύθερες είσοδοι** συμπεριφέρονται ως να έχουν τη **λογική κατάσταση 1**.

Άρα τα δύο Φλιπ Φλοπ βρίσκονται πάντοτε σε **κατάσταση εναλλαγής** και με την εφαρμογή παλμών στις εισόδους CLR οι έξοδοι των Φλιπ Φλοπ αλλάζουν κατάσταση (αντιστρέφονται) στα αρνητικά μέτωπα των παλμών του ωρολογίου.

- ♦ Να εφαρμόσετε μια συχνότητα 10 KHz στην είσοδο CLK του 1ου Φλιπ Φλοπ και να παρακολουθήσετε στον παλμογράφο τις κυματομορφές του ωρολογίου και των εξόδων Q_A και Q_B.
- ♦ Να σχεδιάσετε τα χρονικά διαγράμματα των κυματομορφών στο τετραγωνισμένο χαρτί για 8 χρονικούς παλμούς του ωρολογίου.



ΠΟΛΥΔΟΝΗΤΕΣ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΑΣΤΑΘΗ ΠΟΛΥΔΟΝΗΤΗΣ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΚΥΚΛΩΜΑ ΣΚΑΝΔΑΛΗΣ ΣΜΙΤ (SCHMITT TRIGGER)

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΑΣΤΑΘΗ ΠΟΛΥΔΟΝΗΤΗΣ

ΟΝΟΜΑ :

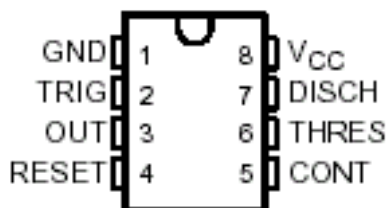
ΤΜΗΜΑ :

ΣΤΟΧΟΙ:

- ♦ Ο μαθητής να μπορεί να συνδεσμολογεί κύκλωμα ασταθή πολυδονητή με το IC - 555, να προσδιορίζει τα χαρακτηριστικά του και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

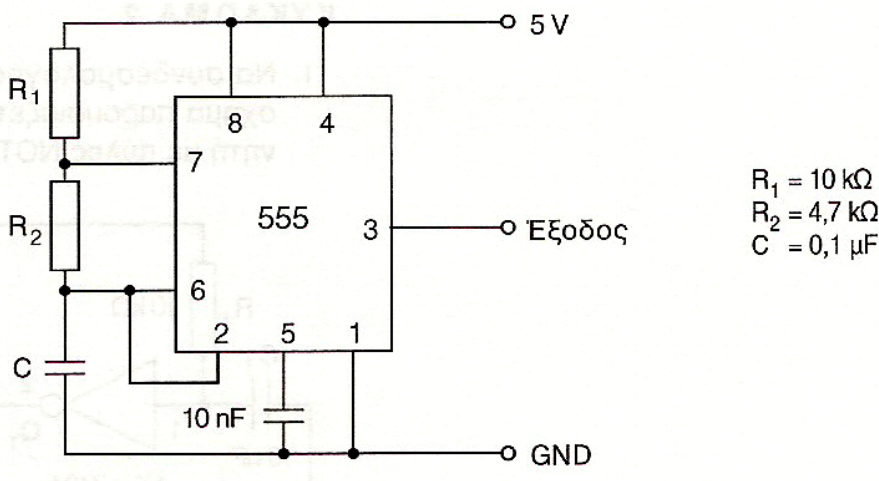
- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ IC - 555
- ♦ Παλμογράφος
- ♦ Αντιστάσεις 10 kΩ, 4, 7 kΩ,
- ♦ Πυκνωτές 0,1 μF, 10 nF



IC - 555

ΔΙΑΔΙΚΑΣΙΑ:

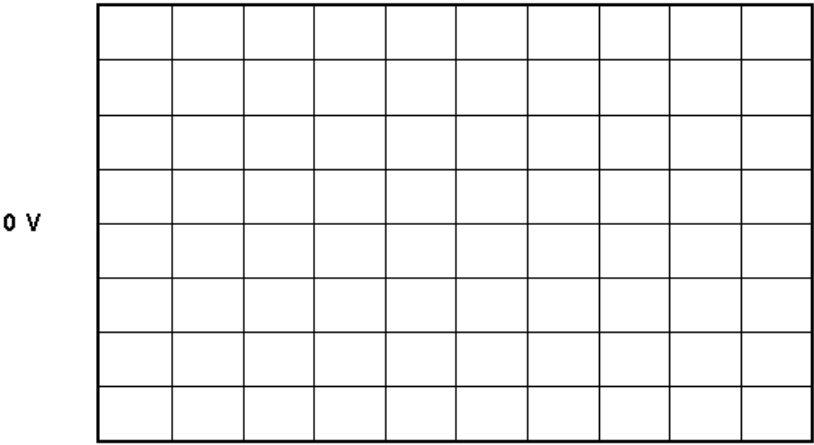
- ♦ Να συνδεσμολογήσετε το κύκλωμα του ασταθή πολυδονητή με το IC - 555, όπως φαίνεται στο πιο κάτω σχήμα:



- ◆ Να συνδέσετε τον παλμογράφο στην έξοδο του κυκλώματος και να παρακολουθήσετε του παλμούς εξόδου του ασταθή πολυδονητή.
- ◆ Να εκτελέσετε τις πιο κάτω εργασίες:
 1. Με βάση τους πιο κάτω τύπους να υπολογίσετε:

ΠΕΡΙΟΔΟΣ	$T = t_H + t_L = 0,693 (R_1 + 2R_2) C$
ΧΡΟΝΟΣ ΣΤΟ ΛΟΓΙΚΟ 1	$t_H = 0,693 (R_1 + R_2) C$
ΧΡΟΝΟΣ ΣΤΟ ΛΟΓΙΚΟ 0	$t_L = 0,693 R_2 C$
ΣΥΧΝΟΤΗΤΑ	$f = \frac{1}{T} = \frac{1,44}{(R_1 + 2R_2)C}$
ΚΥΚΛΟΣ ΔΡΑΣΗΣ	$d = \frac{t_H}{t_L} = \frac{R_1 + R_2}{R_1 + 2R_2}$

- (i) Χρόνος που το σήμα εξόδου βρίσκεται στο λογικό 1, $t_H = \dots\dots\dots$
 - (ii) Χρόνος που το σήμα εξόδου βρίσκεται στο λογικό 0, $t_L = \dots\dots\dots$
 - (iii) Περίοδος, $T = \dots\dots\dots$
 - (iv) Κύκλος Δράσης, $d = \dots\dots\dots$
2. Να επιβεβαιώσετε τους υπολογισμούς σας και να μετρήσετε στον παλμογράφο τα χαρακτηριστικά των παλμών εξόδου:
- (v) Χρόνος που το σήμα εξόδου βρίσκεται στο λογικό 1, $t_H = \dots\dots\dots$
 - (vi) Χρόνος που το σήμα εξόδου βρίσκεται στο λογικό 0, $t_L = \dots\dots\dots$
 - (vii) Περίοδος, $T = \dots\dots\dots$
 - (viii) Κύκλος Δράσης, $d = \dots\dots\dots$
3. Να σχεδιάσετε σε τετραγωνισμένο χαρτί την κυματομορφή εξόδου όπως φαίνεται στον παλμογράφο:



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

**ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΚΥΚΛΩΜΑ ΣΚΑΝΔΑΛΗΣ ΣΜΙΤ (SCHMITT TRIGGER)**

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

ΣΤΟΧΟΙ:

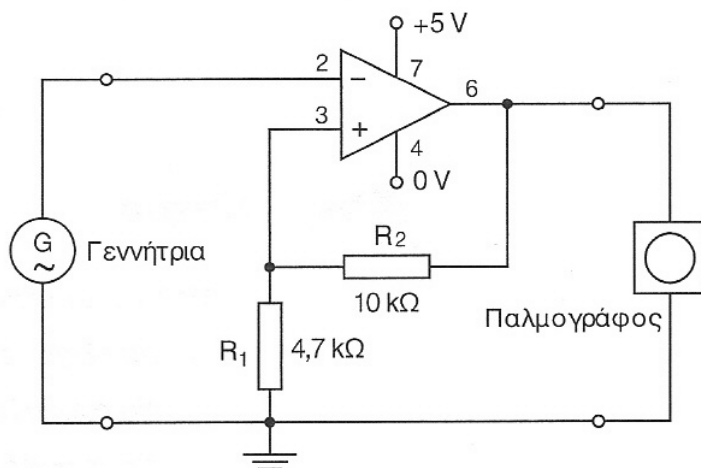
- ♦ Ο μαθητής να μπορεί να συνδεσμολογεί κύκλωμα σκανδάλης Σμιτ (Schmitt Trigger) με τη χρήση τελεστικού ενισχυτή προσδιορίζει τα χαρακτηριστικά του και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Γεννήτρια παραγωγής ημιτονοειδών παλμών
- ♦ IC - 741
- ♦ Παλμογράφος
- ♦ Αντιστάσεις 10 kΩ, 4,7 kΩ,

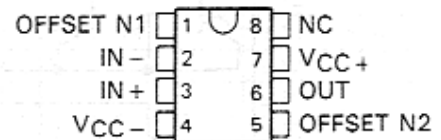
ΔΙΑΔΙΚΑΣΙΑ:

- ♦ Να συνδεσμολογήσετε το κύκλωμα σκανδάλης Σμιτ με τη χρήση τελεστικού ενισχυτή IC - 741 όπως φαίνεται στο πιο κάτω σχήμα:



**Τελεστικός
Ενισχυτής IC -**

(TOP VIEW)



- ♦ Συνδέστε στο CH1 του παλμογράφου το σήμα εισόδου (τη γεννήτρια παραγωγής ημιτονοειδών παλμών) και στο CH2 την έξοδο του κυκλώματος και παρατηρήστε τη λειτουργία του κυκλώματος.

♦ Να εκτελέσετε τις πιο κάτω εργασίες:

4. Με βάση τους πιο κάτω τύπους να υπολογίσετε:

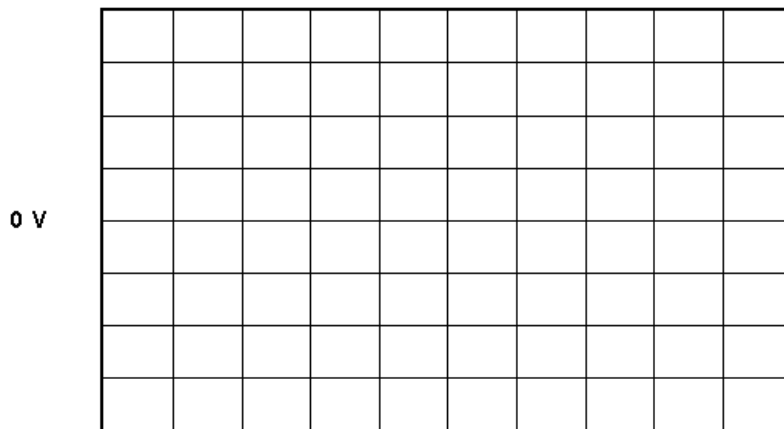
ΨΗΛΗ ΤΑΣΗ ΚΑΤΩΦΛΙΟΥ	$V_2 = \frac{R_1}{R_1 + R_2} \cdot E_2$
ΧΑΜΗΛΗ ΤΑΣΗ ΚΑΤΩΦΛΙΟΥ	$V_1 = \frac{R_1}{R_1 + R_2} \cdot E_1$
ΥΣΤΕΡΗΣΗ	$V_2 - V_1$

- | | |
|-----------------------------|-------------------------------|
| (i) Ψηλή Τάση κατωφλίου, | $V_2 = \dots\dots\dots$ |
| (ii) Χαμηλή Τάση κατωφλίου, | $V_1 = \dots\dots\dots$ |
| (iii) Υστέρηση | $V_2 - V_1 = \dots\dots\dots$ |

5. Να επιβεβαιώσετε τους υπολογισμούς σας και να μετρήσετε στον παλμογράφο τις αντίστοιχες τιμές:

- | | |
|----------------------------|-------------------------------|
| (iv) Ψηλή Τάση κατωφλίου, | $V_2 = \dots\dots\dots$ |
| (v) Χαμηλή Τάση κατωφλίου, | $V_1 = \dots\dots\dots$ |
| (vi) Υστέρηση | $V_2 - V_1 = \dots\dots\dots$ |

6. Να μεταβάλετε το πλάτος και τη συχνότητα των παλμών εισόδου και να παρατηρήσετε τις μεταβολές στην κυματομορφή εξόδου.
7. Να σχεδιάσετε σε τετραγωνισμένο χαρτί τις κυματομορφές εξόδου και εισόδου όπως εμφανίζονται στον παλμογράφο



ΑΠΑΡΙΘΜΗΤΕΣ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΑΣΥΓΧΡΟΝΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 2 ΒΙΤ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΑΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 4-ΒΙΤ ΜΕ ΤΗ ΧΡΗΣΗ ΤΟΥ IC 7493

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 - ΑΣΥΓΧΡΟΝΟΣ ΔΕΚΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ ΜΕ ΤΗ ΧΡΗΣΗ ΤΟΥ IC 7493

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΑΣΥΓΧΡΟΝΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 2 BIT

ΟΝΟΜΑ :

ΤΜΗΜΑ :

ΣΤΟΧΟΙ:

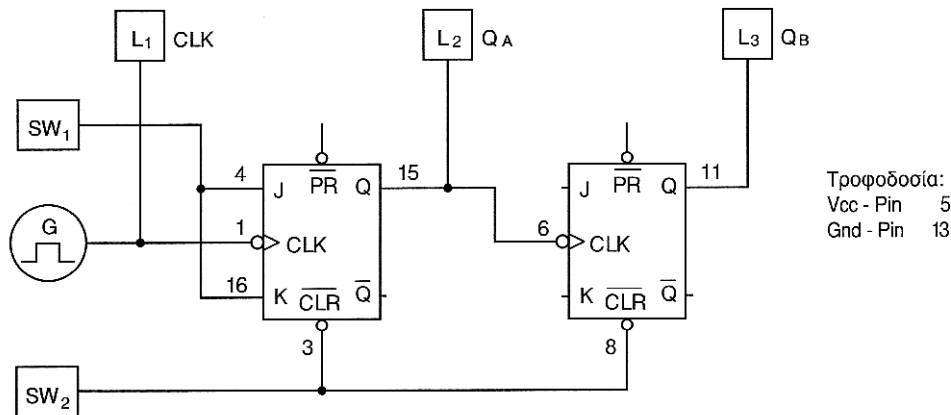
- ♦ Ο μαθητής να μπορεί να συνδεσμολογήει κύκλωμα ασύγχρονου δυαδικού απαριθμητή 2 - Bit χρησιμοποιώντας JK Φλιπ Φλοπ και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

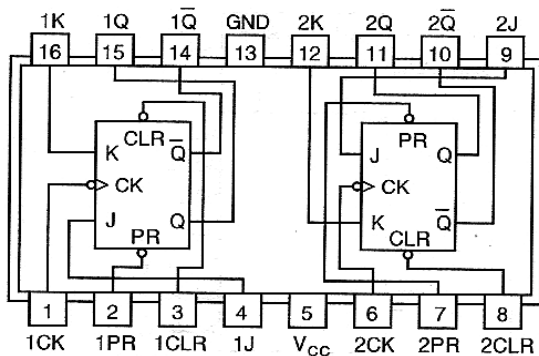
- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Γεννήτρια ορθογωνίων παλμών
- ♦ Ολοκληρωμένο κύκλωμα:
IC 74LS76 (2 JK Φλιπ Φλοπ)

ΔΙΑΔΙΚΑΣΙΑ:

- ♦ Να συνδεσμολογήσετε το λογικό κύκλωμα δυαδικού απαριθμητή 2 - Bit που δίνεται στο Σχήμα 1 με τη χρήση του IC 74LS76 (Σχήμα 2).



Σχήμα 1 - Ασύγχρονος Δυαδικός απαριθμητής 2 - Bit με JK Φλιπ Φλοπ



IC 7476
2 JK Φλιπ Φλοπ με PRESET & CLEAR

Σχήμα 2 - IC 74LS76

Το κύκλωμα παρουσιάζει δύο JK Φλιπ Φλοπ που λειτουργούν στην κατάσταση **TOGGLE (Εναλλαγή)**. Κάθε Φλιπ Φλοπ **διαιρεί τη συχνότητα** του ωρολογίου που εφαρμόζεται στην είσοδο του **δια 2**.

Σημειώσεις:

Τα Φλιπ Φλοπ μπορούν να **μηδενιστούν** με το διακόπτη SW₂. (Στιγμιαία η είσοδος CLR τοποθετείται στο λογικό 0 και ακολούθως επιστρέφεται στο λογικό 1 για την κανονική λειτουργία του κυκλώματος).

Για να λειτουργεί το κύκλωμα ως διαιρέτης συχνότητας θα πρέπει ο Διακόπτης SW₁ να τοποθετηθεί στη **λογική κατάσταση 1 (Κατάσταση TOGGLE)**.

Στη λογική **κατάσταση 0** το κύκλωμα βρίσκεται σε **κατάσταση Μνήμης**.

Οι είσοδοι J και K του 2^{ου} Φλιπ Φλοπ και οι είσοδοι PRESET των δύο Φλιπ Φλοπ είναι ελεύθερες.

Στη λογική οικογένεια TTL **οι ελεύθερες είσοδοι** συμπεριφέρονται ως να έχουν τη **λογική κατάσταση 1**.

Άρα τα δύο Φλιπ Φλοπ βρίσκονται πάντοτε σε **κατάσταση εναλλαγής** και με την εφαρμογή παλμών στις εισόδους CLR οι εξόδους των Φλιπ Φλοπ αλλάζουν κατάσταση (αντιστρέφονται) στα αρνητικά μέτωπα των παλμών του ωρολογίου.

- ♦ Να εφαρμόσετε με μια πολύ χαμηλή συχνότητα περίπου 1 Hz στην είσοδο CLK του 1ου Φλιπ Φλοπ και να παρακολουθήσετε στις ενδεικτικές λυχνίες τις εξόδους Q_A και Q_B του απαριθμητή και να επιβεβαιώσετε ότι αριθμεί προς τα πάνω στο δυαδικό σύστημα από τον αριθμό 0 (00) μέχρι το 3 (11) - Δυαδικός απαριθμητής 2 bit.
- ♦ Να συμπληρώσετε τον Πίνακα Λειτουργίας του απαριθμητή.

Ρολόι (CLK) A/A	Q ₁ Q ₀	Δεκαδικός Αριθμός
0	00	0
1		
2		
3		
4		
5		

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΑΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ
4-BIT ΜΕ ΤΗ ΧΡΗΣΗ ΤΟΥ IC 7493

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Εργαστηριακή Άσκηση - Ασύγχρονος Δυαδικός Απαριθμητής 4-Bit με τη χρήση του IC 7493

ΣΤΟΧΟΙ:

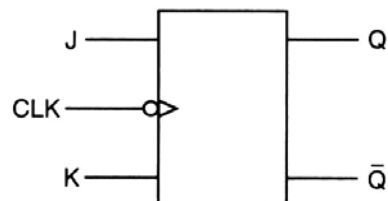
- ♦ *Ο μαθητής να μπορεί να συνδεσμολογεί κύκλωμα ασύγχρονου δυαδικού απαριθμητή 4 - bit με τη χρήση του IC 7493 και να ελέγχει τη λειτουργία του.*

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα - **IC 7493**

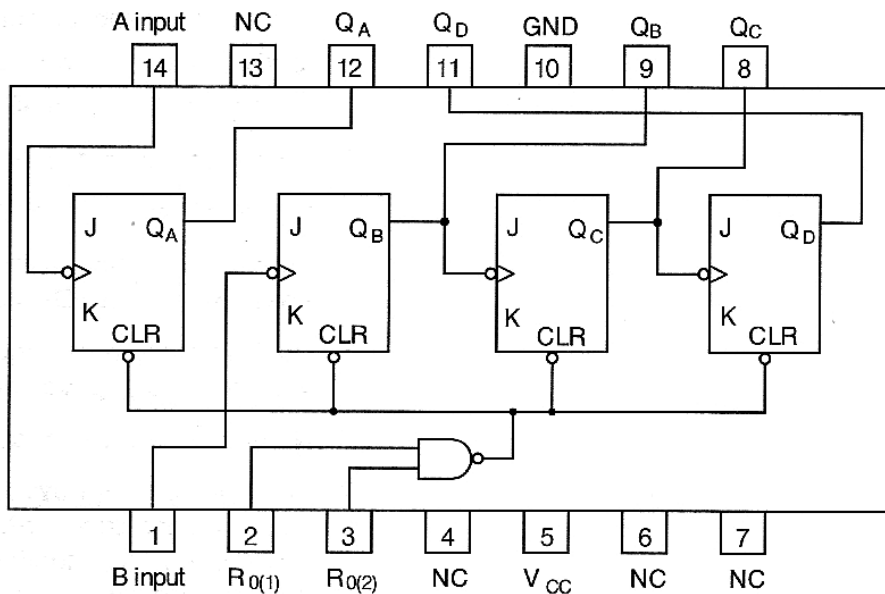
ΠΡΟΠΑΡΑΣΚΕΥΗ:

Να σχεδιάσετε το κύκλωμα ασύγχρονου δυαδικού απαριθμητή 4 - bit που μετρά προς τα πάνω με τη χρήση του πιο κάτω Φλιπ Φλοπ, το οποίο χρονίζεται στα αρνητικά μέτωπα των παλμών CLK.



ΔΙΑΔΙΚΑΣΙΑ:

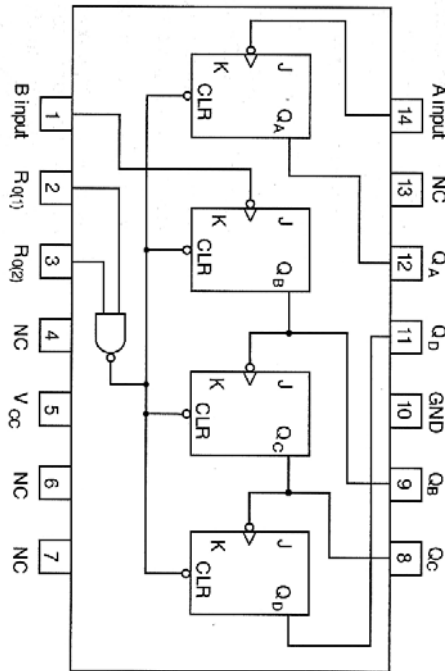
- ♦ Με τη βοήθεια του θεωρητικού κυκλώματος που έχετε σχεδιάσει στην προηγούμενη άσκηση και χρησιμοποιώντας το IC 7493, να πραγματοποιήσετε κύκλωμα ασύγχρονου δυαδικού απαριθμητή 4-bit που μετρά προς τα πάνω.

**Σημειώσεις:**

- ♦ Η έξοδος του πρώτου Φλιπ Φλοπ δεν συνδέεται εσωτερικά στο IC με το δεύτερο Φλιπ Φλοπ, όπως συμβαίνει με τα άλλα τρία Φλιπ Φλοπ. Έτσι θα πρέπει η σύνδεση να γίνει εξωτερικά.
- ♦ Οι έξοδοι Q_A , Q_B , Q_C και Q_D συνδέονται στις 4 ενδεικτικές λυχνίες.

$$Q_d Q_c Q_B Q_A = Q_3 Q_2 Q_1 Q_0$$
- ♦ Το Q_D δίνει το MSB, το ψηφίο με τη μέγιστη σημαντική αξία, και θα πρέπει να συνδεθεί με την ενδεικτική λυχνία 1 (στα αριστερά).
- ♦ Οι εισοδοί 2 και 3, οι οποίες δημιουργούν το σήμα CLR για το μηδενισμό των Φλιπ Φλοπ του απαριθμητή συνδέονται σε διακόπτη που είναι συνδεδεμένος στο λογικό 1, ώστε να μετρά ο απαριθμητής.
- ♦ Στιγμιαία ο διακόπτης τοποθετείται αρχικά στο λογικό 0 για να μηδενιστεί απαριθμητής και μετά τοποθετείται μόνιμα στο λογικό 1 για να αρχίσει η αρίθμηση.
- ♦ Ο απαριθμητής τροφοδοτείται με παλμούς μέτρησης από διακόπτη στο CLK του πρώτου Φλιπ Φλοπ, στον ακροδέκτη 14.

Πριν προχωρήσετε στο πρακτικό μέρος της άσκησης να σχεδιάσετε τις συνδέσεις στο πιο κάτω λογικό κύκλωμα του IC.



Να τροφοδοτήσετε τον απαριθμητή με παλμούς , να επιβεβαιώσετε τη σωστή λειτουργία του και να συμπληρώσετε τον Πίνακα Λειτουργίας.

Παλμοί CLOCK A/A	Q _D	Q _C	Q _B	Q _A
0				
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 - ΑΣΥΓΧΡΟΝΟΣ ΔΕΚΑΔΙΚΟΣ
ΑΠΑΡΙΘΜΗΤΗΣ ΜΕ ΤΗ ΧΡΗΣΗ ΤΟΥ IC 7493

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ - ΑΣΥΓΧΡΟΝΟΣ ΔΕΚΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ ΜΕ ΤΗ ΧΡΗΣΗ ΤΟΥ IC 7493

ΣΤΟΧΟΙ:

- ♦ *Ο μαθητής να μπορεί να συνδεσμολογήει κύκλωμα ασύγχρονου δεκαδικού απαριθμητή με τη χρήση του IC 7493 και να ελέγχει τη λειτουργία του.*

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα - **IC 7493**

ΠΡΟΠΑΡΑΣΚΕΥΗ:

Να σχεδιάσετε το κύκλωμα ασύγχρονου δεκαδικού απαριθμητή που μετρά προς τα πάνω με τη χρήση του πιο κάτω Φλιπ Φλοπ και μιας πύλης NAND, το οποίο χρονίζεται στα αρνητικά μέτωπα των παλμών CLK.

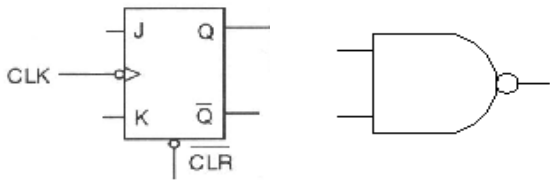
Απαντήστε:

Σε ποια λογική κατάσταση εξόδων θα πρέπει να μηδενιστεί ο απαριθμητής?

$Q_3Q_2Q_1Q_0 = \dots\dots\dots$

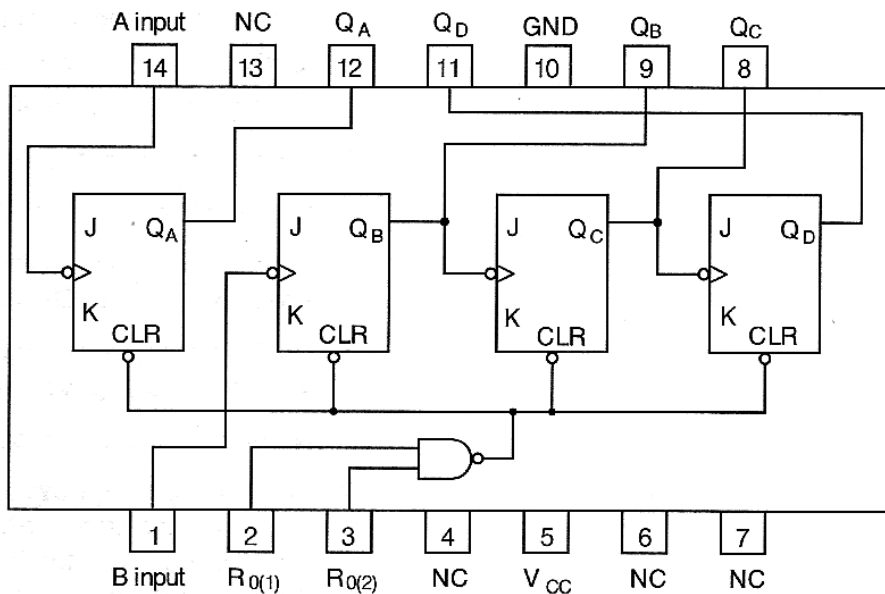
Ποιες εξόδοι του απαριθμητή θα πρέπει να συνδεθούν στις εισόδους της πύλης NAND για την παραγωγή του σήματος CLEAR που θα εκκαθαρίσει τα Φλιπ Φλοπ του απαριθμητή ώστε να αρχίσει η αρίθμηση από την αρχή?

.....



ΔΙΑΔΙΚΑΣΙΑ:

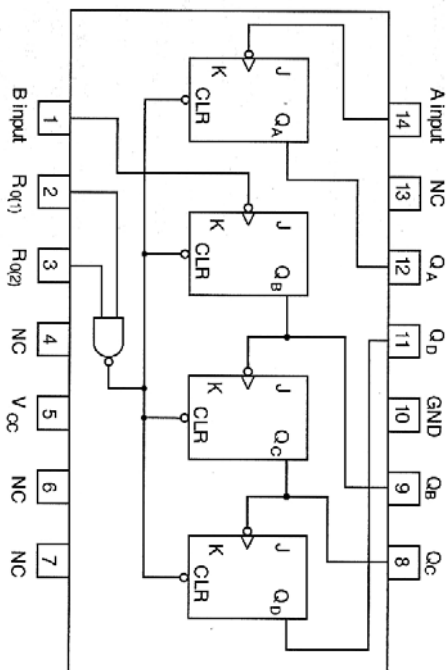
- ♦ Με τη βοήθεια του θεωρητικού κυκλώματος που έχετε σχεδιάσει στην προηγούμενη άσκηση και χρησιμοποιώντας το IC 7493, να πραγματοποιήσετε κύκλωμα ασύγχρονου δυαδικού απαριθμητή 4-bit που μετρά προς τα πάνω.

**Σημειώσεις:**

- ♦ Η έξοδος του πρώτου Φλιπ Φλοπ δεν συνδέεται εσωτερικά στο IC με το δεύτερο Φλιπ Φλοπ, όπως συμβαίνει με τα άλλα τρία Φλιπ Φλοπ. Έτσι θα πρέπει η σύνδεση να γίνει εξωτερικά.
- ♦ Οι έξοδοι Q_A , Q_B , Q_C και Q_D συνδέονται στις 4 ενδεικτικές λυχνίες.

$$Q_d Q_c Q_b Q_a = Q_3 Q_2 Q_1 Q_0$$
- ♦ Το Q_D δίνει το MSB, το ψηφίο με τη μέγιστη σημαντική αξία, και θα πρέπει να συνδεθεί με την ενδεικτική λυχνία 1 (στα αριστερά).
- ♦ Οι εισοδοί 2 και 3, οι οποίες δημιουργούν το σήμα CLR για το μηδενισμό των Φλιπ Φλοπ του απαριθμητή συνδέονται στις αντίστοιχες εξόδους του απαριθμητή, ώστε να μηδενιστούν τα Φλιπ Φλοπ του απαριθμητή στον αριθμό 10 και να αρχίσει η αρίθμηση από την αρχή.
- ♦ Ο απαριθμητής τροφοδοτείται με παλμούς μέτρησης από διακόπτη στο CLK του πρώτου Φλιπ Φλοπ, στον ακροδέκτη 14.

Πριν προχωρήσετε στο πρακτικό μέρος της άσκησης να σχεδιάσετε τις συνδέσεις στο πιο κάτω λογικό κύκλωμα του IC.



Να τροφοδοτήσετε τον απαριθμητή με παλμούς , να επιβεβαιώσετε τη σωστή λειτουργία του και να συμπληρώσετε τον Πίνακα Λειτουργίας.

Παλμοί CLOCK A/A	Q _D	Q _C	Q _B	Q _A
0				
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				

Αξιολόγηση:

Να υπολογίσετε την συχνότητα των παλμών εξόδου Q_3 του δεκαδικού απαριθμητή αν η συχνότητα των παλμών του ωρολογίου είναι 10 MHz.

.....
.....

Ποιο είναι το μέγιστο μέτρο ενός δεκαδικού απαριθμητή;

.....

Να αναφέρετε ποιες εξόδους ενός απαριθμητή με μέτρο 6 θα συνδέατε στις εισόδους της πύλης NAND για την εκκαθάριση των Φλιπ Φλοπ του απαριθμητή;

Να δικαιολογήσετε την απάντησή σας.

.....
.....
.....
.....

ΚΩΔΙΚΟΠΟΙΗΤΕΣ/ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ BCD ΣΕ ΔΕΚΑΔΙΚΟ ΑΡΙΘΜΟ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΚΥΚΛΩΜΑ ΜΕΤΑΤΡΟΠΕΑ ΑΠΟ BCD ΣΕ 7 - ΤΜΗΜΑΤΑ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ ΑΠΟ ΤΟΝ ΚΩΔΙΚΑ BCD ΣΕ
ΔΕΚΑΔΙΚΟ - IC 7442

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 4 - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2-ΒΙΤ ΣΕ 4 ΓΡΑΜΜΕΣ

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ BCD ΣΕ ΔΕΚΑΔΙΚΟ
ΑΡΙΘΜΟ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ BCD ΣΕ ΔΕΚΑΔΙΚΟ

ΣΤΟΧΟΙ:

- ♦ Ο μαθητής να μπορεί να συνδεσμολογεί κύκλωμα αποκωδικοποιητή BCD σε δεκαδικού απαριθμητή με τη χρήση του IC 7442 και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα - **IC 7442**

ΕΙΣΑΓΩΓΗ:

Δίνεται πιο κάτω το λογικό σύμβολο κυκλώματος αποκωδικοποιητή BCD σε δεκαδικό αριθμό. Να εξηγήσετε τη λειτουργία του κυκλώματος εξηγώντας σε ποια κατάσταση είναι ενεργές οι έξοδοι του κωδικοποιητή:



.....

.....

.....

.....

.....

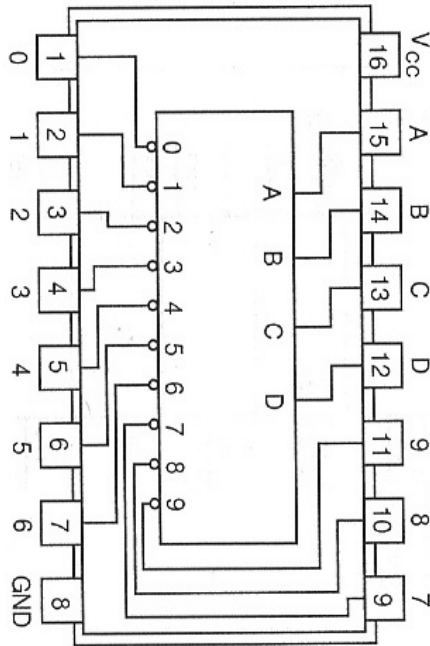
ΔΙΑΔΙΚΑΣΙΑ:

Να συνδεσμολογήσετε κύκλωμα αποκωδικοποιητή BCD σε δεκαδικό αριθμό με τη χρήση του IC 7442.

ΣΗΜΕΙΩΣΕΙΣ:

Οι εισοδοί A, B, C και D να συνδεθούν σε τέσσερις λογικούς διακόπτες της Πειραματικής Κατασκευής και οι έξοδοι αντίστοιχα σε δέκα ενδεικτικές λυχνίες.

Οι έξοδοι του αποκωδικοποιητή είναι ενεργές στο **λογικό 0**.



Συμπληρώστε το Πίνακα Αληθείας του αποκωδικοποιητή:

A/ A	ΕΙΣΟΔΟΙ				ΕΞΟΔΟΙ									
	A ₃	A ₂	A ₁	A ₀	Y ₉	Y ₈	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1										
2	0	0	1	0										
3														
4														
5														
6														
7														
8														
9	1	0	0	1										

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΚΥΚΛΩΜΑ ΜΕΤΑΤΡΟΠΕΑ ΑΠΟ BCD ΣΕ 7 - ΤΜΗΜΑΤΑ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ - ΚΥΚΛΩΜΑ ΜΕΤΑΤΡΟΠΕΑ ΑΠΟ BCD ΣΕ 7 -ΤΜΗΜΑΤΑ

ΣΤΟΧΟΙ:

- ♦ *Ο μαθητής να μπορεί να συνδεσμολογήει κύκλωμα ασύγχρονου δεκαδικού απαριθμητή με τη χρήση του IC 7493 και να τροφοδοτεί τις εξόδους σε κύκλωμα μετατροπέα κώδικα από BCD σε 7 -τμήματα για την παράσταση των δεκαδικών αριθμών σε 7 -τμηματική μονάδα ένδειξης.*

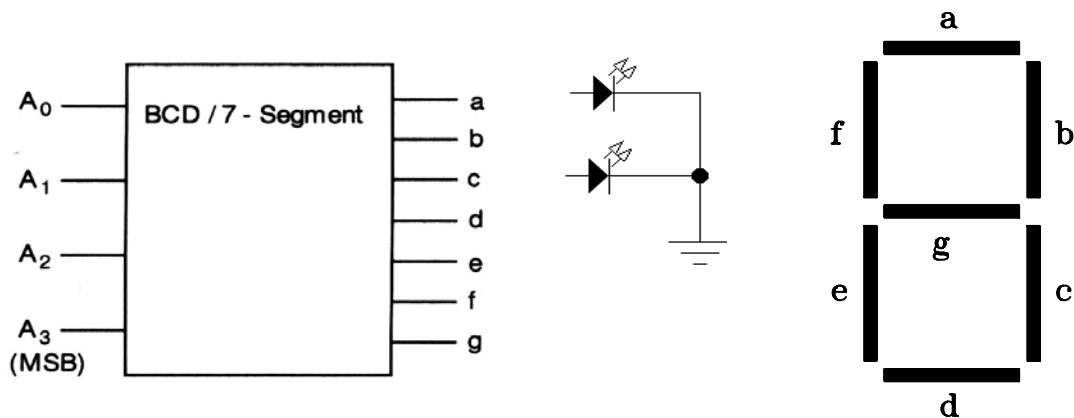
ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα - **IC 7493**

ΕΙΣΑΓΩΓΗ:

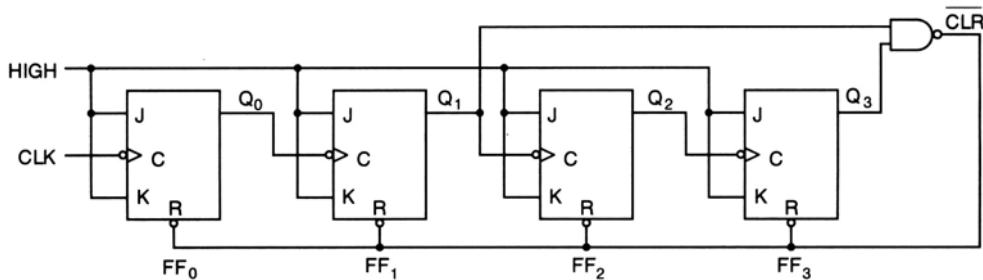
Το κύκλωμα μετατροπέα από τον κώδικα BCD σε 7 - τμήματα ελέγχει την 7 - τμηματική μονάδα ένδειξης που χρησιμοποιείται για την παράσταση των δεκαδικών αριθμών.

Στην άσκηση θα συνδεσμολογήσετε ένα δεκαδικό απαριθμητή που θα δημιουργήσει τον κώδικα BCD. Ο κώδικας BCD ακολούθως τροφοδοτεί τον μετατροπέα BCD σε 7 - τμήματα ο οποίος ελέγχει την 7 - τμηματική μονάδα ένδειξης.

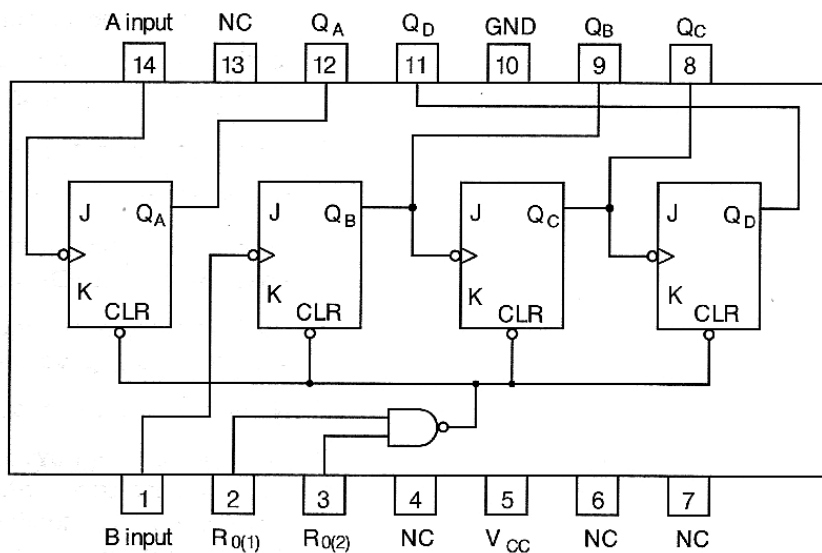


ΔΙΑΔΙΚΑΣΙΑ:

- ◆ Δίνεται το κύκλωμα ασύγχρονου δεκαδικού απαριθμητή με JK Φλιπ Φλοπ.



- ◆ Να πραγματοποιήσετε κύκλωμα του απαριθμητή με τη χρήση του IC 7493.

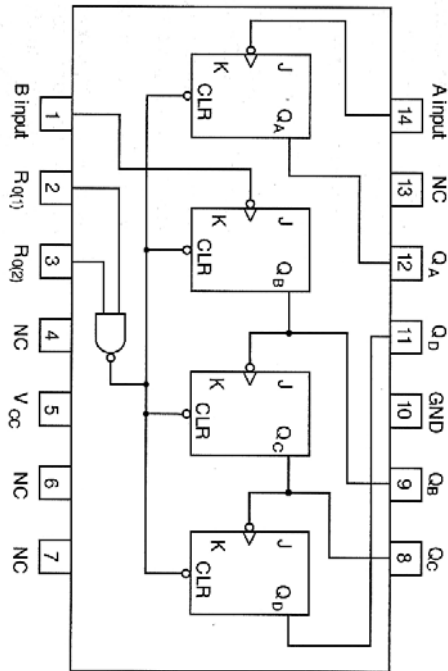


Σημειώσεις:

- ◆ Η έξοδος του πρώτου Φλιπ Φλοπ δεν συνδέεται εσωτερικά στο IC με το δεύτερο Φλιπ Φλοπ, όπως συμβαίνει με τα άλλα τρία Φλιπ Φλοπ. Έτσι θα πρέπει η σύνδεση να γίνει εξωτερικά.
- ◆ Οι έξοδοι Q_A , Q_B , Q_C και Q_D συνδέονται στις 4 ενδεικτικές λυχνίες.

$$Q_d Q_c Q_B Q_A = Q_3 Q_2 Q_1 Q_0$$
- ◆ Το Q_D δίνει το MSB, το ψηφίο με τη μέγιστη σημαντική αξία, και θα πρέπει να συνδεθεί με την ενδεικτική λυχνία 1 (στα αριστερά).
- ◆ Οι εισοδοί 2 και 3, οι οποίες δημιουργούν το σήμα CLR για το μηδενισμό των Φλιπ Φλοπ του απαριθμητή συνδέονται στις αντίστοιχες εξόδους του απαριθμητή, ώστε να μηδενιστούν τα Φλιπ Φλοπ του απαριθμητή στον αριθμό 10 και να αρχίσει η αρίθμηση από την αρχή.
- ◆ Ο απαριθμητής τροφοδοτείται με παλμούς μέτρησης από διακόπτη στο CLK του πρώτου Φλιπ Φλοπ, στον ακροδέκτη 14.

- ♦ Πριν προχωρήσετε στο πρακτικό μέρος της άσκησης να σχεδιάσετε τις συνδέσεις στο πιο κάτω λογικό κύκλωμα του IC.



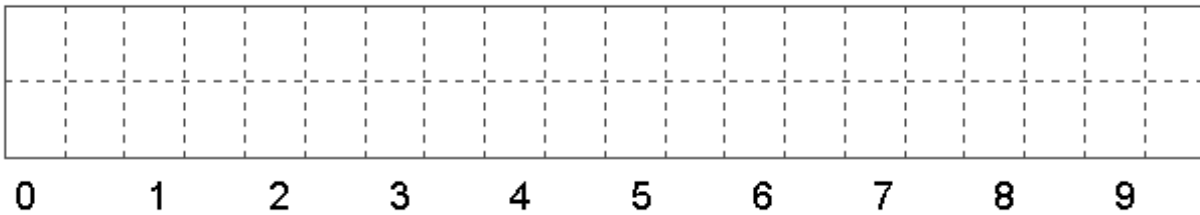
- ♦ Να τροφοδοτήσετε τον απαριθμητή με παλμούς, να επιβεβαιώσετε τη σωστή λειτουργία του και να συμπληρώσετε τον Πίνακα Λειτουργίας.

Παλμοί CLOCK A/A	Q _D	Q _C	Q _B	Q _A	Δεκ Αριθμός
0					
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					
11					
12					
13					
14					
15					
16					

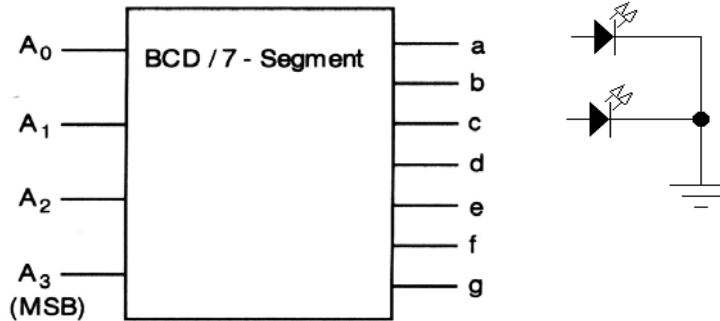
- ♦ Αφού επιβεβαιώσετε τη σωστή λειτουργία του κυκλώματος να συνδέσετε τις τέσσερις εξόδους του απαριθμητή (κώδικα BCD) στο κύκλωμα του μετατροπέα από BCD σε 7 - τμήματα της Πειραματικής κατασκευής και παρατηρήστε την παράσταση των δεκαδικών αριθμών στην 7 -τμηματική μονάδα ένδειξης.

Αξιολόγηση

1. Να παραστήσετε τους αριθμούς 0 - 9 με τη χρήση ενδείκτη 7 τμημάτων και συμπληρώστε ποια τμήματα της οθόνης "ανάβουν":



2. Δίνεται το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7 - τμημάτων



Αν στην είσοδο του είναι ο **κώδικας 0110**, ποια θα είναι η λογική κατάσταση των εξόδων του;

a = ... b = c = d = e =
f = g =

Ποιος αριθμός θα εμφανιστεί στην 7 - τμηματική μονάδα ένδειξης;

.....

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ ΑΠΟ ΤΟΝ ΚΩΔΙΚΑ BCD ΣΕ
ΔΕΚΑΔΙΚΟ - IC 7442

ΟΝΟΜΑ :

ΤΜΗΜΑ :

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ ΑΠΟ ΤΟΝ ΚΩΔΙΚΑ BCD ΣΕ
ΔΕΚΑΔΙΚΟ - IC 7442

ΣΤΟΧΟΙ:

- ♦ *Ο μαθητής να μπορεί να συνδεσμολογήει πρακτικό κύκλωμα αποκωδικοποιητή από τον κώδικα BCD στο Δεκαδικό με τη χρήση του IC 7442 και να ελέγχει τη λειτουργία του.*

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα - **IC 7442**

ΕΙΣΑΓΩΓΗ:

Ο **αποκωδικοποιητής** είναι ένα συνδυαστικό λογικό κύκλωμα που αναγνωρίζει την **παρουσία ορισμένου κώδικα στις εισόδους του** και ενεργοποιεί **μια μόνο έξοδο** που αντιστοιχεί στο συγκεκριμένο κώδικα εισόδου.

Ο αποκωδικοποιητής από τον κώδικα BCD στο δεκαδικό έχει **4 γραμμές εισόδου**, διότι ο κώδικας BCD έχει **4 bit** και οι **εξόδοι είναι 10**.

Γι' αυτό αναφέρεται επίσης ως **αποκωδικοποιητής 4 γραμμών σε 10 γραμμές**.

Να εξηγήσετε τι είναι ο **κώδικας BCD**:

.....

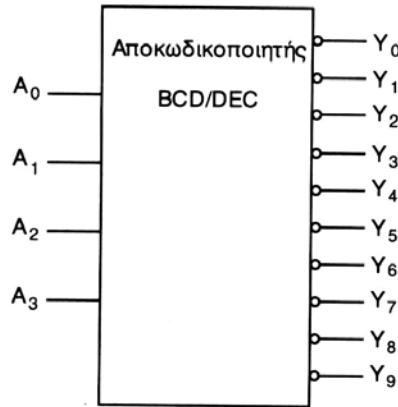
.....

.....

.....

✓ **Αποκωδικοποιητής από τον Κώδικα BCD στο Δεκαδικό με τις Εξόδους Ενεργές στο Λογικό 0**

Δίνεται το λογικό σύμβολο Αποκωδικοποιητή από τον Κώδικα BCD στο Δεκαδικό με τις **Εξόδους Ενεργές στο Λογικό 0**.



Να εξηγήσετε τι εννοούμε με τον όρο **εξόδοι ενεργές στο χαμηλό επίπεδο (Λογικό 0)** για το κύκλωμα του αποκωδικοποιητή:

.....

.....

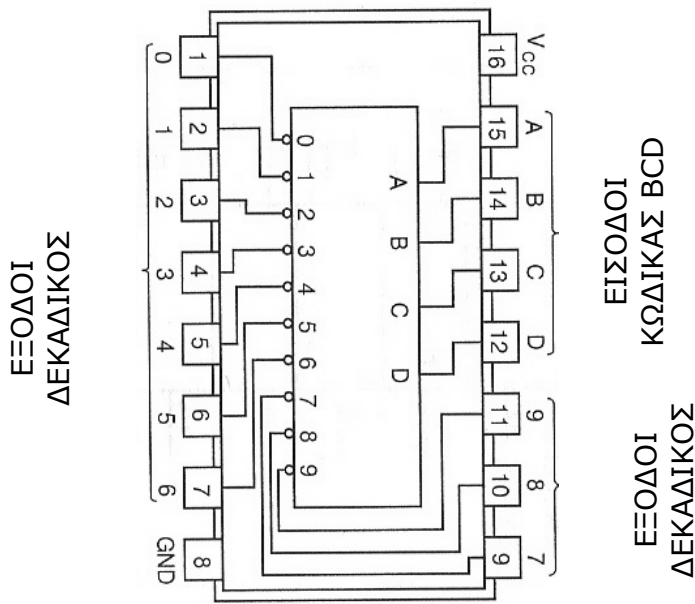
.....

.....

Να συμπληρώσετε τον Πίνακα Αληθείας του κυκλώματος:

A/A	ΕΙΣΟΔΟΙ				ΕΞΟΔΟΙ									
	A ₃	A ₂	A ₁	A ₀	Y ₉	Y ₈	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1										
2	0	0	1	0										
3														
4														
5														
6														
7														
8														
9	1	0	0	1										

✓ **IC - 7442 Αποκωδικοποιητής από τον Κώδικα BCD στο Δεκαδικό**



ΔΙΑΔΙΚΑΣΙΑ

1. Να συνδεσμολογήσετε τις 4 εισόδους (Κώδικας BCD) του κυκλώματος στους διακόπτες της Πειραματικής Κατασκευής και τις 10 εξόδους (Δεκαδικός αριθμός) στους ενδείκτες LED.

Σημείωση V_{CC} - Τροφοδοσία + 5V
 GND - 0 V

2. Να εφαρμόσετε διαδοχικά με τη βοήθεια των διακοπών τους 10 συνδυασμούς του κώδικα BCD και να επιβεβαιώσετε τον Πίνακα Λειτουργίας του κυκλώματος που έχετε συμπληρώσει πιο πάνω.

Αξιολόγηση

1. Από τον Πίνακα λειτουργίας του αποκωδικοποιητή να δώσετε την λογική συνάρτηση για τον κώδικα 0110 (αριθμός 6).

$\overline{Y}_6 = \dots\dots\dots$

Ακολούθως να μετασχηματίσετε τη λογική συνάρτηση ώστε:

$Y_6 = \dots\dots\dots$

2. Να σχεδιάσετε το αντίστοιχο λογικό κύκλωμα για την έξοδο **Y₆** (αριθμός 6).

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 4 - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2-BIT ΣΕ 4 ΓΡΑΜΜΕΣ

ΟΝΟΜΑ :

ΤΜΗΜΑ :

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2-BIT ΣΕ 4 ΓΡΑΜΜΕΣ

ΣΤΟΧΟΙ:

- ♦ Ο μαθητής να μπορεί να συνδεσμολογεί κύκλωμα αποκωδικοποιητή 2 Bit σε 4 γραμμές με τη χρήση λογικών πυλών και να ελέγχει τη λειτουργία του

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα - **IC 7404 (6 Πύλες NOT)**
- ♦ Ολοκληρωμένο κύκλωμα - **IC 7408 (4 Πύλες AND)**

ΕΙΣΑΓΩΓΗ:

Ο **αποκωδικοποιητής** είναι ένα συνδυαστικό λογικό κύκλωμα που αναγνωρίζει την **παρουσία ορισμένου κώδικα στις εισόδους του** και ενεργοποιεί **μια μόνο έξοδο** που αντιστοιχεί στο συγκεκριμένο κώδικα εισόδου.

ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2-BIT ΣΕ 4 ΓΡΑΜΜΕΣ

Δίνεται το λογικό σύμβολο του αποκωδικοποιητή:



Να συμπληρώσετε τον Πίνακα Αληθείας και να γράψετε τις λογικές συναρτήσεις των εξόδων:

A/A	ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			
	A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	1
1						
2						
3						

Y₀ =

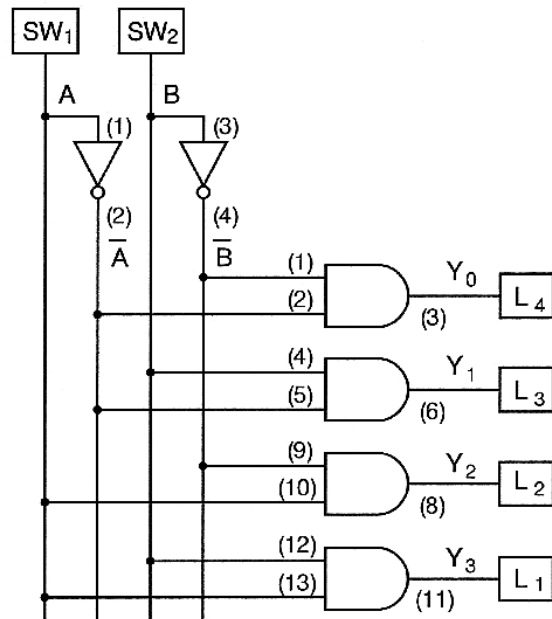
Y₁ =

Y₂ =

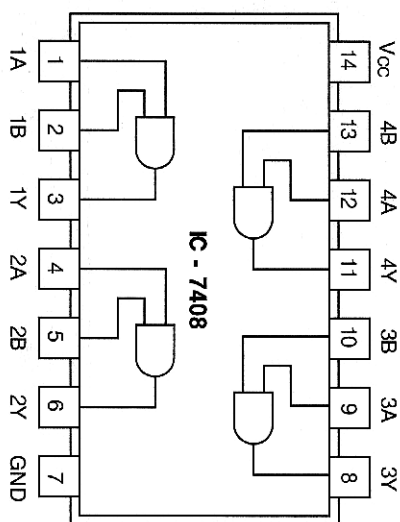
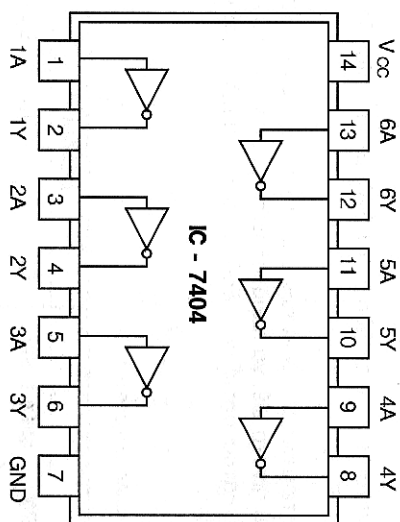
Y₃ =

ΔΙΑΔΙΚΑΣΙΑ

- ♦ Να συνδεσμολογήσετε το πρακτικό λογικό κύκλωμα του αποκωδικοποιητή 2-bit σε 4 γραμμές που δίνεται στο πιο κάτω σχήμα. Το λογικό κύκλωμα χρησιμοποιεί τα IC 7404 (6 πύλες NOT) και το IC 7408 (2 πύλες AND).



- ♦ Πριν προχωρήσετε στο πρακτικό μέρος της άσκησης να σχεδιάσετε τις συνδέσεις στα πιο κάτω IC.



- ♦ Να εφαρμόσετε διαδοχικά με τη βοήθεια των διακοπών τις 4 λογικές καταστάσεις των εισόδων και να παρακολουθήσετε στις ενδεικτικές λυχνίες τις καταστάσεις των εξόδων για να αποδείξετε τον Πίνακα λειτουργίας του αποκωδικοποιητή που έχετε συμπληρώσει πιο πάνω.

ΑΞΙΟΛΟΓΗΣΗ

Δίνεται το λογικό σύμβολο αποκωδικοποιητή 2 bit σε 4 γραμμές με τις εξόδους ενεργές στο χαμηλό επίπεδο



Να εξηγήσετε τι εννοούμε με τον όρο **εξόδοι ενεργές στο χαμηλό επίπεδο (Λογικό 0)** για το κύκλωμα του αποκωδικοποιητή:

.....

.....

.....

.....

Να συμπληρώσετε τον **Πίνακα Αληθείας** του κυκλώματος.

A/A	ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			
	A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	1	1	1	0
1	0	1				
2	1	0				
3	1	1				

ΣΥΓΚΡΙΤΕΣ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΨΗΦΙΑΚΟΣ ΣΥΓΚΡΙΤΗΣ 1-BIT

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΣΥΓΚΡΙΤΗΣ ΤΑΣΗΣ

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΨΗΦΙΑΚΟΣ ΣΥΓΚΡΙΤΗΣ 1-BIT

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Εργαστηριακή Άσκηση - Ψηφιακός Συγκριτής 1-Bit

ΣΤΟΧΟΙ:

- ♦ Ο μαθητής να μπορεί να συνδεσμολογεί κύκλωμα ψηφιακού συγκριτή 1-Bit με λογικές πύλες και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένα κυκλώματα] **IC 7404** **6 Πύλες NOT**
-] **IC 7408** **4 Πύλες AND των 2 εισόδων**
-] **IC 7432** **4 Πύλες OR των 2 εισόδων**

ΕΙΣΑΓΩΓΗ

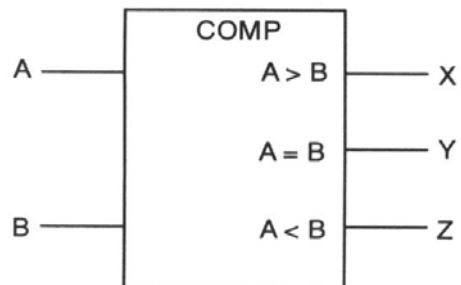
Ο ΨΗΦΙΑΚΟΣ ΣΥΓΚΡΙΤΗΣ ΕΙΝΑΙ ΕΝΑ ΣΥΝΔΥΑΣΤΙΚΟ ΚΥΚΛΩΜΑ, ΠΟΥ **ΣΥΓΚΡΙΝΕΙ ΔΥΟ ΔΥΑΔΙΚΟΥΣ ΑΡΙΘΜΟΥΣ**, ΓΙΑ ΠΑΡΑΔΕΙΓΜΑ, A & B ΚΑΙ ΒΡΙΣΚΕΙ ΑΝ ΕΙΝΑΙ ΙΣΟΙ Ή ΠΟΙΟΣ ΑΠΟ ΤΟΥΣ ΔΥΟ ΕΙΝΑΙ Ο ΠΙΟ ΜΕΓΑΛΟΣ:

A > B A = B A < B

♦ **Ψηφιακός Συγκριτής 1 Bit**

Ο Ψηφιακός Συγκριτής 1 Bit συγκρίνει δύο δυαδικούς αριθμούς 1-Bit, A και B, ως ακολούθως:

X = 1 A > B
Y = 1 A = B
Z = 1 A < B



ΑΣΚΗΣΗ 1 Πίνακας Λειτουργίας

Συμπληρώστε τον Πίνακα Αληθείας για το Ψηφιακό Συγκριτή 1 - Bit και συμπληρώστε τις λογικές συναρτήσεις για τις τρεις εξόδους X, Y και Z:

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			ΣΥΝΘΗΚΗ
A	B	X	Y	Z	

X =

Y =

Z =

ΑΣΚΗΣΗ 1 Συνδυαστικά Λογικά Κυκλώματα

Από τις πιο πάνω λογικές συναρτήσεις , να σχεδιάσετε τα συνδυαστικά λογικά κυκλώματα για τις τρεις εξόδους του Ψηφιακού Συγκριτή 1 - Bit.

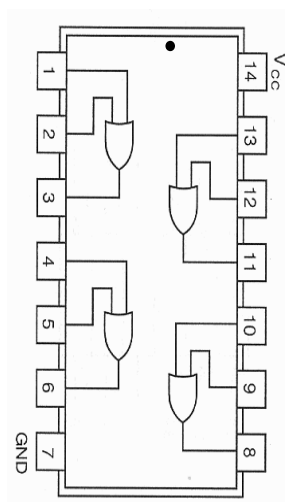
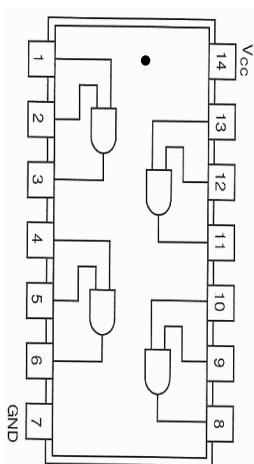
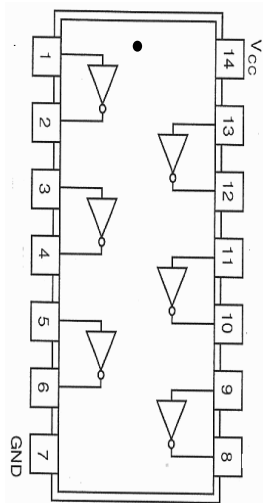
Να απαριθμήσετε τις λογικές πύλες που χρειάζονται για να συναρμολογηθεί το κύκλωμα του συγκριτή:

.....

ΠΡΟΠΑΡΑΣΚΕΥΗ:

Πριν προχωρήσετε στο πρακτικό μέρος της άσκησης να σχεδιάσετε τις συνδέσεις του κυκλώματος του ψηφιακού συγκριτή:

Τροφοδοσία: $V_{CC} = + 5V$
 $GND = 0 V$



ΔΙΑΔΙΚΑΣΙΑ

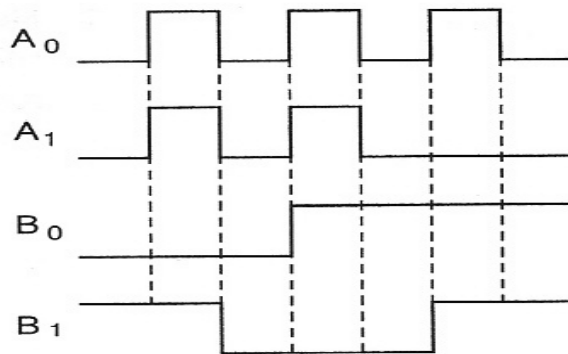
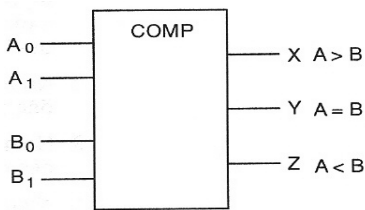
- ♦ Να συνδεσμολογήσετε τώρα το λογικό κύκλωμα του συγκριτή στην Πειραματική Κατασκευή όπως το έχετε σχεδιάσει πιο πάνω.
- ♦ Οι είσοδοι A και B του κυκλώματος να συνδεθούν στους διακόπτες της Πειραματικής Κατασκευής και οι έξοδοι X, Y και Z σε τρεις ενδεικτικές λυχνίες LED.
- ♦ Με τη βοήθεια των διακοπών να δώσετε τις τέσσερις λογικές καταστάσεις των εισόδων, να παρακολουθήσετε στις ενδεικτικές λυχνίες τις λογικές καταστάσεις των τριών εξόδων του συγκριτή και έτσι να επιβεβαιώσετε τη σωστή λειτουργία του κυκλώματος με βάση τον Πίνακα Λειτουργίας της Άσκησης 1 πιο πάνω.
- ♦ Να δώσετε οποιασδήποτε σχόλια ή παρατηρήσεις που έχετε διαπιστώσει για τη λειτουργία του κυκλώματος :

.....

ΑΞΙΟΛΟΓΗΣΗ

1. Να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων του ψηφιακού συγκριτή 2 - bit για τις πιο κάτω εισόδους.

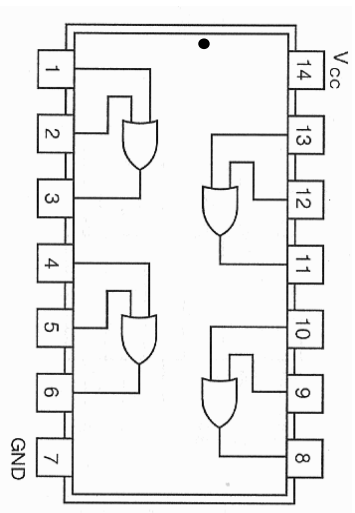
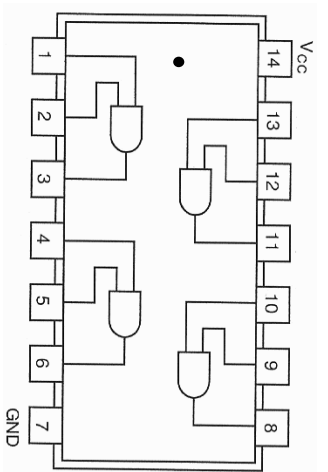
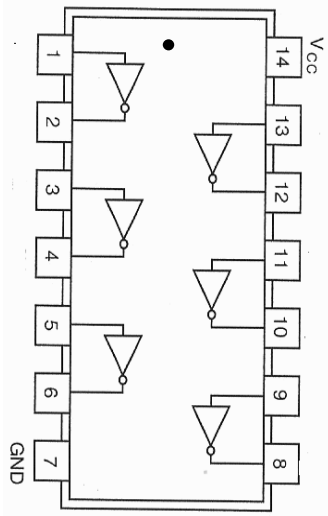
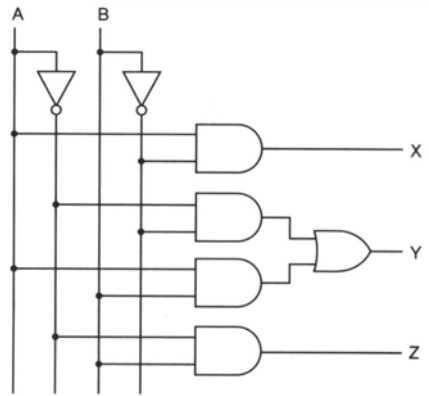
Σημείωση: Για κάθε περίπτωση να γράψετε πρώτα τους δύο αριθμούς που συγκρίνονται, να υπολογίσετε ποιος από τους δύο είναι ο πιο μεγάλος και ακολούθως να δώσετε την αντίστοιχη έξοδο του συγκριτή.
 Υπενθυμίζεται ότι για κάθε συνδυασμό εισόδων ενεργοποιείται μια μόνο έξοδος που αντιστοιχεί στη σωστή λειτουργία του κυκλώματος και οι υπόλοιπες δύο παραμένουν στο λογικό 0.



X

Y

Z



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΣΥΓΚΡΙΤΗΣ ΤΑΣΗΣ

ΟΝΟΜΑ :

ΤΜΗΜΑ :

ΣΤΟΧΟΙ:

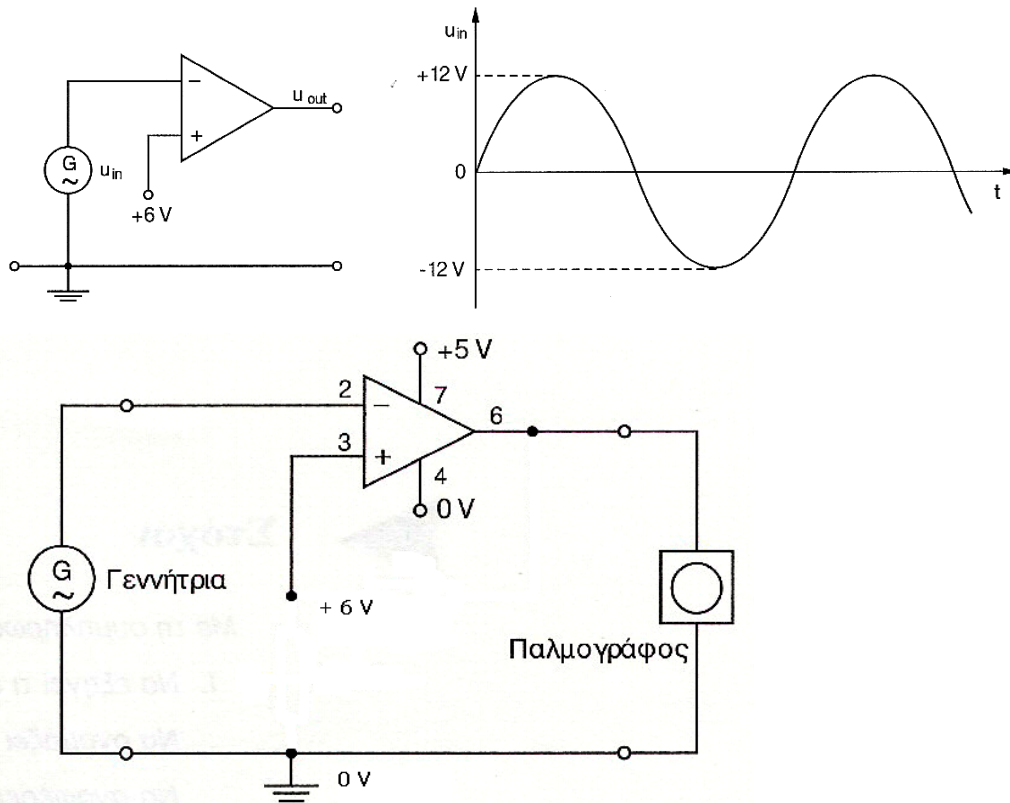
- ♦ Ο μαθητής να μπορεί να συνδεσμολογήει κύκλωμα ΣΥΓΚΡΙΤΗ ΤΑΣΗΣ με τη χρήση τελεστικού ενισχυτή, να προσδιορίζει τα χαρακτηριστικά του και να ελέγχει τη λειτουργία του.

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ IC - 741
- ♦ Παλμογράφος
- ♦ Ψηφιακό πολύμετρο

ΔΙΑΔΙΚΑΣΙΑ:

- ♦ Να συνδεσμολογήσετε το κύκλωμα του ψηφιακού συγκριτή του Παραδείγματος 7.2 στη σελίδα 230 του βιβλίου σας με τη χρήση τελεστικού ενισχυτή IC - 741 όπως φαίνεται στο πιο κάτω σχήμα:

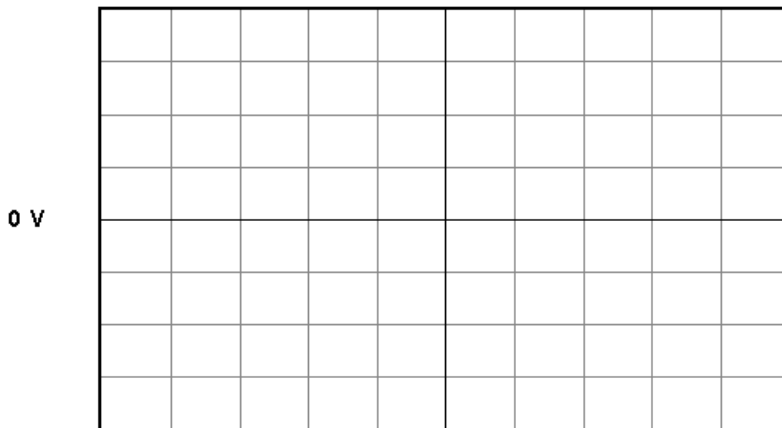


Συνδέσεις Στη θετική είσοδο του τελεστικού ενισχυτή εφαρμόζεται συνεχής τάση + 6 V και στην αρνητική είσοδο εφαρμόζεται εναλλασσόμενη τάση συχνότητας 10 kHz με μέγιστες τιμές ± 12 V από τη γεννήτρια ημιτονοειδών παλμών.

Η τάση τροφοδοσίας του τελεστικού ενισχυτή και άρα οι αντίστοιχες μέγιστες και ελάχιστες τιμές εξόδου είναι + 5 V και 0 V.

Συνδέστε στο CH1 του παλμογράφου το σήμα εισόδου (τη γεννήτρια παραγωγής ημιτονοειδών παλμών) και στο CH2 την έξοδο του κυκλώματος και παρατηρήστε τη λειτουργία του κυκλώματος.

- 8. Να σχεδιάσετε σε τετραγωνισμένο χαρτί τις κυματομορφές εξόδου και εισόδου όπως εμφανίζονται στον παλμογράφο:



Επιβεβαιώστε τα αποτελέσματά σας με το σχήμα 7/7 στη σελίδα 231 του βιβλίου σας.

- 9. Να μεταβάλετε τη συνεχή τάση που εφαρμόζεται στη θετική είσοδο του τελεστικού ενισχυτή από 0 V - 6 V, να παρατηρήσετε την αλλαγή στην κυματομορφή εξόδου και να γράψετε τα σχόλιά σας πιο κάτω:

.....

.....

.....

.....

.....

.....

.....

ΠΟΛΥΠΛΕΚΤΕΣ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΠΟΛΥΠΛΕΚΤΗΣ ΔΥΟ ΓΡΑΜΜΩΝ ΣΕ ΜΙΑ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΥΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ ΜΕ ΤΗ ΧΡΗΣΗ
ΠΟΛΥΠΛΕΚΤΩΝ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 - ΑΠΟΠΟΛΥΠΛΕΚΤΗΣ 3 ΓΡΑΜΜΩΝ ΣΕ 8

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1 - ΠΟΛΥΠΛΕΚΤΗΣ ΔΥΟ ΓΡΑΜΜΩΝ ΣΕ ΜΙΑ

ΟΝΟΜΑ :

ΤΜΗΜΑ :

Εργαστηριακή Άσκηση - Πολυπλέκτης Δυο Γραμμών Σε Μία

ΣΤΟΧΟΙ:

- ♦ *Ο μαθητής να μπορεί να συνδεσμολογεί το λογικό κύκλωμα πολυπλέκτη δύο γραμμών σε μία και να ελέγχει τη λειτουργία του.*

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένα κυκλώματα

IC 7404 - 6 πύλες NOT

IC 7408 - 4 πύλες AND

IC 7432 - 6 πύλες OR

* **ΕΙΣΑΓΩΓΗ**

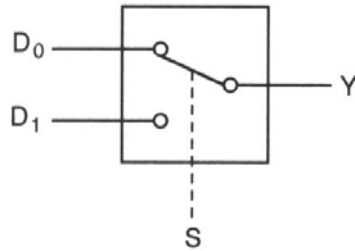
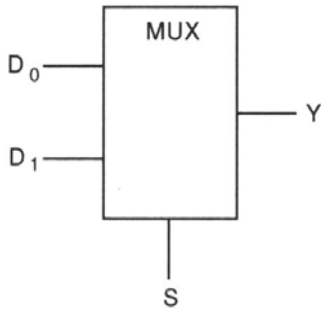
Ο **ΠΟΛΥΠΛΕΚΤΗΣ** ΕΙΝΑΙ ΕΝΑ ΣΥΝΔΥΑΣΤΙΚΟ ΛΟΓΙΚΟ ΚΥΚΛΩΜΑ ΠΟΥ ΕΧΕΙ ΠΟΛΛΕΣ ΠΗΓΕΣ ΕΙΣΟΔΟΥ ΔΕΔΟΜΕΝΩΝ ΚΑΙ ΜΙΑ ΜΟΝΟ ΕΞΟΔΟ. Η ΕΠΙΛΟΓΗ ΤΗΣ ΓΡΑΜΜΗΣ ΕΙΣΟΔΟΥ ΠΟΥ ΘΑ ΜΕΤΑΦΕΡΘΕΙ ΣΤΗΝ ΕΞΟΔΟ ΕΞΑΡΤΑΤΑΙ ΑΠΟ ΤΟΝ ΣΥΝΔΥΑΣΜΟ ΤΟΥ ΚΩΔΙΚΑ ΤΩΝ ΓΡΑΜΜΩΝ ΕΠΙΛΟΓΗΣ ΕΙΣΟΔΟΥ.

Ο ΠΟΛΥΠΛΕΚΤΗΣ ΟΝΟΜΑΖΕΤΑΙ ΕΠΙΣΗΣ ΚΑΙ **ΕΠΙΛΟΓΕΑΣ ΔΕΔΟΜΕΝΩΝ (DATA SELECTOR)**, ΔΙΟΤΙ ΚΑΝΕΙ ΕΠΙΛΟΓΗ ΤΩΝ ΔΕΔΟΜΕΝΩΝ, ΠΟΥ ΒΡΙΣΚΟΝΤΑΙ ΣΤΗΝ ΕΙΣΟΔΟ ΤΟΥ ΚΑΙ ΤΑ ΟΔΗΓΕΙ ΣΤΗΝ ΕΞΟΔΟ ΤΟΥ.

Ο ΠΟΛΥΠΛΕΚΤΗΣ ΣΥΓΚΡΙΝΕΤΑΙ ΜΕ ΤΟ ΜΗΧΑΝΙΚΟ ΠΕΡΙΣΤΡΟΦΙΚΟ ΔΙΑΚΟΠΤΗ Ο ΟΠΟΙΟΣ ΑΝΑΛΟΓΑ ΜΕ ΤΗ ΘΕΣΗ ΤΟΥ ΕΠΙΛΕΓΕΙ ΜΙΑ ΑΠΟ ΤΙΣ ΠΟΛΛΕΣ ΕΙΣΟΔΟΥΣ ΤΟΥ.

• **ΠΟΛΥΠΛΕΚΤΗΣ ΔΥΟ ΓΡΑΜΜΩΝ ΣΕ ΜΙΑ (2Χ1)**

- √ Ο πολυπλέκτης 2Χ1 έχει δύο εισόδους δεδομένων, μια είσοδο επιλογής εισόδου δεδομένων και μια έξοδο.
- √ Σας δίνεται το λογικό σύμβολο και ο Πίνακας λειτουργίας του πολυπλέκτη 2Χ1. Να συμπληρώσετε τη λογική συνάρτηση του κυκλώματος και να σχεδιάσετε το λογικό κύκλωμα του.



S	Y
0	D ₀
1	D ₁

Y =

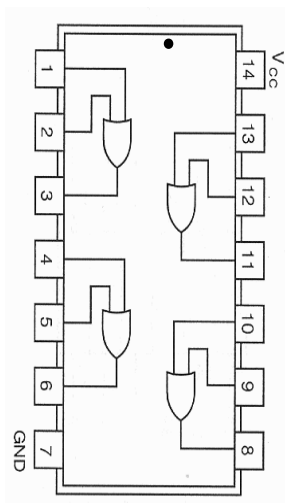
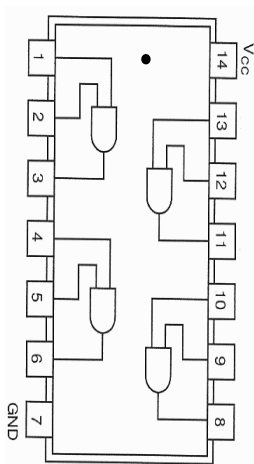
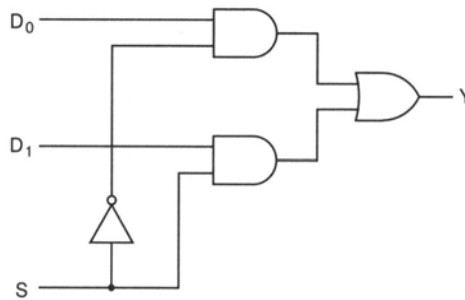
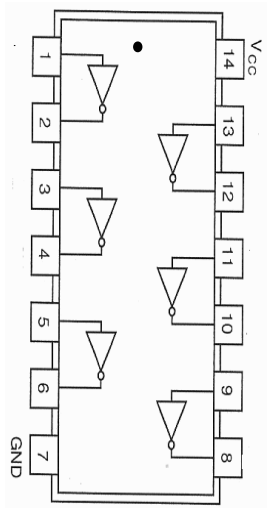
Λογικό Κύκλωμα

- √ Να αναφέρετε τις πύλες που απαιτούνται για την υλοποίηση του πολυπλέκτη:

.....

- √ Να υλοποιήσετε το πρακτικό κύκλωμα του πολυπλέκτη με τα πιο κάτω ολοκληρωμένα κυκλώματα και να επιβεβαιώσετε τη σωστή λειτουργία του.

Σημείωση: Οι δύο εισοδοι δεδομένων και η είσοδος επιλογής δεδομένων ενώνονται στους λογικούς διακόπτες και η έξοδος στην ενδεικτική λυχνία LED.

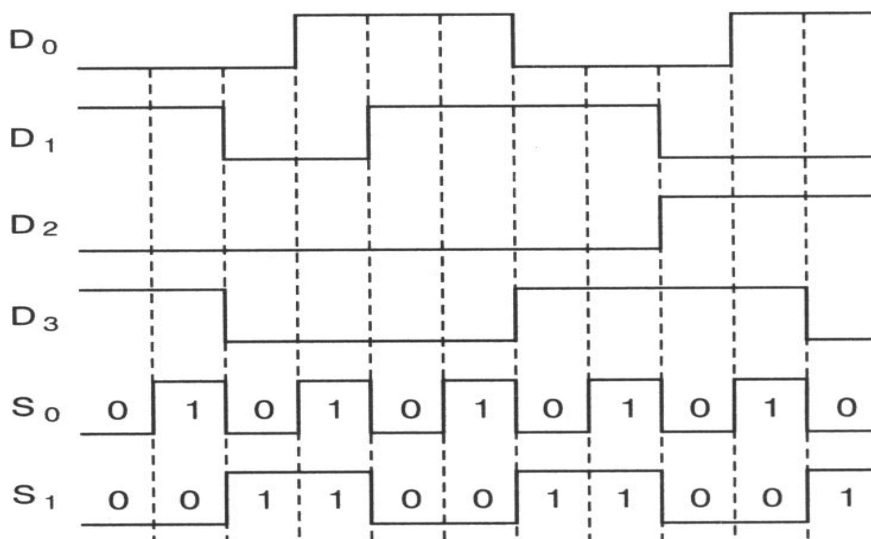
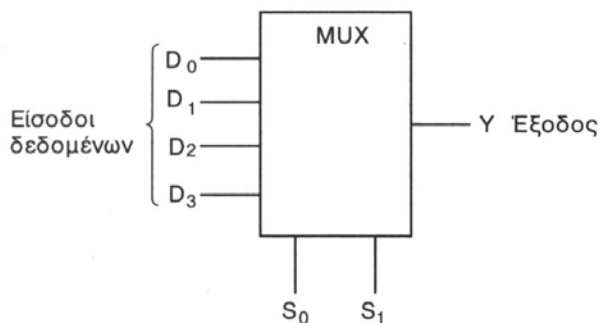


• **ΑΞΙΟΛΟΓΗΣΗ**

1. Να αναφέρετε πόσες γραμμές επιλογής εισόδου χρειάζονται για ένα πολυπλέκτη με 8 γραμμές εισόδου δεδομένων.

.....

2. Σας δίνεται το λογικό σύμβολο του πολυπλέκτη 4X1. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Y του πολυπλέκτη για τις πιο κάτω εισόδους:



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2 - ΥΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ
ΜΕ ΤΗ ΧΡΗΣΗ ΠΟΛΥΠΛΕΚΤΩΝ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Εργαστηριακή Άσκηση - Υλοποίηση Λογικών Συναρτήσεων με τη χρήση Πολυπλεκτών

ΣΤΟΧΟΙ:

- ♦ Ο μαθητής να μπορεί να υλοποιεί λογικές συναρτήσεις με τρεις μεταβλητές εισόδου με τη χρήση πολυπλέκτη 8X1.

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα **IC 74151 Πολυπλέκτης 8X1**

* **ΕΙΣΑΓΩΓΗ**

Οι πολυπλέκτες μπορούν να χρησιμοποιηθούν για την υλοποίηση λογικών συναρτήσεων αντί λογικών πυλών με τα πιο κάτω πλεονεκτήματα:

- ✓ Ένας μόνο πολυπλέκτης μπορεί να χρησιμοποιηθεί για την πραγματοποίηση πολλών διαφορετικών λογικών συναρτήσεων.
- ✓ Η υλοποίηση μιας λογικής συνάρτησης γίνεται με απλό και εύκολο τρόπο.
- ✓ Με τη χρήση πολυπλεκτων επιτυγχάνεται εξοικονόμηση αριθμού ολοκληρωμένων κυκλωμάτων (ICs).

• **Λογικές Συναρτήσεις με τη χρήση λογικών πυλών**

Δίνεται η λογική συνάρτηση με τρεις μεταβλητές εισόδου A, B και C:

$$Y = \bar{A} \cdot B + A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot C$$

Να αναφέρετε τα πύλες και τα ολοκληρωμένα κυκλώματα που απαιτούνται για τη υλοποίηση της λογικής συνάρτησης.

.....
.....
.....
.....
.....

Να σχεδιάσετε το λογικό κύκλωμα της λογικής συνάρτησης:

$$Y = \bar{A} \cdot B + A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot C$$

• **Υλοποίηση της λογικής συνάρτησης με πολυπλέκτη 8X1**

Να αναπτύξετε τη λογική συνάρτηση στην κανονική της μορφή:

Y =

Από τη πιο πάνω κανονική μορφή της λογικής συνάρτησης να συμπληρώσετε τον Πίνακα Αληθείας του κυκλώματος:

Είσοδος Δεδομένων	Είσοδοι Επιλογής			Έξοδος Y
	C	B	A	
D ₀	0	0	0	0
D ₁	0	0	1	
D ₂				
D ₃				
D ₄				
D ₅				
D ₆				
D ₇	1	1	1	

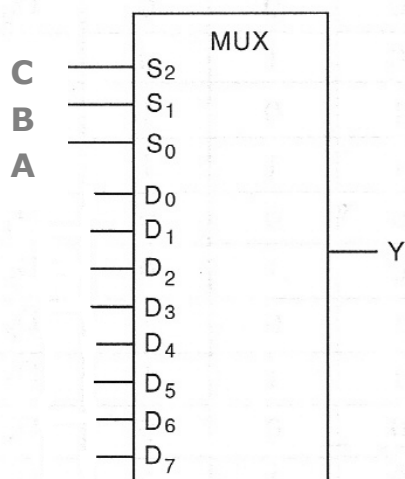
Από τον Πίνακα Λειτουργίας να σχεδιάσετε το λογικό κύκλωμα με τη χρήση πολυπλέκτη 8X1 με τη πιο κάτω διαδικασία:

- ΣΥΝΔΕΟΝΤΑΙ ΟΙ ΕΙΣΟΔΟΙ ΕΠΙΛΟΓΗΣ S_2, S_1 ΚΑΙ S_0 ΜΕ ΤΙΣ ΜΕΤΑΒΛΗΤΕΣ C, B ΚΑΙ A
- ΣΥΝΔΕΟΝΤΑΙ ΟΙ ΕΙΣΟΔΟΙ ΔΕΔΟΜΕΝΩΝ $D_0 - D_7$ ΕΙΤΕ ΣΤΟ ΛΟΓΙΚΟ 0 ΕΙΤΕ ΣΤΟ ΛΟΓΙΚΟ 1 ΑΝΑΛΟΓΑ ΜΕ ΤΙΣ ΤΙΜΕΣ ΕΞΟΔΟΥ ΣΤΟΝ ΠΙΝΑΚΑ ΑΛΗΘΕΙΑΣ

ΠΑΡΑΔΕΙΓΜΑ

ΟΤΑΝ Η ΕΙΣΟΔΟΣ ΕΠΙΛΟΓΗΣ $S_2S_1S_0 = 000$ ΤΟΤΕ ΕΠΙΛΕΓΕΤΑΙ Η ΕΙΣΟΔΟΣ ΔΕΔΟΜΕΝΩΝ D_0 ΚΑΙ $Y = D_0$.

ΑΡΑ Η ΕΙΣΟΔΟΣ D_0 ΠΡΕΠΕΙ ΝΑ ΣΥΝΔΕΘΕΙ ΣΤΟ ΛΟΓΙΚΟ 0 ΩΣΤΕ Η ΕΞΟΔΟΣ ΝΑ ΕΙΝΑΙ 0 ΣΥΜΦΩΝΑ ΜΕ ΤΟΝ ΠΙΝΑΚΑ ΑΛΗΘΕΙΑΣ ΤΗΣ ΛΟΓΙΚΗΣ ΣΥΝΑΡΤΗΣΗΣ:



Συμπληρώστε:

Είσοδοι δεδομένων που συνδέονται στο λογικό 0

Είσοδοι δεδομένων που συνδέονται στο λογικό 1

• **Κύκλωμα IC 74151 - Πολυπλέκτης 8X1**

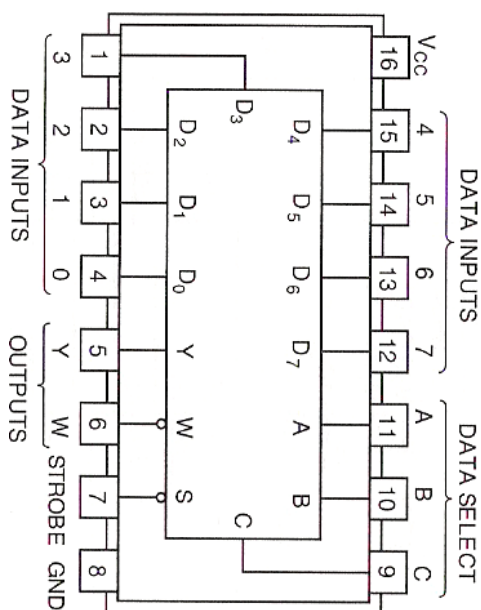
Δίνεται το IC 74151 για την υλοποίηση της λογικής συνάρτησης. Το κύκλωμα έχει:

- 8 γραμμές εισόδου δεδομένων $D_0 - D_7$
- 3 γραμμές επιλογής εισόδου $S_0 - S_2$
- 1 έξοδο Y
- Συμπληρωματική έξοδο W
- STROBE - Είσοδος ενεργοποίησης του κυκλώματος ενεργή στο λογικό 0.

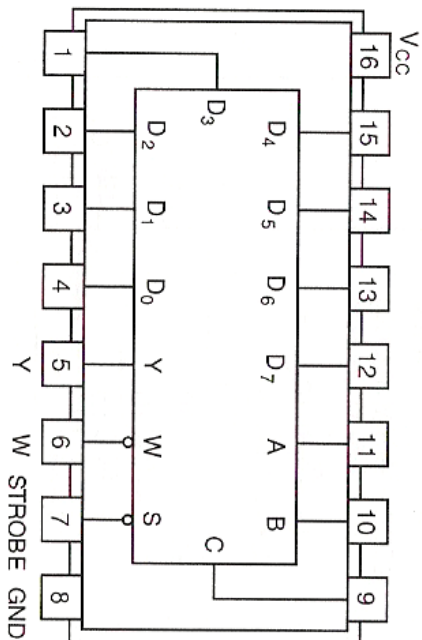
Να συνδεσμολογήσετε τη λογική συνάρτηση χρησιμοποιώντας το πολυπλέκτη 8X1:

- Οι τρεις εισοδοι επιλογής S_2, S_1 και S_0 συνδέονται στους διακόπτες της Πειραματικής Κατασκευής (Είσοδοι C, B και A αντίστοιχα).
- $V_{CC} = +5V$
- $GND = 0V$
- $STROBE = 0V$
- Η έξοδος Y συνδέεται στην ενδεικτική λυχνία.

Με τη βοήθεια των διακοπών να προσομοιώσετε τις εισόδους του κυκλώματος και να επιβεβαιώσετε τη σωστή λειτουργία του κυκλώματος παρακολουθώντας την έξοδο στην ενδεικτική λυχνία με βάση το Πίνακα Αληθείας.



- ✓ Είσοδοι δεδομένων που συνδέονται στο λογικό 0
.....
- ✓ Είσοδοι δεδομένων που συνδέονται στο λογικό 1
.....



V_{CC} = + 5 V
 GND = 0 V
 STROBE = 0 V

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΕΡΓΑΣΤΗΡΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 - ΑΠΟΠΟΛΥΠΛΕΚΤΗΣ 3 ΓΡΑΜΜΩΝ ΣΕ 8

ΟΝΟΜΑ :

ΤΜΗΜΑ :

Εργαστηριακή Άσκηση - Αποπολυπλέκτης 3 Γραμμών σε 8 Γραμμές

ΣΤΟΧΟΙ:

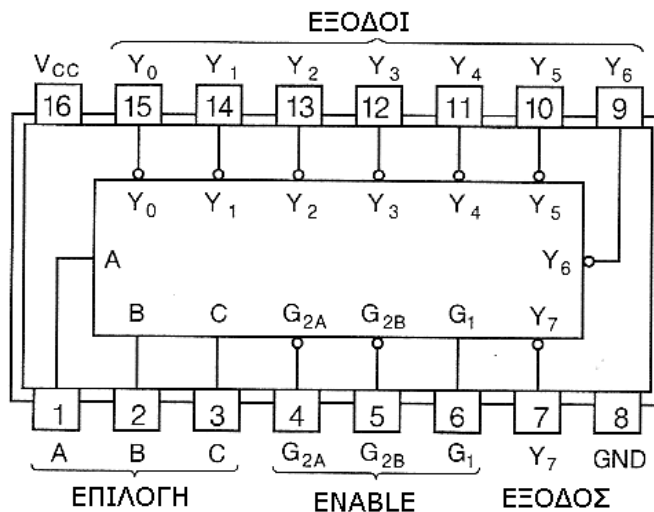
- ♦ Ο μαθητής να μπορεί να συνδεσμολογεί κύκλωμα αποπολυπλέκτη 3 γραμμών σε 8 εξόδους και να παρατηρεί και να εξηγήει τη λειτουργία του κυκλώματος.

ΥΛΙΚΑ:

- ♦ Ψηφιακή πειραματική κατασκευή
- ♦ Ολοκληρωμένο κύκλωμα **IC 74138** **Αποκωδικοποιητής / Αποπολυπλέκτης 3Χ8**

* **ΕΙΣΑΓΩΓΗ - IC 74138**

Το σχηματικό διάγραμμα του κυκλώματος δίνεται στο Σχήμα 1

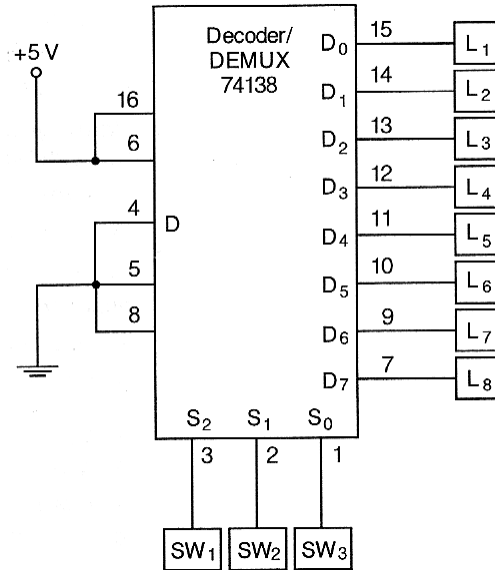


Σχήμα 1

- ο Το ολοκληρωμένο κύκλωμα IC 74138 είναι ένα κύκλωμα Αποκωδικοποιητή / Αποπολυπλέκτη με 3 γραμμές επιλογής και 8 γραμμές εξόδου (3Χ8).
- ο Υπάρχουν επίσης 3 επιπλέον εισοδοι δραστηκοποίησης (**Enable**) που ενεργοποιούν το κύκλωμα:
 - $G_{2A} = 0$ (4)
 - $G_{2B} = 0$ (5)
 - $G_1 = 1$ (6)
- ο ΟΙ εξόδοι είναι ενεργές στο χαμηλό επίπεδο (Λογικό 0).

* **ΔΙΑΔΙΚΑΣΙΑ**

- ♦ Να συνδεσμολογήσετε το κύκλωμα του αποπολυκλέκτη όπως φαίνεται στο Σχήμα 2 και να συμπληρώσετε το Πίνακα Λειτουργίας του Αποπολυπλέκτη.



Σχήμα 2

Εισόδοι Επιλογής			Εξόδοι							
S ₂	S ₁	S ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	0								
0	0	1								
1	1	1								

Να γράψετε τις παρατηρήσεις σας για τη λειτουργία του κυκλώματος.

.....

.....

.....

.....

.....

.....

- ♦ Ακολουθώντας να τοποθετήσετε τον ακροδέκτη 4 στο λογικό 1 (+ 5 V) και να παρατηρήσετε την κατάσταση των εξόδων για κάθε συνδυασμό του κώδικα επιλογής. Τι παρατηρείτε;

.....

.....

.....

.....

.....

Να αναφέρετε πιθανές χρήσεις του κυκλώματος IC 74138 στη ψηφιακή ηλεκτρονική.

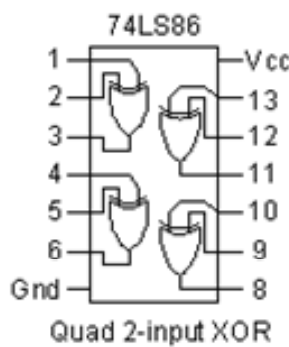
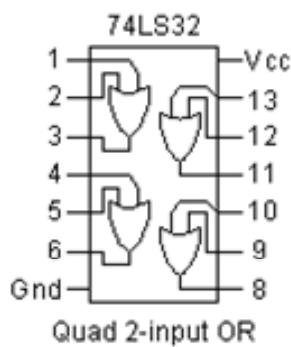
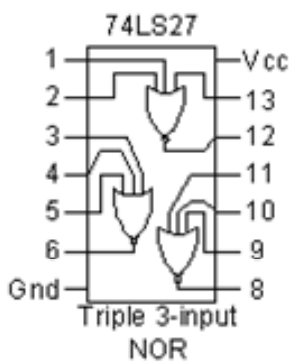
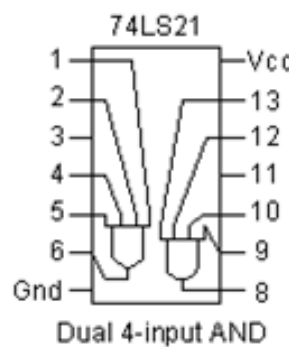
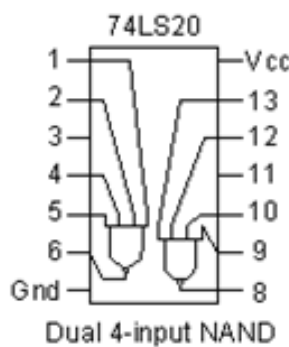
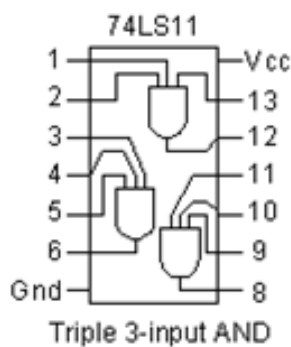
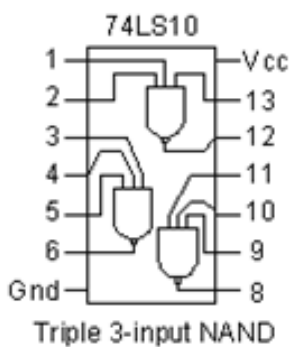
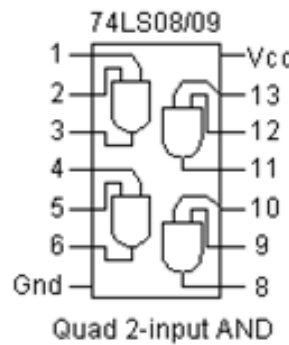
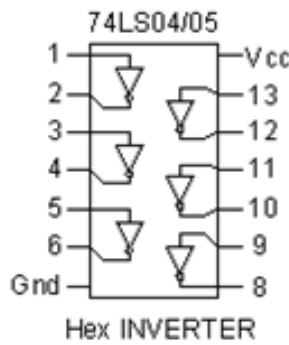
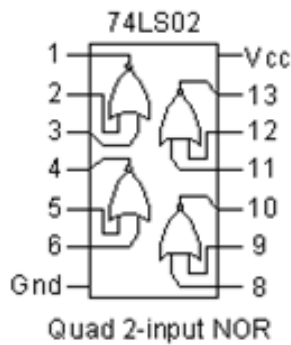
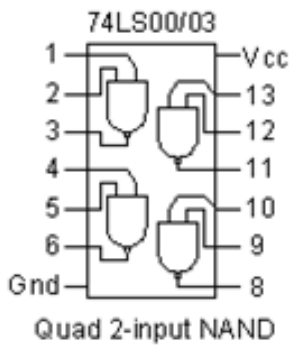
.....

.....


.....

.....

ο ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ ΛΟΓΙΚΗΣ ΟΙΚΟΓΕΝΕΙΑΣ TTL



AND Gate




A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Boolean Expression

$Y = A \cdot B$

OR Gate

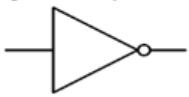


A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

Boolean Expression

$Y = A + B$

NOT Gate




A	Y
0	1
1	0

Boolean Expression

$Y = A'$

NAND Gate

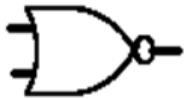


A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Boolean Expression

$Y = (A \cdot B)' = A' + B'$

NOR Gate




A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Boolean Expression

$Y = (A + B)'$

XOR Gate




A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Boolean Expression

$Y = A \oplus B$

XNOR Gate



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

Boolean Expression

$Y = A \odot B$