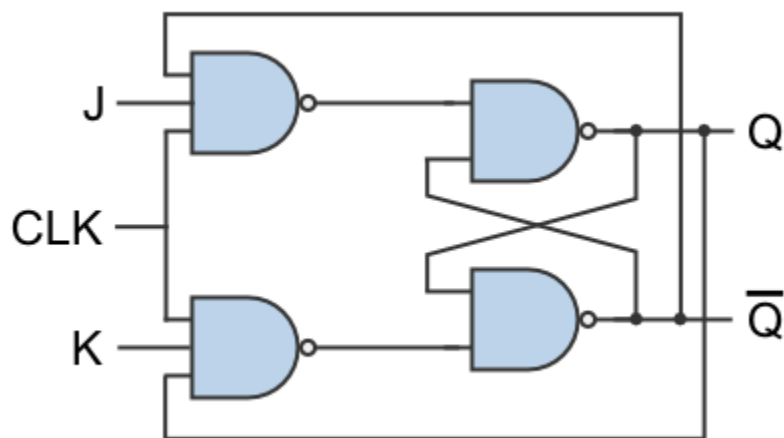


ΤΕΧΝΟΛΟΓΙΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ 3^{ΗΣ} ΤΑΞΗΣ

ΦΥΛΛΑ ΕΡΓΑΣΙΑΣ



Ενότητα 1 - Φλιπ Φλοπ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - NOR & NAND FFs

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΧΡΟΝΙΖΟΜΕΝΑ NOR FFs

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - D FF

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - JK FF

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΑΣΥΓΧΡΟΝΗ ΛΕΙΤΟΥΡΓΙΑ JK FF

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 6 - T FF & ΕΦΑΡΜΟΓΕΣ FF

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΦΛΙΠ ΦΛΟΠ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - NOR & NAND FFs

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- √ *Να προσδιορίζει τις διαφορές μεταξύ των συνδυαστικών και ακολουθιακών λογικών κυκλωμάτων.*
- √ *Να αναφέρει τα χαρακτηριστικά των Φλιπ Φλοπ.*
- √ *Να αναγνωρίζει ότι τα Φλιπ Φλοπ ανήκουν στην κατηγορία των ακολουθιακών λογικών κυκλωμάτων.*
- √ *Να σχεδιάζει και να εξηγεί τη λειτουργία των ασύγχρονων SR Φλιπ Φλοπ:*
 - *NOR Φλιπ Φλοπ*
 - *NAND Φλιπ Φλοπ*
- √ *Να συμπληρώνει τον Πίνακα Αληθείας, να σχεδιάζει τα σύμβολα των πιο πάνω Φλιπ Φλοπ, καθώς και τα χρονικά διαγράμματα λειτουργίας τους.*

❖ ΑΚΟΛΟΥΘΙΑΚΑ ΛΟΓΙΚΑ ΚΥΚΛΩΜΑΤΑ

Είναι τα λογικά κυκλώματα των οποίων η έξοδος ή έξοδοι εξαρτώνται όχι μόνο από τη λογική κατάσταση των εισόδων αλλά και από τη λογική κατάσταση στην οποία βρίσκονται οι έξοδοι τη στιγμή ακριβώς πριν εφαρμοστούν οι νέες λογικές καταστάσεις στις εισόδους

Τα ακολουθιακά κυκλώματα έχουν τη ιδιότητα μνήμης και μπορούν να αποθηκεύσουν πληροφορίες. Πριν " αποφασίσουν " για την επόμενη λογική κατάσταση της εξόδου λαμβάνουν υπόψη την προηγούμενη.

❖ ΣΥΝΔΥΑΣΤΙΚΑ ΛΟΓΙΚΑ ΚΥΚΛΩΜΑΤΑ

Αντίθετα στα συνδυαστικά λογικά κυκλώματα η έξοδος ή έξοδοι εξαρτώνται μόνο από τη λογική κατάσταση των εισόδων τους.

Το βασικό στοιχείο των ακολουθιακών κυκλωμάτων (όπως είναι οι απαριθμητές και οι καταχωρητές) είναι το Φλιπ Φλοπ.

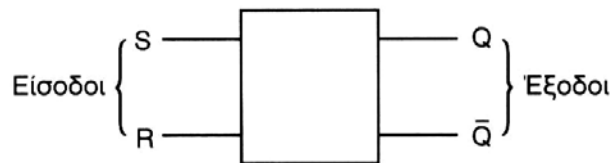
Το Φλιπ Φλοπ είναι ένα στοιχείο μνήμης και μπορεί να αποθηκεύσει ένα bit.

❖ ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΤΩΝ ΦΛΙΠ ΦΛΟΠ

Τα Φλιπ Φλοπ είναι **δισταθείς πολυδονητές**, δηλαδή κυκλώματα που έχουν δύο σταθερές καταστάσεις εξόδου, τη ψηλή κατάσταση (**HIGH**), το λογικό **1** και τη χαμηλή κατάσταση (**LOW**), το λογικό **0**.

Οι καταστάσεις των εξόδων του Φλιπ Φλοπ παραμένουν σταθερές (**κατάσταση μνήμης**) και αλλάζουν μόνο κατάσταση όταν αλλάξουν οι εισόδοι, λαμβάνοντας υπόψη τη λογική κατάσταση στην οποία βρίσκονται οι εξόδοι τη στιγμή ακριβώς πριν εφαρμοστούν οι νέες λογικές καταστάσεις στις εισόδους.

❖ SR ΦΛΙΠ ΦΛΟΠ



√ Είσοδοι

S - Set Τοποθετώ το Φλιπ Φλοπ στην κατάσταση 1

SET ⇒ **Q = 1**

R - Reset Θέτω το Φλιπ Φλοπ στην κατάσταση 0

RESET ⇒ **Q = 0**

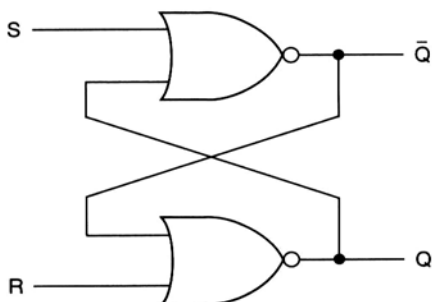
• ΛΕΙΤΟΥΡΓΙΑ

Οι δυο εξοδοι Q και \bar{Q} είναι συμπληρωματικές:

Q = 1]] ΤΟ FF ΒΡΙΣΚΕΤΑΙ ΣΤΗ ΚΑΤΑΣΤΑΣΗ **SET**
 $\bar{Q} = 0$]] SET STATE (**ΤΟΠΟΘΕΤΩ**)

Q = 0]] ΤΟ FF ΒΡΙΣΚΕΤΑΙ ΣΤΗ ΚΑΤΑΣΤΑΣΗ **RESET**
 $\bar{Q} = 1$]] RESET STATE (**ΜΗΔΕΝΙΣΩ**)

NOR Φλιπ Φλοπ

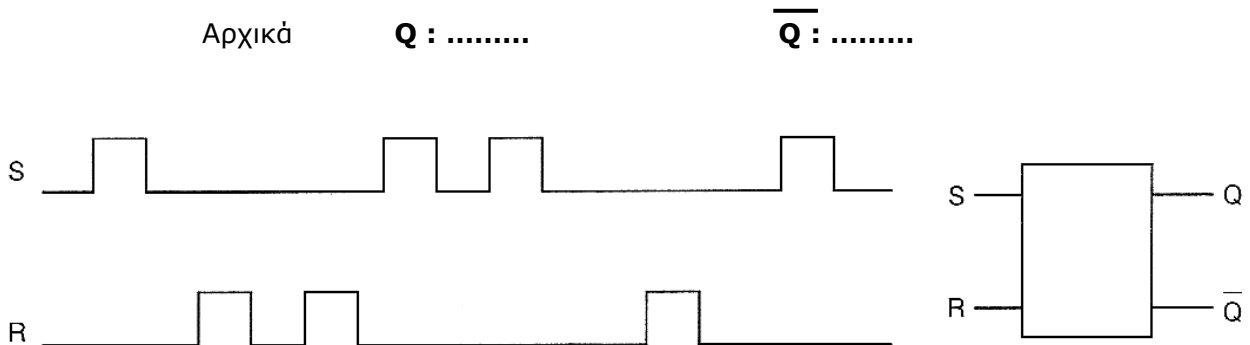


Είσοδοι		Έξοδοι		
S	R	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	0	Q_n	\bar{Q}_n	MEMORY
0	1	0	1	RESET
1	0	1	0	SET
1	1	0	0	Απαγορευμένη

Χρονικά Διαγράμματα

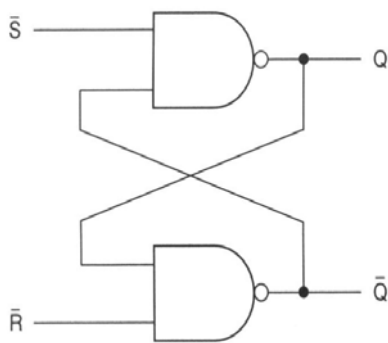
Σχεδιάστε τα χρονικά διαγράμματα των δύο εξόδων του NOR Φλιπ Φλοπ.

Σημείωση: Αρχικά το Φλιπ Φλοπ βρίσκεται σε κατάσταση **RESET (Μηδενισμού)**. Για κάθε περίπτωση να γράψετε την κατάσταση των εξόδων του Φλιπ Φλοπ.



NAND Φλιπ Φλοπ

(Οι εισόδοι είναι ενεργές στο λογικό)

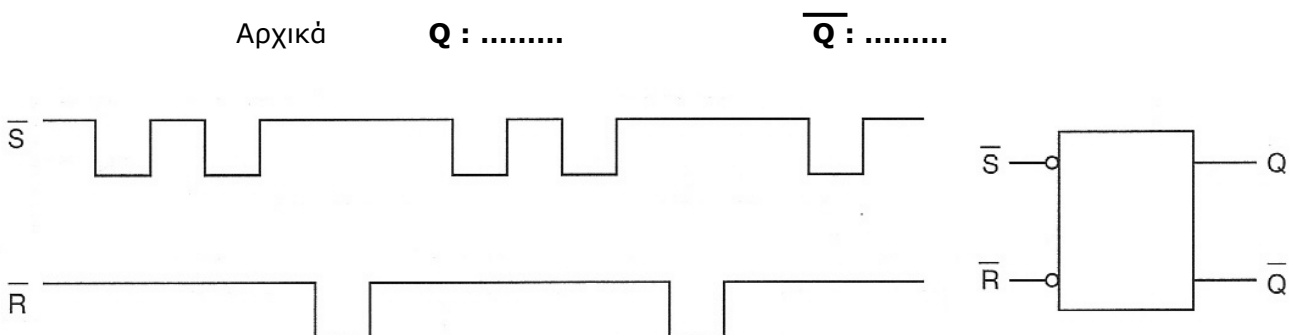


Είσοδοι		Έξοδοι		
\overline{S}	\overline{R}	Q_{n+1}	\overline{Q}_{n+1}	Κατάσταση
0	0	1	1	Απαγορευμένη
0	1	1	0	SET
1	0	0	1	RESET
1	1	Q_n	\overline{Q}_n	MEMORY

Χρονικά Διαγράμματα

Σχεδιάστε τα χρονικά διαγράμματα των δύο εξόδων του NAND Φλιπ Φλοπ.

Σημείωση: Αρχικά το Φλιπ Φλοπ βρίσκεται σε κατάσταση **RESET (Μηδενισμού)**. Για κάθε περίπτωση να γράψετε την κατάσταση των εξόδων του Φλιπ Φλοπ.

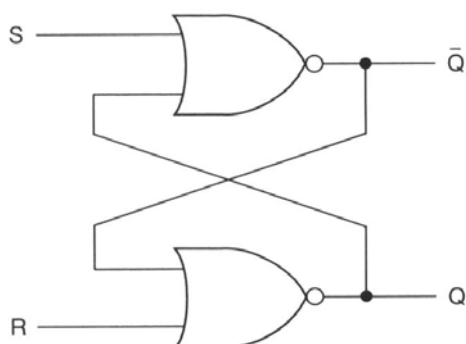


ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

1. Από το βιβλίο σας στην Ενότητα 1 - Φλιπ Φλοπ, να διαβάσετε τα πιο κάτω:
 - **Σελίδες 12 και 13**
 - Παράδειγμα 1.1 - **Σελίδα 17**
 - Παράδειγμα 1.2 - **Σελίδα 19**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις στο τετράδιο σας;
 - Ερώτηση 1 - **Σελίδα 37**
 - Ερώτηση 2 - **Σελίδα 37**
 - Ερώτηση 17 - **Σελίδα 39**
 - Ερώτηση 18 - **Σελίδα 39**

❖ SR Φλιπ Φλοπ με πύλες NOR

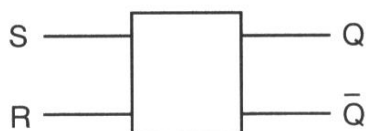
Λογικό Κύκλωμα



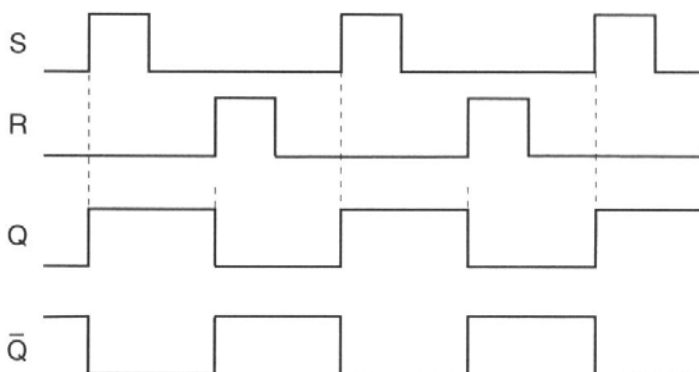
Πίνακας Αλήθειας

Είσοδοι		Έξοδοι		
S	R	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	0	Q_n	\bar{Q}_n	MEMORY
0	1	0	1	RESET
1	0	1	0	SET
1	1	0	0	Απαγορευμένη

Λογικό Σύμβολο

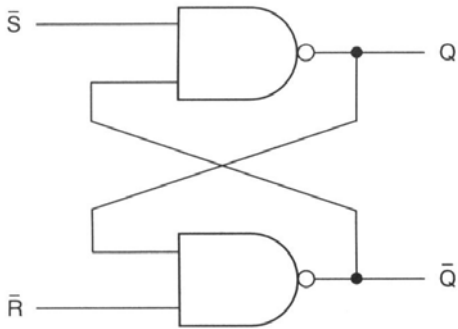


Χρονικά Διαγράμματα



❖ SR Φλιπ Φλοπ με πύλες NAND

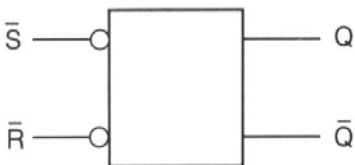
Λογικό Κύκλωμα



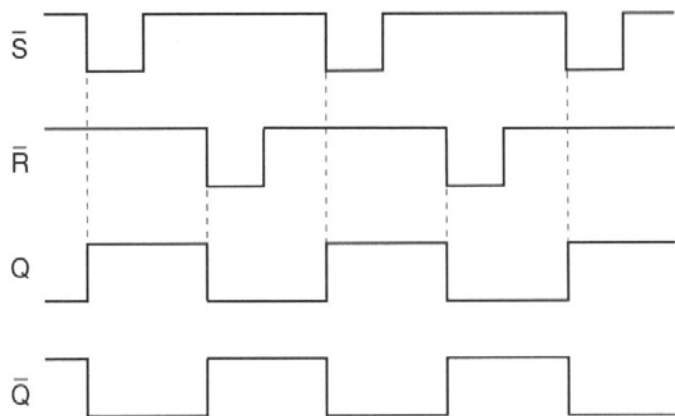
Πίνακας Αληθείας

Είσοδοι		Έξοδοι		
\bar{S}	\bar{R}	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	0	1	1	Απαγορευμένη
0	1	1	0	SET
1	0	0	1	RESET
1	1	Q_n	\bar{Q}_n	MEMORY

Λογικό Σύμβολο



Χρονικά Διαγράμματα



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΦΛΙΠ ΦΛΟΠ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΧΡΟΝΙΖΟΜΕΝΑ NOR FFs

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να διακρίνει τα Φλιπ Φλοπ σε ασύγχρονα και σε σύγχρονα (λειτουργία με ορολογικούς παλμούς).
- ✓ Να διακρίνει τα σύγχρονα Φλιπ Φλοπ σε δύο κατηγορίες ανάλογα με τον τρόπο χρονισμού τους:
 - Λειτουργία στα επίπεδα των ωρολογιακών παλμών
 - Λειτουργία στα μέτωπα των ωρολογιακών παλμών
- ✓ Να σχεδιάζει τα αντίστοιχα χρονικά διαγράμματα των πιο πάνω Φλιπ Φλοπ.

• **ΚΑΤΗΓΟΡΙΕΣ FFs**

Τα Φλιπ Φλοπ χωρίζονται σε δύο κατηγορίες ανάλογα με το τον τρόπο λειτουργίας:

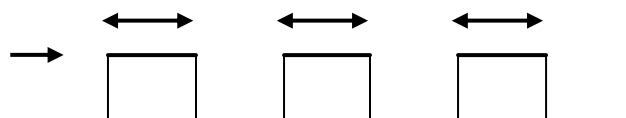
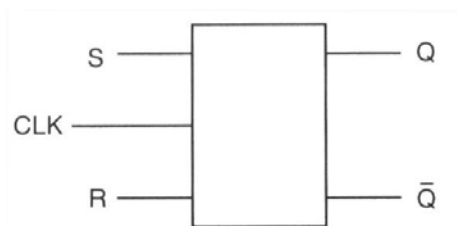
- ✓ **ΑΣΥΓΧΡΟΝΑ (ΜΗ ΧΡΟΝΙΖΟΜΕΝΑ)** ΛΕΙΤΟΥΡΓΟΥΝ ΧΩΡΙΣ ΩΡΟΛΟΓΙΑΚΟΥΣ ΠΑΛΜΟΥΣ
- ✓ **ΣΥΓΧΡΟΝΑ (ΧΡΟΝΙΖΟΜΕΝΑ)** Ο ΧΡΟΝΟΣ ΛΕΙΤΟΥΡΓΙΑΣ ΤΟΥΣ ΚΑΘΟΡΙΖΕΤΑΙ ΑΠΟ ΤΟΥΣ ΩΡΟΛΟΓΙΑΚΟΥΣ ΠΑΛΜΟΥΣ ΠΟΥ ΕΦΑΡΜΟΖΟΝΤΑΙ ΣΤΗ ΕΙΣΟΔΟ ΤΟΥΣ (CLOCK)

ΡΟΛΟΙ - CLOCK (CLK)

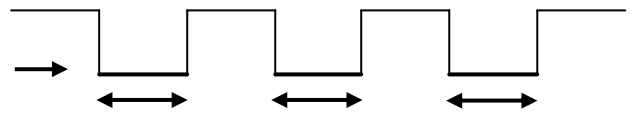
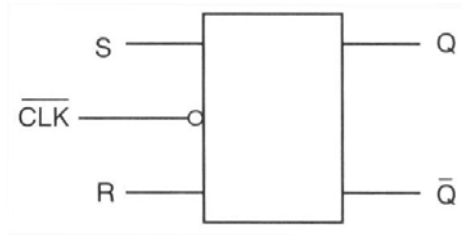


Τα Χρονιζόμενα Φλιπ Φλοπ χρονίζονται ή αλλάζουν κατάσταση σε μια από τις 4 καταστάσεις των ωρολογιακών παλμών:

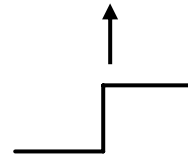
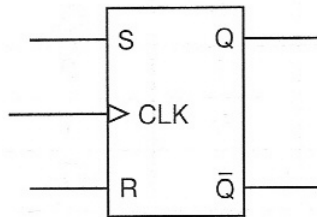
- **Ψηλό Επίπεδο**
 - **Χαμηλό Επίπεδο**
 - **Θετικό Μέτωπο**
 - **Αρνητικό Μέτωπο**
- **ΨΗΛΟ ΕΠΙΠΕΔΟ ΩΡΟΛΟΓΙΑΚΩΝ ΠΑΛΜΩΝ (ACTIVE HIGH)**



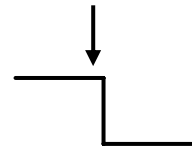
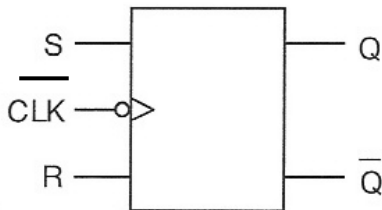
- ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ ΩΡΟΛΟΓΙΑΚΩΝ ΠΑΛΜΩΝ (ACTIVE LOW)



- ΘΕΤΙΚΟ ΜΕΤΩΠΟ ΩΡΟΛΟΓΙΑΚΩΝ ΠΑΛΜΩΝ (POSITIVE EDGE TRIGGERED)



- ΑΡΝΗΤΙΚΟ ΜΕΤΩΠΟ ΩΡΟΛΟΓΙΑΚΩΝ ΠΑΛΜΩΝ (NEGATIVE EDGE TRIGGERED)

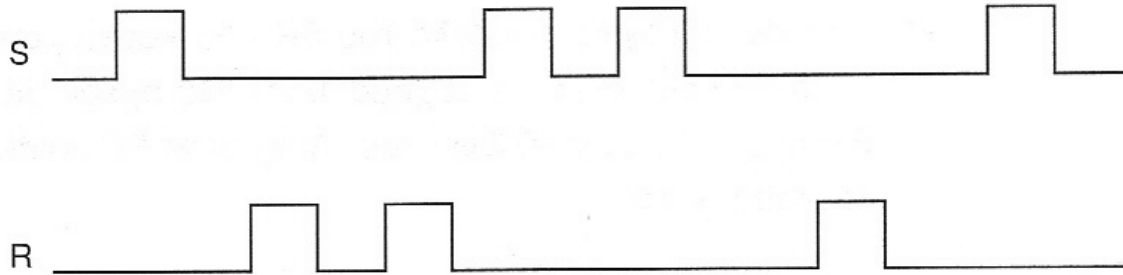
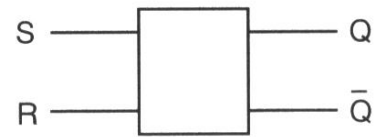


Ασκήσεις

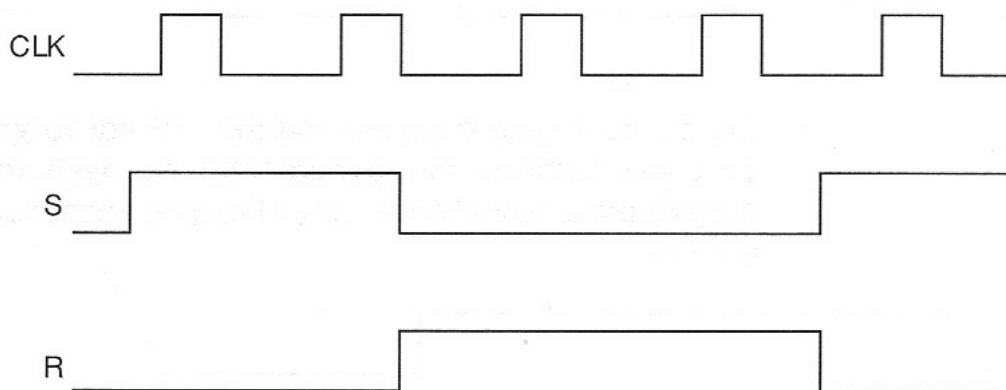
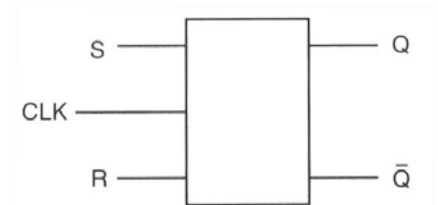
- Σχεδιάστε ένα SR Φλιπ Φλοπ χρησιμοποιώντας 2 πύλες NOR και συμπληρώστε τον Πίνακα Αληθείας του κυκλώματος:

Είσοδοι		Έξοδοι		Κατάσταση
S	R	Q_{N+1}	Q_{N+1}	
0	0			Μνήμη

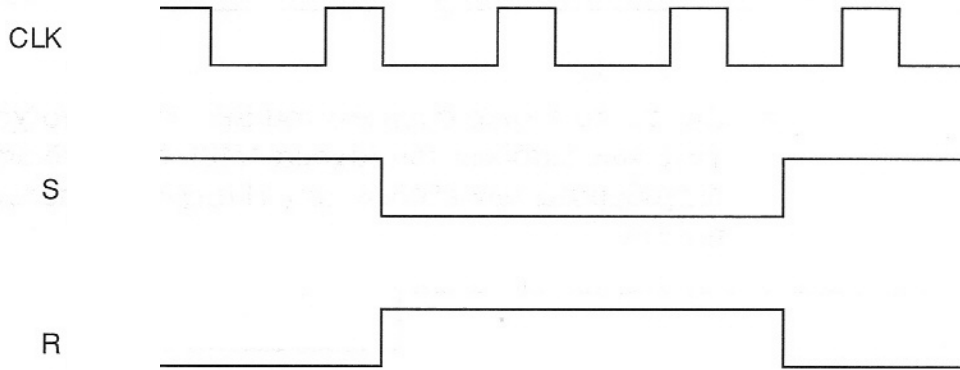
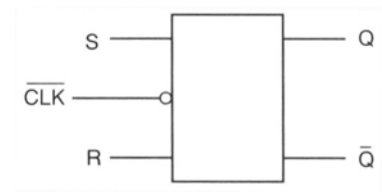
2. Σχεδιάστε τα λογικά διαγράμματα των εξόδων των πιο κάτω SR Φλιπ Φλοπ, λαμβάνοντας υπ' όψη ότι η αρχική κατάσταση του Φλιπ Φλοπ είναι η **RESET (Μηδενισμού)** :
- (α) Ασύγχρονο SR Φλιπ Φλοπ (χωρίς ωρολογιακούς παλμούς)



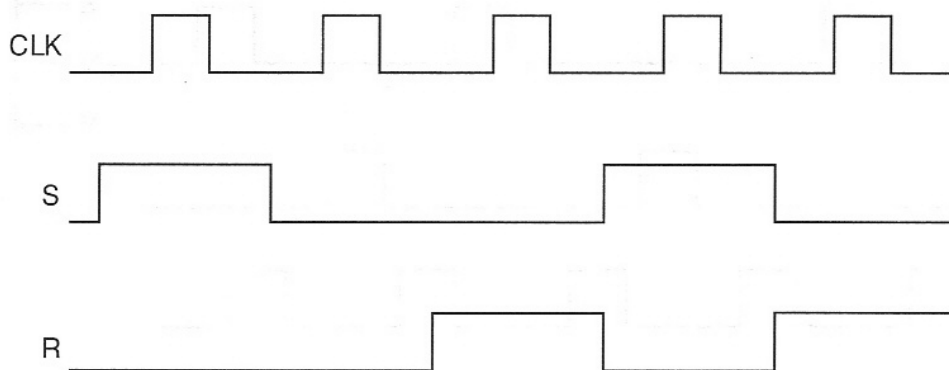
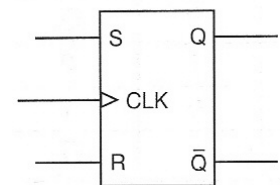
- (β) SR Φλιπ Φλοπ που χρονίζεται στο ψηλό επίπεδο των παλμών του CLK



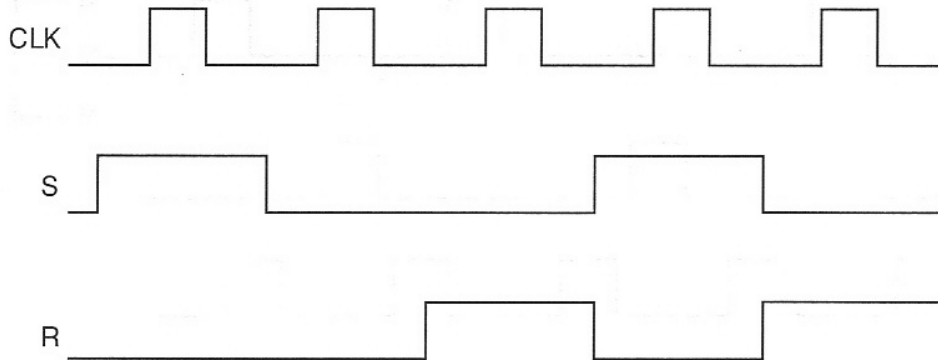
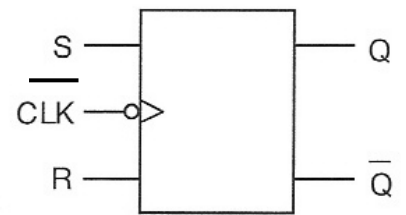
(γ) SR Φλιπ Φλοπ που χρονίζεται στο χαμηλό επίπεδο των παλμών του CLK



(δ) SR Φλιπ Φλοπ που χρονίζεται στα θετικά μέτωπα των παλμών του CLK



(ε) SR Φλιπ Φλοπ που χρονίζεται στα αρνητικά μέτωπα των παλμών του CLK

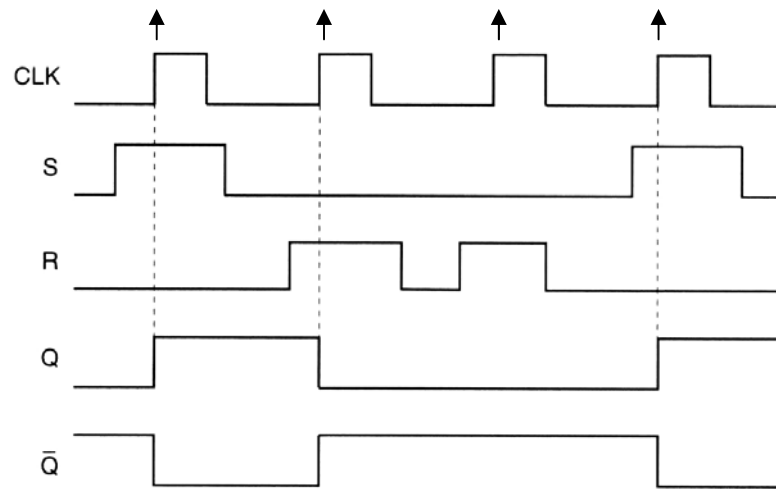
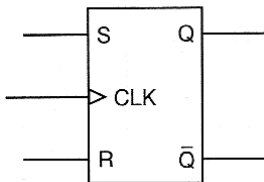


Αξιολόγηση

1. Ποια είναι η απαγορευμένη κατάσταση των εισόδων ενός SR Φλιπ Φλοπ; Τι συμβαίνει σ' αυτή την κατάσταση των εισόδων και γιατί τη θεωρούμε απαγορευμένη;

2. Ποια είναι η διαφορά μεταξύ των μη χρονιζόμενων και των χρονιζόμενων Φλιπ Φλοπ;

• **ΧΡΟΝΙΚΑ ΔΙΑΓΡΑΜΜΑ SR ΦΛΙΠ ΦΛΟΠ ΧΡΟΝΙΖΟΜΕΝΟΥ ΣΤΑ ΘΕΤΙΚΑ ΜΕΤΩΠΑ ΠΑΛΜΩΝ ΧΡΟΝΙΣΜΟΥ**



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΦΛΙΠ ΦΛΟΠ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - D FF

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

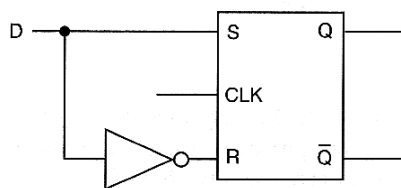
Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει το λογικό σύμβολο και να εξηγεί τη λειτουργία του ασύγχρονου και του σύγχρονου D Φλιπ Φλοπ.
- ✓ Να σχεδιάζει τα χρονικά διαγράμματα των εξόδων των πιο πάνω Φλιπ Φλοπ.

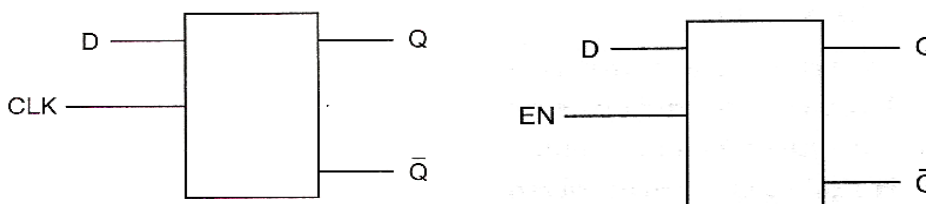
D Φλιπ Φλοπ

Το D Φλιπ Φλοπ προέρχεται από ένα SR Φλιπ Φλοπ στο οποίο εξωτερικά η είσοδος R συνδέεται παράλληλα με την είσοδο S μέσω μιας πύλης NOT. Συνήθως τα D Φλιπ Φλοπ χρονίζουν τη λειτουργία τους στους ωρολογιακούς παλμούς του CLOCK.



D Φλιπ Φλοπ χρονιζόμενο στα θετικά επίπεδα παλμών του CLOCK

Έτσι το D Φλιπ Φλοπ έχει μόνο μια είσοδο δεδομένων, τη D, επιπρόσθετα προς την είσοδο χρονισμού, CLK:



Το ρολόι σ' αυτή τη περίπτωση μπορεί να ονομαστεί και **EN (ENABLE)** = Ενεργοποιώ ή Δραστηκοποιώ

Πίνακας Αληθείας D Φλιπ Φλοπ

Είσοδοι		Έξοδοι		
CLK	D	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	X	Q_n	\bar{Q}_n	MEMORY
1	0	0	1	RESET
1	1	1	0	SET

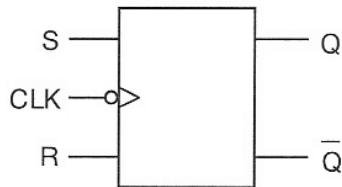
Το D Φλιπ Φλοπ χρονίζεται στα θετικά επίπεδα των παλμών CLK και η έξοδος ακολουθεί την είσοδο D. Σε όλες τις άλλες περιπτώσεις το Φλιπ Φλοπ παραμένει σε κατάσταση μνήμης.

Ουσιαστικά το D Φλιπ Φλοπ προκύπτει από το SR Φλιπ Φλοπ όταν:

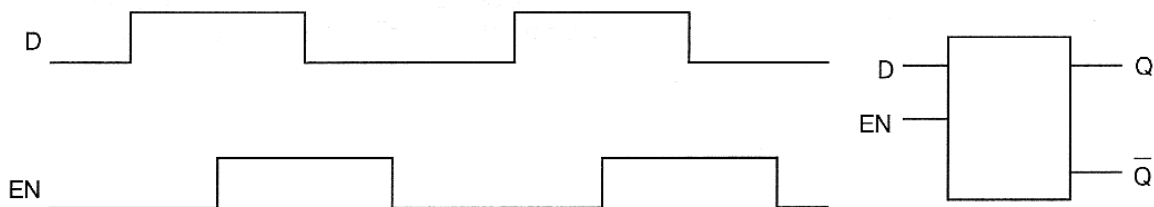
Είσοδοι **D = 1** \Rightarrow **S = 1** **R = 0** (Κατάσταση SET) **Q = 1**
 D = 0 \Rightarrow **S = 0** **R = 1** (Κατάσταση RESET) **Q = 0**

ΑΣΚΗΣΕΙΣ

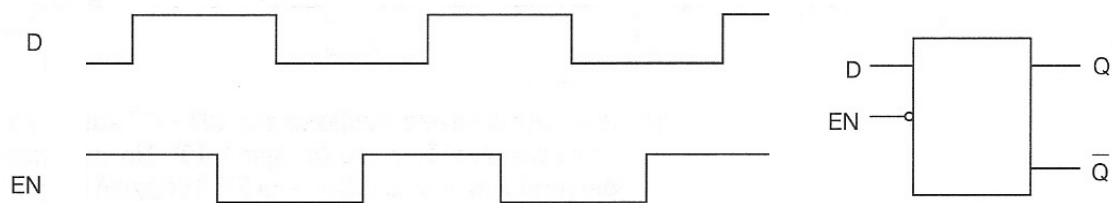
- Με τη χρήση μιας πύλης NOT να μετατρέψετε το πιο κάτω SR Φλιπ Φλοπ σε D Φλιπ Φλοπ.



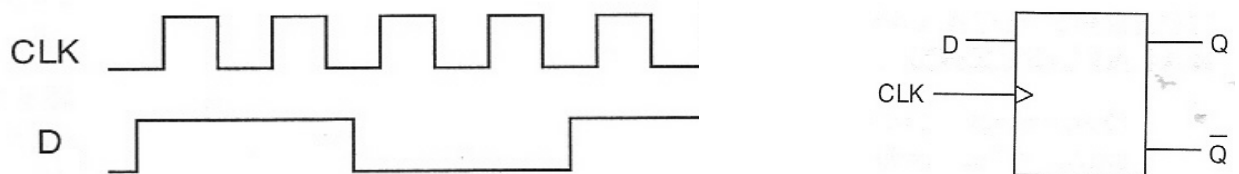
- Σχεδιάστε το λογικό διαγράμμα της εξόδου Q του πιο κάτω D Φλιπ Φλοπ που χρονίζεται στα θετικά επίπεδα του CLOCK (EN). Η αρχική κατάσταση των εξόδων του Φλιπ Φλοπ είναι η RESET ($Q = 0$).



3. Σχεδιάστε το λογικό διαγράμμα της εξόδου Q του πιο κάτω D Φλιπ Φλοπ που χρονίζεται στα αρνητικά επίπεδα του CLOCK (EN). Η αρχική κατάσταση των εξόδων του Φλιπ Φλοπ είναι η RESET ($Q = 0$).



4. Σχεδιάστε το λογικό διαγράμμα της εξόδου Q του πιο κάτω D Φλιπ Φλοπ που χρονίζεται στα θετικά μέτωπα των παλμών του CLOCK. Η αρχική κατάσταση των εξόδων του Φλιπ Φλοπ είναι η RESET ($Q = 0$).



ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

- Από το βιβλίο σας στην Ενότητα 1, Φλιπ Φλοπ, να διαβάσετε τα πιο κάτω:
 - Σελίδες 23 και 24 - **Ενότητα 1.4.2 D Φλιπ Φλοπ**
 - Παράδειγμα 1.4 - **Σελίδα 24**
- Να απαντήσετε τις πιο κάτω ερωτήσεις στο τετράδιο σας:
 - Ερώτηση 20 - Σελίδα 40

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΦΛΙΠ ΦΛΟΠ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - JK FF

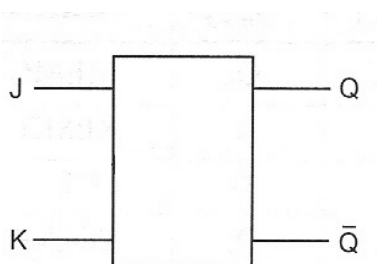
ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει τα λογικά σύμβολα ασύγχρονων και σύγχρονων (χρονιζόμενων) JK Φλιπ Φλοπ.
- ✓ Να αναφέρει το πλεονέκτημα του JK Φλιπ Φλοπ έναντι του SR Φλιπ Φλοπ.
- ✓ Να εξηγεί τη λειτουργία κυκλωμάτων JK Φλιπ Φλοπ και να γράφει τους αντίστοιχους Πίνακες Αληθείας.
- ✓ Να σχεδιάζει τα χρονικά διαγράμματα των εξόδων των πιο πάνω Φλιπ Φλοπ.

❖ **JK Φλιπ Φλοπ**



ΠΡΟΕΡΧΕΤΑΙ ΑΠΟ ΤΟ SR ΦΛΙΠ ΦΛΟΠ ΑΛΛΑ ΔΕΝ ΕΧΕΙ ΤΗΝ ΑΠΑΓΟΡΕΥΜΕΝΗ ΚΑΤΑΣΤΑΣΗ ΟΤΑΝ

$$J = 1 \quad \& \quad K = 1$$

ΣΤΗΝ ΚΑΤΑΣΤΑΣΗ ΑΥΤΗ ΟΙ ΕΞΟΔΟΙ ΤΟΥ ΦΛΙΠ ΦΛΟΠ ΑΛΛΑΖΟΥΝ ΚΑΤΑΣΤΑΣΗ, ΔΗΛΑΔΗ ΑΝ ΤΟ Q ΕΙΝΑΙ 1 ΑΥΤΟ ΜΕΤΑΓΕΤΑΙ ΣΤΟ 0 ΚΑΙ ΑΝΤΙΘΕΤΑ.

Η ΚΑΤΑΣΤΑΣΗ ΑΥΤΗ ΟΝΟΜΑΖΕΤΑΙ ΚΑΤΑΣΤΑΣΗ ΕΝΑΛΛΑΓΗΣ (TOGGLE)

• **ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ ΑΣΥΓΧΡΟΝΟΥ JK ΦΛΙΠ ΦΛΟΠ**

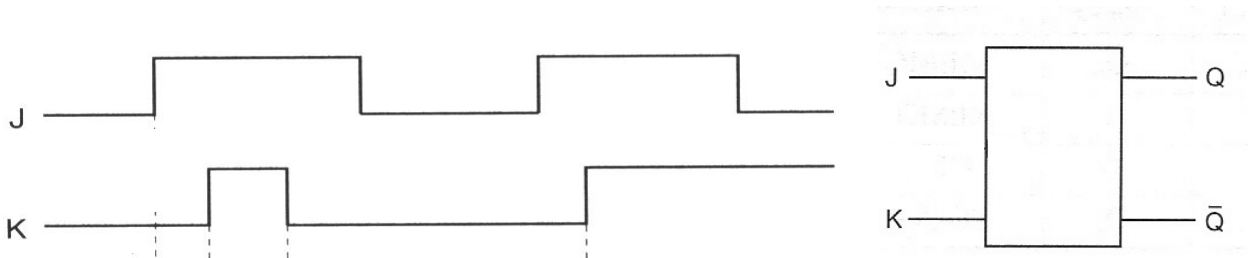
Είσοδοι		Έξοδοι		
J	K	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	0	Q_n	\bar{Q}_n	MEMORY
0	1	0	1	RESET
1	0	1	0	SET
1	1	\bar{Q}_n	Q_n	TOGGLE

Εργασία:

Να σχεδιάσετε το χρονικό το χρονικό διάγραμμα της εξόδου Q του πιο κάτω ασύγχρονου JK Φλιπ Φλοπ. Η αρχική κατάσταση του Φλιπ Φλοπ είναι η RESET. Για κάθε αλλαγή των εισόδων να δώσετε την κατάσταση του Φλιπ Φλοπ.

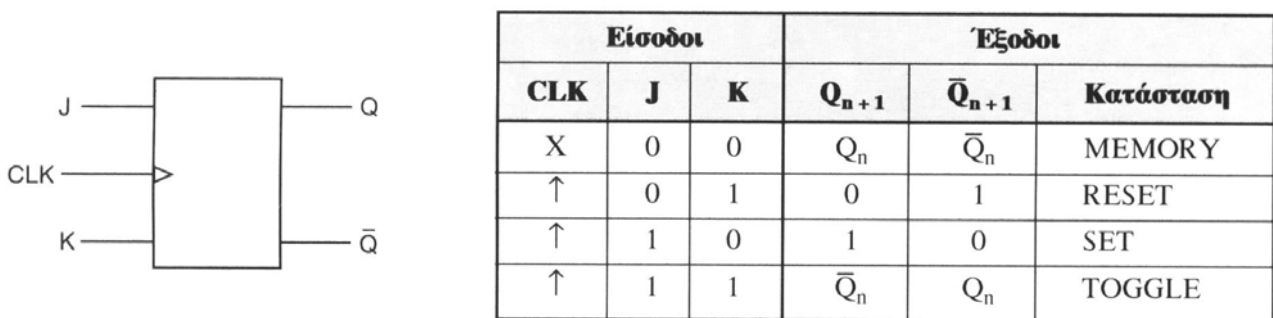
Η αρχική κατάσταση της εξόδου Q =

Για κάθε αλλαγή των εισόδων να δώσετε την κατάσταση του Φλιπ Φλοπ.



❖ **ΧΡΟΝΙΖΟΜΕΝΟ JK ΦΛΙΠ ΦΛΟΠ ΣΤΑ ΘΕΤΙΚΑ ΜΕΤΩΠΑ ΠΑΛΜΩΝ ΧΡΟΝΙΣΜΟΥ**

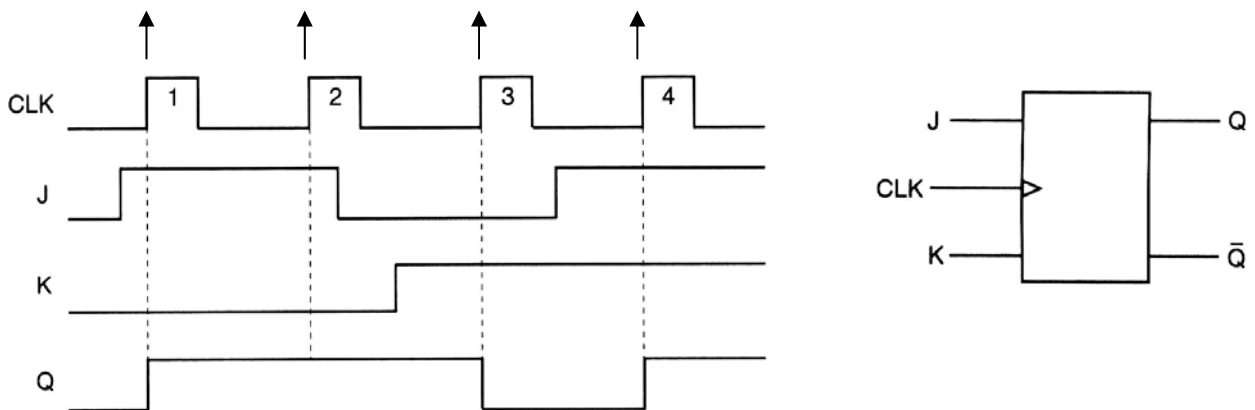
ΛΟΓΙΚΟ ΣΥΜΒΟΛΟ ΚΑΙ ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ JK ΦΛΙΠ ΦΛΟΠ ΠΟΥ ΧΡΟΝΙΖΕΤΑΙ ΣΤΑ ΘΕΤΙΚΑ ΜΕΤΩΠΑ ΤΟΥ CLK



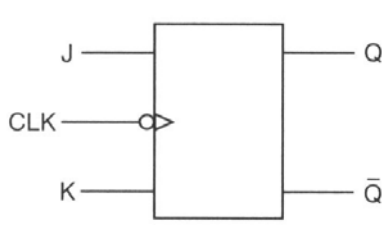
ΤΟ ΣΥΜΒΟΛΟ ΔΗΛΩΝΕΙ ΤΗΝ ΑΛΛΑΓΗ ΤΟΥ CLOCK ΑΠΟ ΤΟ ΛΟΓΙΚΟ 0 ΣΤΟ ΛΟΓΙΚΟ 1 ΚΑΙ ΟΙ ΜΕΤΑΒΟΛΕΣ ΣΤΗΝ ΕΞΟΔΟ ΤΟΥ ΦΛΙΠ ΦΛΟΠ ΣΥΜΒΑΙΝΟΥΝ ΜΟΝΟ ΚΑΤΑ ΑΥΤΗ ΤΗ ΧΡΟΝΙΚΗ ΣΤΙΓΜΗ.

ΣΤΟΝ ΥΠΟΛΟΙΠΟ ΧΡΟΝΟ ΤΟ ΦΛΙΠ ΦΛΟΠ ΠΑΡΑΜΕΝΕΙ ΣΤΗΝ ΚΑΤΑΣΤΑΣΗ ΜΝΗΜΗΣ.

• **ΧΡΟΝΙΚΑ ΔΙΑΓΡΑΜΜΑΤΑ JK ΦΛΙΠ ΦΛΟΠ ΠΟΥ ΧΡΟΝΙΖΕΤΑΙ ΣΤΑ ΘΕΤΙΚΑ ΜΕΤΩΠΑ ΤΟΥ CLK**



❖ **ΧΡΟΝΙΖΟΜΕΝΟ JK ΦΛΙΠ ΦΛΟΠ ΣΤΑ ΑΡΝΗΤΙΚΑ ΜΕΤΩΠΑ ΠΑΛΜΩΝ ΧΡΟΝΙΣΜΟΥ**

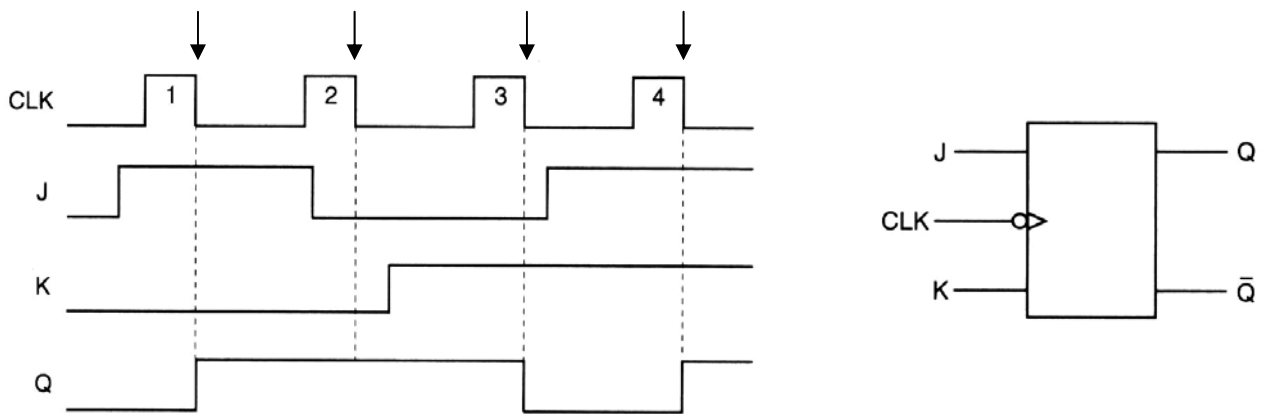


Είσοδοι			Έξοδοι		
CLK	J	K	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
X	0	0	Q_n	\bar{Q}_n	MEMORY
↓	0	1	0	1	RESET
↓	1	0	1	0	SET
↓	1	1	\bar{Q}_n	Q_n	TOGGLE

ΛΟΓΙΚΟ ΣΥΜΒΟΛΟ ΚΑΙ ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ JK ΦΛΙΠ ΦΛΟΠ ΠΟΥ ΧΡΟΝΙΖΕΤΑΙ ΣΤΑ ΑΡΝΗΤΙΚΑ ΜΕΤΩΠΑ ΤΟΥ CLK

- ΤΟ ΣΥΜΒΟΛΟ ΔΗΛΩΝΕΙ ΤΗΝ ΑΛΛΑΓΗ ΤΟΥ CLOCK ΑΠΟ ΤΟ ΛΟΓΙΚΟ 1 ΣΤΟ ΛΟΓΙΚΟ 0 ΚΑΙ ΟΙ ΜΕΤΑΒΟΛΕΣ ΣΤΗΝ ΕΞΟΔΟ ΤΟΥ ΦΛΙΠ ΦΛΟΠ ΣΥΜΒΑΙΝΟΥΝ ΜΟΝΟ ΚΑΤΑ ΑΥΤΗ ΤΗ ΧΡΟΝΙΚΗ ΣΤΙΓΜΗ.
- ΣΤΟΝ ΥΠΟΛΟΙΠΟ ΧΡΟΝΟ ΤΟ ΦΛΙΠ ΦΛΟΠ ΠΑΡΑΜΕΝΕΙ ΣΤΗΝ ΚΑΤΑΣΤΑΣΗ ΜΝΗΜΗΣ

ΧΡΟΝΙΚΑ ΔΙΑΓΡΑΜΜΑΤΑ JK ΦΛΙΠ ΦΛΟΠ ΠΟΥ ΧΡΟΝΙΖΕΤΑΙ ΣΤΑ ΑΡΝΗΤΙΚΑ ΜΕΤΩΠΑ ΤΟΥ CLK

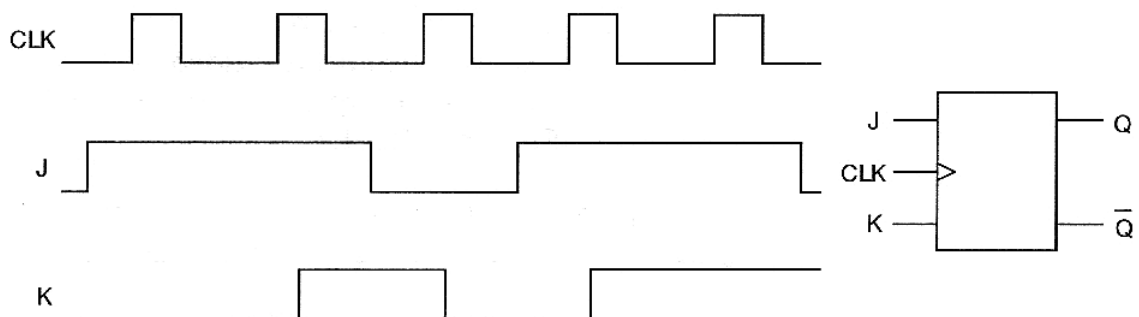


Ασκήσεις

1. Δίνεται το λογικό σύμβολο χρονιζόμενου JK Φλιπ Φλοπ και τα χρονικά διαγράμματα των εισόδων του. Να σχεδιάσετε τα λογικά διαγράμματα της εξόδου Q αν το Φλιπ Φλοπ βρίσκεται αρχικά στην κατάσταση RESET.

Το Φλιπ Φλοπ χρονίζεται στα των παλμών χρονισμού και η αρχική κατάσταση της εξόδου Q =

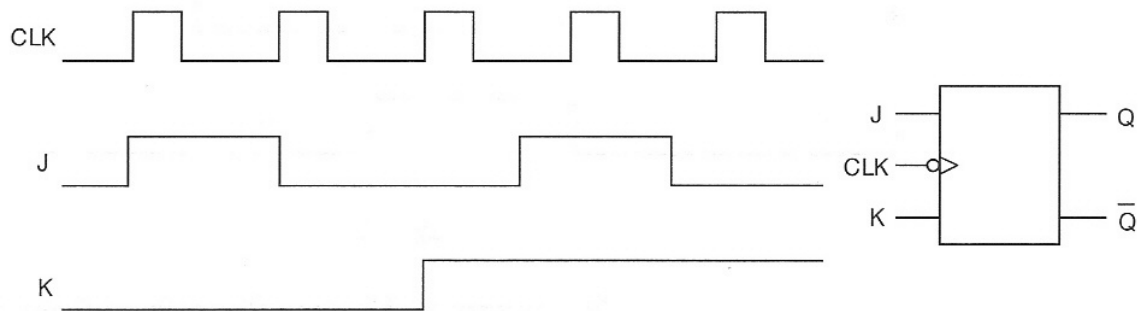
Για κάθε παλμό χρονισμού να δώσετε την κατάσταση του Φλιπ Φλοπ



2. Δίνεται το λογικό σύμβολο χρονιζόμενου JK Φλιπ Φλοπ και τα χρονικά διαγράμματα των εισόδων του. Να σχεδιάσετε τα λογικά διαγράμματα της εξόδου Q αν το Φλιπ Φλοπ βρίσκεται αρχικά στην κατάσταση RESET.

Το Φλιπ Φλοπ χρονίζεται στα των παλμών χρονισμού και η αρχική κατάσταση της εξόδου Q =

Για κάθε παλμό χρονισμού να δώσετε την κατάσταση του Φλιπ Φλοπ



ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

- Από το βιβλίο σας στην Ενότητα 1, Φλιπ Φλοπ, να διαβάσετε τα πιο κάτω:
 - Σελίδες 24 - 29 **Ενότητες 1.5, 1.6 και JK Φλιπ Φλοπ**
 - Παράδειγμα 1.5 - **Σελίδα 25**
 - Παράδειγμα 1.6 - **Σελίδα 27**
 - Παράδειγμα 1.7 - **Σελίδα 29**
- Να απαντήσετε τις πιο κάτω ερωτήσεις στο τετράδιο σας:
 - Ερωτήσεις 11 και 12 - **Σελίδα 38**
 - Ερώτηση 22 - **Σελίδα 40**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΦΛΙΠ ΦΛΟΠ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΑΣΥΓΧΡΟΝΗ ΛΕΙΤΟΥΡΓΙΑ JK FF

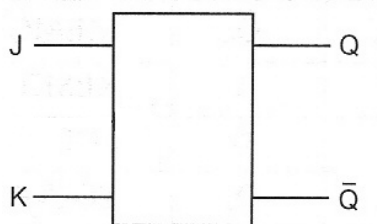
ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει τα λογικά σύμβολα JK Φλιπ Φλοπ με ασύγχρονες εισόδους PRESET και CLEAR.
- ✓ Να εξηγεί τη λειτουργία των πιο πάνω κυκλωμάτων JK Φλιπ Φλοπ.
- ✓ Να σχεδιάζει τα χρονικά διαγράμματα των εξόδων των πιο πάνω Φλιπ Φλοπ.

❖ **ΕΙΣΑΓΩΓΗ - ΤΟ JK ΦΛΙΠ ΦΛΟΠ**



ΠΡΟΕΡΧΕΤΑΙ ΑΠΟ ΤΟ SR ΦΛΙΠ ΦΛΟΠ ΑΛΛΑ ΔΕΝ ΕΧΕΙ ΤΗΝ ΑΠΑΓΟΡΕΥΜΕΝΗ ΚΑΤΑΣΤΑΣΗ ΟΤΑΝ

$$J = 1 \quad \& \quad K = 1$$

ΣΤΗΝ ΚΑΤΑΣΤΑΣΗ ΑΥΤΗ ΟΙ ΕΞΟΔΟΙ ΤΟΥ ΦΛΙΠ ΦΛΟΠ ΑΛΛΑΖΟΥΝ ΚΑΤΑΣΤΑΣΗ, ΔΗΛΑΔΗ ΑΝ ΤΟ Q ΕΙΝΑΙ 1 ΑΥΤΟ ΜΕΤΑΓΕΤΑΙ ΣΤΟ 0 ΚΑΙ ΑΝΤΙΘΕΤΑ.

Η ΚΑΤΑΣΤΑΣΗ ΑΥΤΗ ΟΝΟΜΑΖΕΤΑΙ ΚΑΤΑΣΤΑΣΗ ΕΝΑΛΛΑΓΗΣ (TOGGLE)

• **ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ ΑΣΥΓΧΡΟΝΟΥ JK ΦΛΙΠ ΦΛΟΠ**

Είσοδοι		Έξοδοι		
J	K	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	0	Q_n	\bar{Q}_n	MEMORY
0	1	0	1	RESET
1	0	1	0	SET
1	1	\bar{Q}_n	Q_n	TOGGLE

❖ **JK ΦΛΙΠ ΦΛΟΠ ΜΕ ΑΣΥΓΧΡΟΝΗ ΛΕΙΤΟΥΡΓΙΑ**

ΠΟΛΛΑ ΣΥΓΧΡΟΝΑ ΦΛΙΠ ΦΛΟΠ (ΠΟΥ ΧΡΟΝΙΖΟΝΤΑΙ ΣΤΟΥΣ ΠΑΛΜΟΥΣ ΤΟΥ CLK) ΚΑΤΑΣΚΕΥΑΖΟΝΤΑΙ ΜΕ ΕΠΙΠΛΕΟΝ ΑΣΥΓΧΡΟΝΕΣ ΕΙΣΟΔΟΥΣ ΓΙΑ ΚΑΛΥΤΕΡΗ ΛΕΙΤΟΥΡΓΙΑ . ΟΙ ΕΙΣΟΔΟΙ ΑΥΤΟΙ ΜΠΟΡΟΥΝ ΝΑ ΚΑΝΟΥΝ SET Ή RESET ΤΟ ΦΛΙΠ ΦΛΟΠ ΑΝΕΞΑΡΤΗΤΑ ΑΠΟ ΤΗΝ ΚΑΤΑΣΤΑΣΗ ΤΩΝ ΕΙΣΟΔΩΝ ΤΟΥ ΦΛΙΠ ΦΛΟΠ ΚΑΙ ΤΗΝ ΚΑΤΑΣΤΑΣΗ ΤΟΥ CLK:

➤ ΕΙΣΟΔΟΣ CLEAR (CLR) ΠΟΥ ΕΙΝΑΙ ΕΝΕΡΓΟΣ ΣΤΟ ΧΑΜΗΛΟ ΣΗΜΑ (ACTIVE LOW)

ΟΤΑΝ ΣΗΜΑ CLEAR = 0, ΤΟΤΕ ΤΟ ΦΛΙΠ ΦΛΟΠ ΟΔΗΓΕΙΤΑΙ ΣΤΗΝ ΚΑΤΑΣΤΑΣΗ RESET Q = 0

CLR ΞΕΧΩΡΙΖΟΥΜΕ ΟΤΙ ΤΟ ΣΗΜΑ ΑΥΤΟ ΕΙΝΑΙ ΕΝΕΡΓΟ ΣΤΟ ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ ΜΕ ΤΗΝ ΑΝΑΣΤΡΟΦΗ ΚΑΙ ΤΟΝ ΚΥΚΛΟ ΣΤΗΝ ΕΙΣΟΔΟ ΤΗΣ ΜΕΤΑΒΛΗΤΗΣ

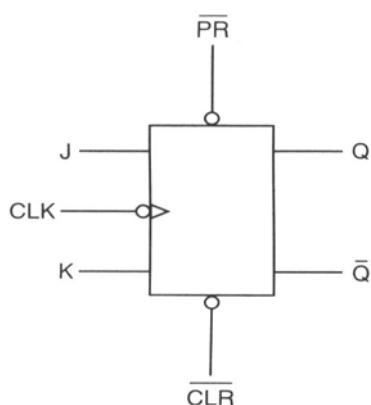
➤ ΕΙΣΟΔΟΣ PRESET (PR) ΠΟΥ ΕΙΝΑΙ ΕΝΕΡΓΟΣ ΣΤΟ ΧΑΜΗΛΟ ΣΗΜΑ (ACTIVE LOW)

ΟΤΑΝ ΣΗΜΑ PRESET = 0, ΤΟΤΕ ΤΟ ΦΛΙΠ ΦΛΟΠ ΟΔΗΓΕΙΤΑΙ ΣΤΗΝ ΚΑΤΑΣΤΑΣΗ SET Q = 1

PR ΞΕΧΩΡΙΖΟΥΜΕ ΟΤΙ ΤΟ ΣΗΜΑ ΑΥΤΟ ΕΙΝΑΙ ΕΝΕΡΓΟ ΣΤΟ ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ ΜΕ ΤΗΝ ΑΝΑΣΤΡΟΦΗ ΚΑΙ ΤΟΝ ΚΥΚΛΟ ΣΤΗΝ ΕΙΣΟΔΟ ΤΗΣ ΜΕΤΑΒΛΗΤΗΣ

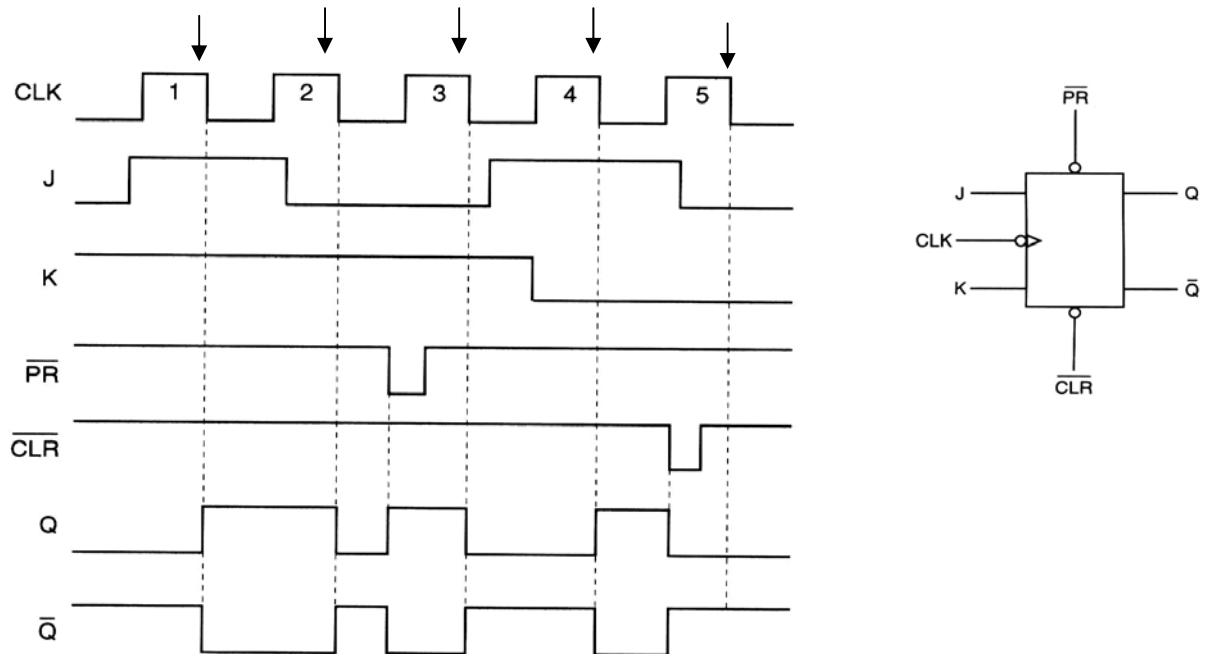
◆ **ΟΙ ΕΙΣΟΔΟΙ CLEAR ΚΑΙ PRESET ΕΧΟΥΝ ΠΡΟΤΕΡΑΙΟΤΗΤΑ ΑΠΟ ΟΛΕΣ ΤΙΣ ΑΛΛΕΣ ΕΙΣΟΔΟΥΣ**

• **ΛΟΓΙΚΟ ΣΥΜΒΟΛΟ ΚΑΙ ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ JK ΦΛΙΠ ΦΛΟΠ ΜΕ PRESET ΚΑΙ CLEAR**



Είσοδοι					Έξοδοι		
\overline{PR}	\overline{CLR}	CLK	J	K	Q_{n+1}	\overline{Q}_{n+1}	Κατάσταση
0	1	X	X	X	1	0	PRESET
1	0	X	X	X	0	1	CLEAR
0	0	X	X	X	-	-	Απροσδιόριστη
1	1	↓	0	0	Q_n	\overline{Q}_n	MEMORY
1	1	↓	0	1	0	1	RESET
1	1	↓	1	0	1	0	SET
1	1	↓	1	1	\overline{Q}_n	Q_n	TOGGLE

• **ΧΡΟΝΙΚΑ ΔΙΑΓΡΑΜΜΑΤΑ JK ΦΛΙΠ ΦΛΟΠ ΜΕ PRESET ΚΑΙ CLEAR**

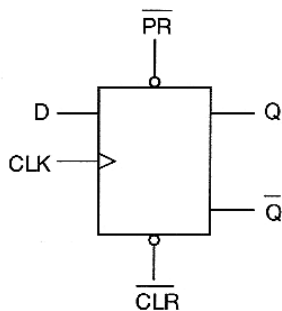


Ασκήσεις

1. Ποιο είναι το πλεονέκτημα του JK Φλιπ Φλοπ σε σχέση με το SR Φλιπ Φλοπ;

2. Τι συμβαίνει όταν ένα JK Φλιπ Φλοπ βρίσκεται σε κατάσταση Toggle και εφαρμόζουμε παλμούς χρονισμού;

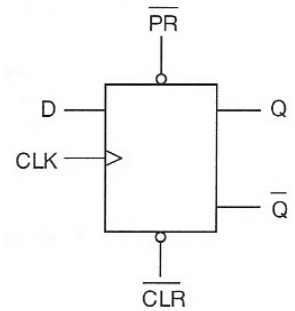
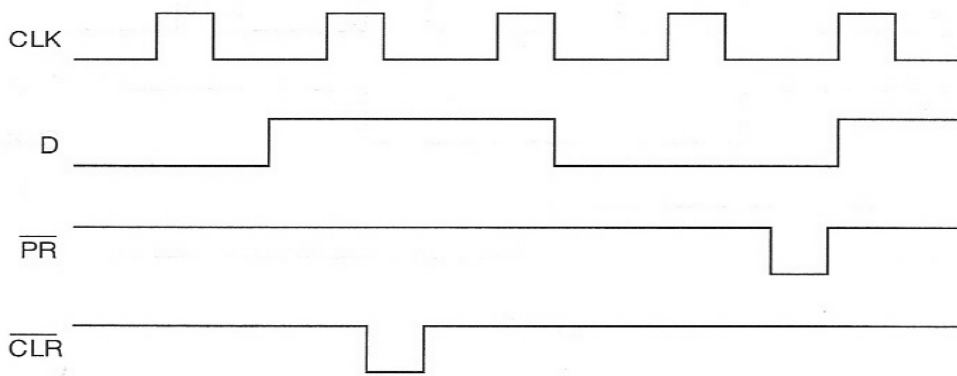
3. Δίνεται το λογικό σύμβολο του D Φλιπ Φλοπ και τα χρονικά διαγράμματα των εισόδων του. Να σχεδιάσετε τα λογικά διαγράμματα των εξόδων του αν το Φλιπ Φλοπ βρίσκεται αρχικά στην κατάσταση RESET.



Συμπληρώστε τα χαρακτηριστικά λειτουργίας του Φλιπ Φλοπ:

.....

Για κάθε παλμό χρονισμού να δώσετε την κατάσταση του Φλιπ Φλοπ



ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

1. Από το βιβλίο σας στην Ενότητα 1, Φλιπ Φλοπ, να διαβάσετε τα πιο κάτω:
 - Σελίδες 29 - 31 **Ενότητα 1.7 JK Φλιπ Φλοπ με σύγχρονη και ασύγχρονη λειτουργία**
 - Παράδειγμα 1.8 **- Σελίδα 30**

2. Να απαντήσετε τις πιο κάτω ερωτήσεις στο τετράδιο σας:
 - Ερωτήσεις 8, 9, 10 και 13 **- Σελίδα 38**
 - Ερώτηση 24 **- Σελίδα 41**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΦΛΙΠ ΦΛΟΠ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 6 - Τ FF & ΕΦΑΡΜΟΓΕΣ FF

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- √ Να εξηγεί την αρχή λειτουργίας του T Φλιπ Φλοπ.
- √ Να συνδεσμολογεί ένα T Φλιπ Φλοπ από JK Φλιπ Φλοπ.
- √ Να σχεδιάζει τα χρονικά διαγράμματα των εξόδων του T Φλιπ Φλοπ.
- √ Να αναφέρει πρακτικές εφαρμογές του T Φλιπ Φλοπ.

❖ **T FF - (TOGGLE ΦΛΙΠ ΦΛΟΠ)**

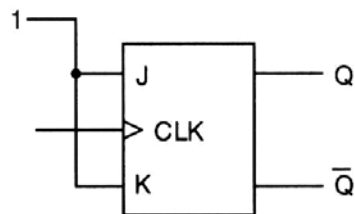
ΕΑΝ ΟΙ ΔΥΟ ΕΙΣΟΔΟΙ ΕΝΟΣ JK ΦΛΙΠ ΦΛΟΠ ΣΥΝΔΕΘΟΥΝ ΜΟΝΙΜΑ ΣΤΟ ΛΟΓΙΚΟ 1, ΤΟΤΕ ΤΟ ΦΛΙΠ ΦΛΟΠ ΘΑ ΒΡΙΣΚΕΤΑΙ ΠΑΝΤΟΤΕ ΣΕ ΚΑΤΑΣΤΑΣΗ ΕΝΑΛΛΑΓΗΣ 'Η TOGGLE.

ΕΤΣΙ ΘΑ ΚΑΘΕ ΩΡΟΛΟΓΙΑΚΟ ΠΑΛΜΟ Η ΕΞΟΔΟΣ ΤΟΥ ΦΛΙΠ ΦΛΟΠ ΘΑ ΑΛΛΑΖΕΙ ΚΑΤΑΣΤΑΣΗ:

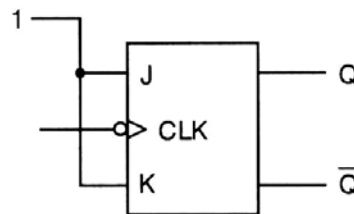
√ **J = K = 1** ⇒ **ΚΑΤΑΣΤΑΣΗ ΕΝΑΛΛΑΓΗΣ (TOGGLE)**

√ **J = K = 0** ⇒ **ΚΑΤΑΣΤΑΣΗ ΜΝΗΜΗΣ (MEMORY)**

JK ΦΛΙΠ ΦΛΟΠ ΜΕ ΑΥΤΗ ΤΗ ΣΥΝΔΕΣΜΟΛΟΓΙΑ ΧΡΗΣΙΜΟΠΟΙΟΥΝΤΑΙ ΓΙΑ ΤΗΝ ΚΑΤΑΣΚΕΥΗ ΚΥΚΛΩΜΑΤΩΝ ΔΙΑΙΡΕΣΗΣ ΤΗΣ ΣΥΧΝΟΤΗΤΑΣ ΤΩΝ ΠΑΛΜΩΝ ΤΟΥ ΩΡΟΛΟΓΙΟΥ (CLOCK) ΚΑΙ ΚΥΚΛΩΜΑΤΑ ΑΠΑΡΙΘΜΗΤΩΝ.

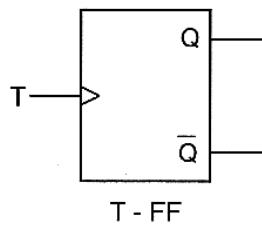


T ΦΛΙΠ ΦΛΟΠ ΠΟΥ ΧΡΟΝΙΖΕΤΑΙ ΣΤΑ ΘΕΤΙΚΑ ΜΕΤΩΠΑ ΠΑΛΜΩΝ CLK



T ΦΛΙΠ ΦΛΟΠ ΠΟΥ ΧΡΟΝΙΖΕΤΑΙ ΣΤΑ ΑΡΝΗΤΙΚΑ ΜΕΤΩΠΑ ΠΑΛΜΩΝ CLK

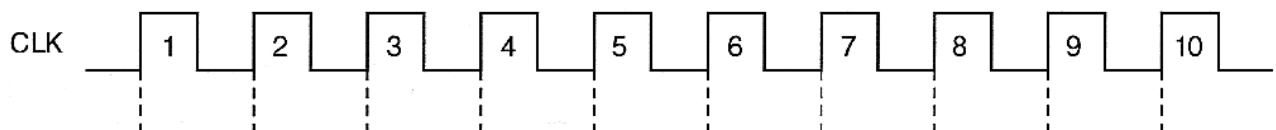
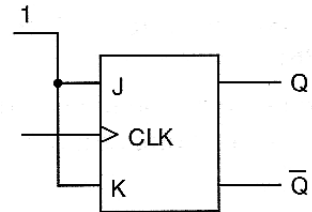
ΤΟ Τ ΦΛΙΠ ΦΛΟΠ ΜΠΟΡΕΙ ΝΑ ΣΧΕΔΙΑΣΤΕΙ ΚΑΙ ΩΣ ΑΚΟΛΟΥΘΩΣ:



Ασκήσεις

1. Δίδεται JK Φλιπ Φλοπ που χρονίζεται στα θετικά μέτωπα των παλμών του ωρολογίου CLK και σε συνδεσμολογία Toggle.

Να σχεδιάσετε τα χρονικά διαγράμματα της εξόδου Q του Φλιπ Φλοπ για 10 παλμούς του CLK. Η αρχική κατάσταση του Φλιπ Φλοπ είναι η RESET.



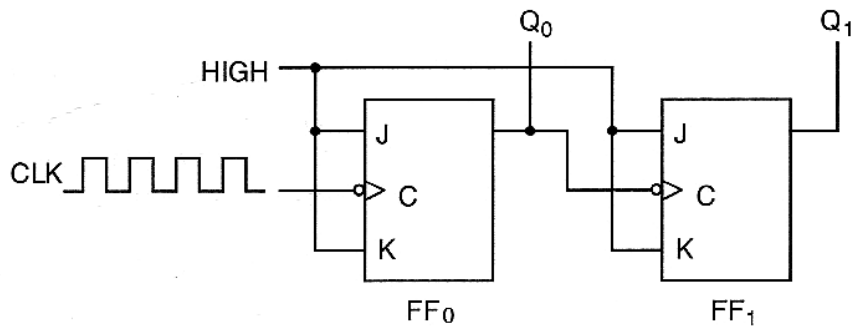
2. Συγκρίνεται τη συχνότητα των παλμών εισόδου (του ωρολογίου) με τους παλμούς εξόδου Q. Τι παρατηρείτε;

.....
.....

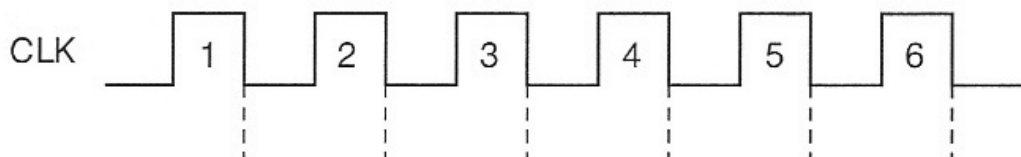
3. Ποια μπορεί να είναι η εφαρμογή ενός τέτοιου Φλιπ Φλοπ;

.....

4. Δίδεται το κύκλωμα συνδεσμολογίας δύο JK Φλιπ Φλοπ σε κατάσταση εναλλαγής (Toggle Φλιπ Φλοπ) τα οποία χρονίζονται στα αρνητικά μέτωπα των παλμών του ωρολογίου (CLK).



Να σχεδιάσετε αρχικά την έξοδο Q_0 του πρώτου Φλιπ Φλοπ και ακολούθως χρησιμοποιώντας την έξοδο Q_0 ως την είσοδο χρονισμού του δεύτερου Φλιπ Φλοπ να σχεδιάσετε την έξοδο Q_1 .



5. Συμπληρώστε τον Πίνακα Λειτουργίας του κυκλώματος για 6 παλμούς του ωρολογίου:

Παλμοί CLK A/A	Q_1	Q_0
1		
2		
3		
4		
5		
6		

6. Τι παρατηρείτε για τις εξόδους Q_1Q_0 του κυκλώματος;

.....

7. Σε τι χρησιμεύει ένα τέτοιο κύκλωμα;

.....
.....

8. Πως ονομάζουμε τέτοια κυκλώματα;

.....

❖ **ΕΦΑΡΜΟΓΕΣ ΦΛΙΠ ΦΛΟΠ**

Τα Φλιπ Φλοπ βρίσκουν εφαρμογές στα ψηφιακά κυκλώματα ως ακολούθως:

- Διαιρέτες Συχνότητας
- Καταχωρητες και Στοιχεία Μνήμης
- Κυκλώματα Αρίθμησης - Απαριθμητές

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

1. Από το βιβλίο σας στην **Ενότητα 1, Φλιπ Φλοπ**, να διαβάσετε τα πιο κάτω:

- Σελίδες 34 & 35 - **Ενότητα 1.9 Τ Φλιπ Φλοπ**
- Παράδειγμα 1.10 - **Σελίδα 30**

2. Να απαντήσετε τις πιο κάτω ερώτηση στο τετράδιο σας:

- Ερώτηση 11 - Σελίδα 38

Ενότητα 2 - Κυκλώματα Παραγωγής και Διαμόρφωσης Παλμών

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΜΟΝΟΣΤΑΘΕΙΣ ΠΟΛΥΔΟΝΗΤΕΣ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΕΠΑΝΑΔΙΕΓΕΙΡΟΜΕΝΟΙ ΚΑΙ ΜΗ ΕΠΑΝΑΔΙΕΓΕΙΡΟΜΕΝΟΙ
ΜΟΝΟΣΤΑΘΕΙΣ ΠΟΛΥΔΟΝΗΤΕΣ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΠΕΡΙΟΔΟΣ & ΣΥΧΝΟΤΗΤΑ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΑΣΤΑΘΕΙΣ ΠΟΛΥΔΟΝΗΤΕΣ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΚΥΚΛΩΜΑΤΑ ΣΚΑΝΔΑΛΗΣ SCHMITT

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΥΚΛΩΜΑΤΑ ΠΑΡΑΓΩΓΗΣ ΚΑΙ ΔΙΑΜΟΡΦΩΣΗΣ ΠΑΛΜΩΝ ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΜΟΝΟΣΤΑΘΕΙΣ ΠΟΛΥΔΟΝΗΤΕΣ

ΟΝΟΜΑ : ΤΜΗΜΑ :

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να αναφέρει τη διαφορά μεταξύ των διασταθών πολυδονητών (Φλιπ Φλοπ), των μονοσταθών πολυδονητών και των ασταθών πολυδονητών.
- ✓ Να δίνει τον ορισμό του μονοσταθής πολυδονητή και να εξηγήσει την αρχή λειτουργίας του.
- ✓ Να υπολογίζει τις τιμές ηλεκτρικών αντιστάσεων και πυκνωτών για το καθορισμό του χρόνου λειτουργίας κυκλωμάτων μονοσταθών πολυδονητών.
- ✓ Να υπολογίζει το χρόνο διέγερσης του μονοσταθής πολυδονητή και να σχεδιάζει τα λογικά διαγράμματα της εξόδου του.

ΕΙΣΑΓΩΓΗ

Οι **διασταθείς πολυδονητές (Φλιπ Φλοπ)** είναι ακολουθιακά λογικά κυκλώματα τα οποία έχουν δύο σταθερές καταστάσεις εξόδου. Η έξοδος εξαρτάται όχι μόνο από τις λογικές καταστάσεις των εισόδων, αλλά και από την προηγούμενη κατάσταση της εξόδου.

Η κατάσταση της εξόδου (**είτε το λογικό 0, είτε το λογικό 1**) παραμένει σταθερή και αλλάζει μόνο όταν αλλάξουν ξανά οι εισοδοί.

Αντίθετα οι **ασταθείς πολυδονητές** δεν έχουν καμία σταθερή κατάσταση εξόδου. Η έξοδος του ασταθής πολυδονητή αλλάζει συνεχώς από τη μια κατάσταση στην άλλη.

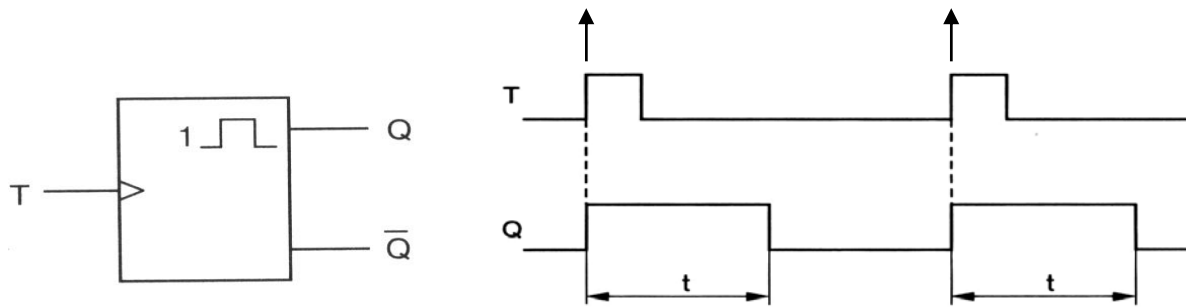
ΜΟΝΟΣΤΑΘΕΙΣ ΠΟΛΥΔΟΝΗΤΕΣ

Οι μονοσταθείς πολυδονητές είναι ακολουθιακά λογικά κυκλώματα τα οποία έχουν **μόνο μια σταθερή κατάσταση εξόδου** που μπορεί να είναι είτε το λογικό 1 (HIGH) είτε το λογικό 0 (LOW).

Όταν διεγερθούν μεταβαίνουν **από τη σταθερή κατάσταση στη μη σταθερή για ορισμένο χρονικό διάστημα**, δίδοντας ένα παλμό (μια βολή) στην έξοδο των και μετά επιστρέφουν αυτόματα στη σταθερή τους κατάσταση.

Οι μονοσταθείς πολυδονητές ονομάζονται και **κυκλώματα μια βολής**.

Οι χρόνος που παραμένει ο πολυδονητής στη μη σταθερή του κατάσταση εξαρτάται συνήθως από ένα κύκλωμα RC, το οποίο αποτελείται από αντιστάσεις και πυκνωτές.



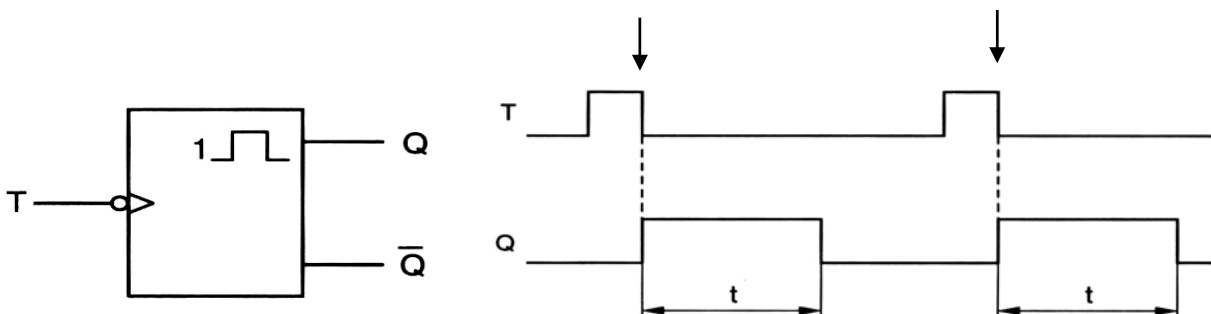
ο **ΠΑΡΑΔΕΙΓΜΑ ΧΡΟΝΙΚΩΝ ΔΙΑΓΡΑΜΜΑΤΩΝ ΜΟΝΟΣΤΑΘΗ ΠΟΛΥΔΟΝΗΤΗ**

Σημειώσεις:

Ο μονοσταθής πολυδονητής διεγείρεται στα αρνητικά μέτωπα των παλμών διέγερσης T.

Η σταθερή κατάσταση της εξόδου Q είναι το λογικό 0.

Ο χρόνος βολής ισούται με t.



Ασκήσεις

1. Δώστε τον ορισμό και την αρχή λειτουργίας του μονοσταθούς πολυδονητή:

.....

.....

.....

.....

.....

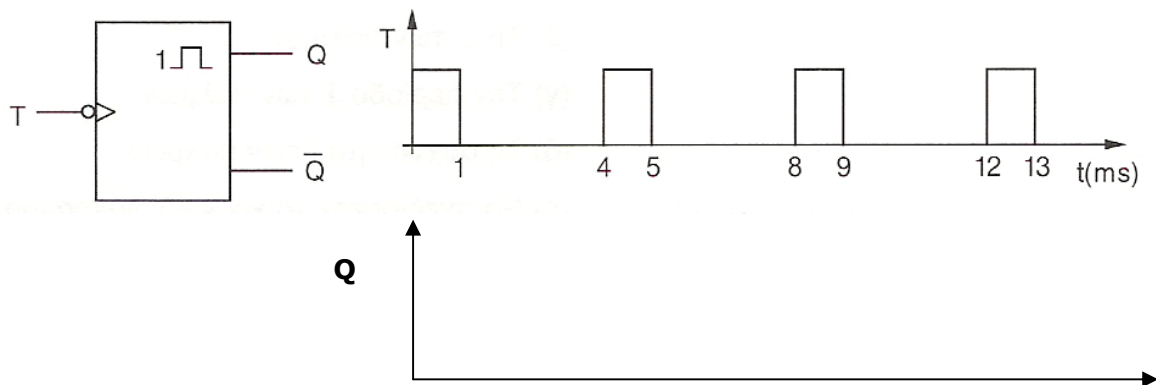
.....

2. Ο χρόνος διέγερσης μονοσταθής πολυδονητή δίδετε από τον τύπο:

$$t = 0,69 \times R \times C \text{ s}$$

Να υπολογίσετε το χρόνο βολής του πολυδονητή αν $R = 10 \text{ k}\Omega$ και $C = 1 \mu\text{F}$.

3. Δίδεται το λογικό σύμβολο του μονοσταθής πολυδονητή και το χρονικό διάγραμμα των παλμών διέγερσης. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q, αν ο χρόνος βολής του πολυδονητή είναι 2 ms και η σταθερή του κατάσταση είναι το λογικό 0.



ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

1. Από το βιβλίο σας στην Ενότητα 2 - Κυκλώματα Παραγωγής και Διαμόρφωσης Παλμών να διαβάσετε τα πιο κάτω:

- Ενότητα 2.1 Μονοσταθής Πολυδονητής **Σελίδες 55 - 56**
- Ολοκληρωμένο Κύκλωμα 555 **Σελίδα 61 - 62**
- Παράδειγμα 2.1 **Σελίδα 61**

2. Να απαντήσετε τις πιο κάτω ερωτήσεις στο τετράδιο σας:

- Ερώτηση 4 - **Σελίδα 73**
- Ερώτηση 6 - **Σελίδα 74**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΥΚΛΩΜΑΤΑ ΠΑΡΑΓΩΓΗΣ ΚΑΙ ΔΙΑΜΟΡΦΩΣΗΣ ΠΑΛΜΩΝ ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΕΠΑΝΑΔΙΕΓΕΙΡΟΜΕΝΟΙ ΚΑΙ ΜΗ ΕΠΑΝΑΔΙΕΓΕΙΡΟΜΕΝΟΙ ΜΟΝΟΣΤΑΘΕΙΣ ΠΟΛΥΔΟΝΗΤΕΣ

ΟΝΟΜΑ : ΤΜΗΜΑ :

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να διακρίνει τους μονοσταθείς πολυδονητές σε επαναδιεγείρομενους και σε μη επαναδιεγείρομενους και να εξηγήει τη διαφορά τους .
- ✓ Να σχεδιάζει τα λογικά διαγράμματα των εξόδων επαναδιεγείρομενων και μη επαναδιεγείρομενων πολυδονητών.

ΕΙΣΑΓΩΓΗ

Οι μονοσταθείς πολυδονητές είναι ακολουθιακά λογικά κυκλώματα τα οποία έχουν **μόνο μια σταθερή κατάσταση εξόδου** που μπορεί να είναι είτε το λογικό 1 (HIGH) είτε το λογικό 0 (LOW).

Όταν διεγερθούν μεταβαίνουν **από τη σταθερή κατάσταση στη μη σταθερή για ορισμένο χρονικό διάστημα**, δίδοντας ένα παλμό (μια βολή) στην έξοδο των και μετά επιστρέφουν αυτόματα στη σταθερή τους κατάσταση.

• ΤΥΠΟΙ ΜΟΝΟΣΤΑΘΩΝ ΠΟΛΥΔΟΝΗΤΩΝ

• ΜΗ ΕΠΑΝΑΔΙΕΓΕΙΡΟΜΕΝΟΣ (ΜΗ ΕΠΑΝΑΠΥΡΟΔΟΤΟΥΜΕΝΟΣ)

Ο μονοσταθής αυτός πολυδονητής διεγείρεται τότε μόνο όταν βρίσκεται στη σταθερή του κατάσταση.

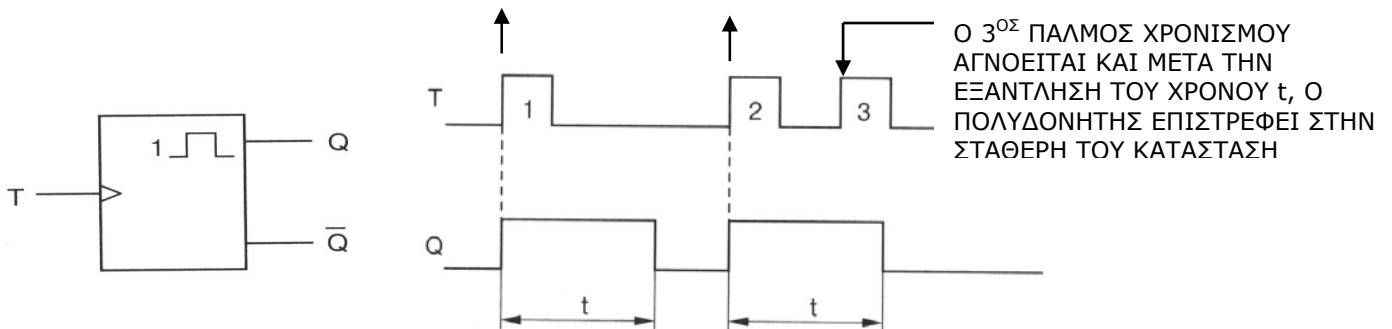
• ΕΠΑΝΑΔΙΕΓΕΙΡΟΜΕΝΟΣ (ΕΠΑΝΑΠΥΡΟΔΟΤΟΥΜΕΝΟΣ)

Ο μονοσταθής πολυδονητής διεγείρεται είτε αυτός βρίσκεται στη σταθερή είτε στη μη σταθερή του κατάσταση.

ΜΗ ΕΠΑΝΑΔΙΕΓΓΕΙΡΟΜΕΝΟΣ (ΜΗ ΕΠΑΝΑΠΥΡΟΔΟΤΟΥΜΕΝΟΣ)

Ο μονοσταθής αυτός πολυδονητής διεγείρεται τότε μόνο όταν βρίσκεται στη σταθερή του κατάσταση.

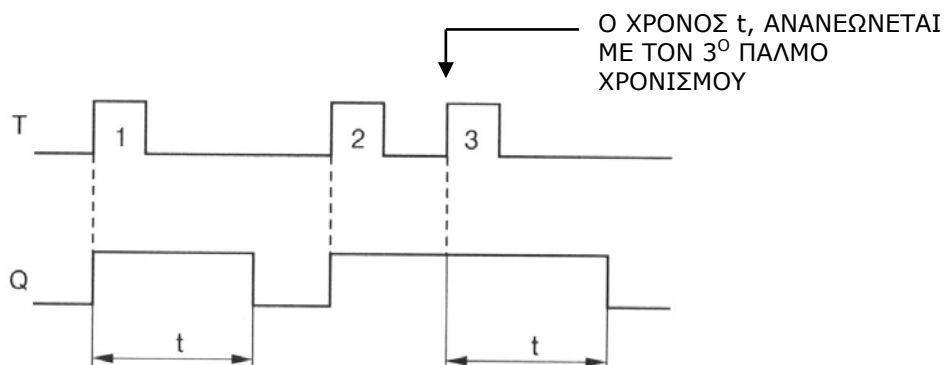
Στο παράδειγμα ο μονοσταθής πολυδονητής με χρόνο βολής t , διεγείρεται στα θετικά μέτωπα παλμών χρονισμού τότε μόνον όταν βρίσκεται στη σταθερή του κατάσταση. Η σταθερή κατάσταση της εξόδου Q είναι το λογικό 0.



ΕΠΑΝΑΔΙΕΓΓΕΙΡΟΜΕΝΟΣ (ΕΠΑΝΑΠΥΡΟΔΟΤΟΥΜΕΝΟΣ)

Ο μονοσταθής πολυδονητής διεγείρεται είτε αυτός βρίσκεται στη σταθερή είτε στη μη σταθερή του κατάσταση.

Στο παράδειγμα ο μονοσταθής πολυδονητής με χρόνο βολής t , διεγείρεται στα θετικά μέτωπα παλμών χρονισμού είτε βρίσκεται στη σταθερή του κατάσταση, είτε στη μη σταθερή κατάσταση. Η σταθερή κατάσταση της εξόδου Q είναι το λογικό 0.



Ασκήσεις

1. Να εξηγήσετε τη διαφορά μεταξύ του επαναδιεγερόμενου και του μη επαναδιεγερόμενου μονοσταθί πολυδονητή.

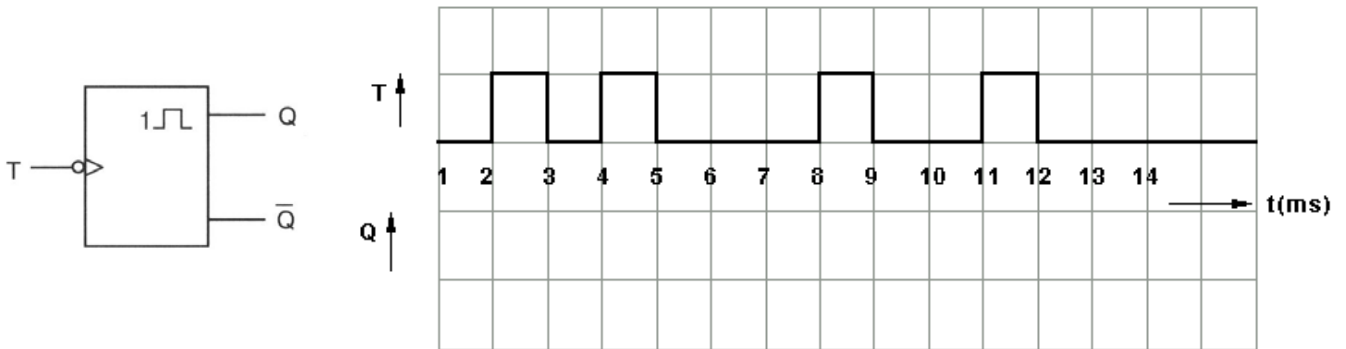
.....

.....

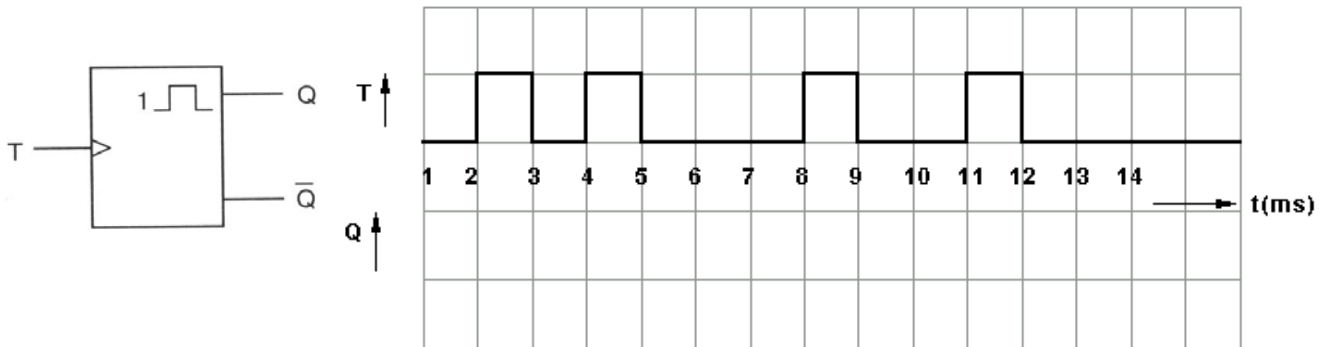
.....

.....

2. Ο πιο κάτω **επαναδιεγερόμενος** μονοσταθής πολυδονητής με σταθερή κατάσταση το λογικό 0 έχει **χρόνο βολής** 3 ms. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q:



3. Ο πιο κάτω **μη επαναδιεγερόμενος** μονοσταθής πολυδονητής με σταθερή κατάσταση το λογικό 0 έχει **χρόνο βολής** 4 ms. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q:



ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

1. Από το βιβλίο σας στην **Ενότητα 2 - Κυκλώματα Παραγωγής και Διαμόρφωσης Παλμών** να διαβάσετε τα πιο κάτω:
 - Ενότητα 2.1. Τύποι Μονοσταθί Πολυδονητή **Σελίδες 56 - 57**
 - Ενότητα 2.1.3 Εφαρμογές Μονοσταθών Πολυδονητών **Σελίδες 62 - 63**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις στο τετράδιο σας:
 - Ερώτηση 5 - **Σελίδα 73**

ΟΝΟΜΑ : ΤΜΗΜΑ :

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να κατατάσσει τα ηλεκτρικά σήματα σε αναλογικά και ψηφιακά και περιοδικά και μη περιοδικά.
- ✓ Να υπολογίζει τη συχνότητα και την περίοδο ενός περιοδικού αναλογικού και ψηφιακού σήματος.
- ✓ Να υπολογίζει το κύκλο δράσης ενός ψηφιακού περιοδικού σήματος.
- ✓ Να σχεδιάζει ένα ψηφιακό περιοδικό σήμα όταν του δίνεται ο κύκλος δράσης και η συχνότητα/περίοδος.

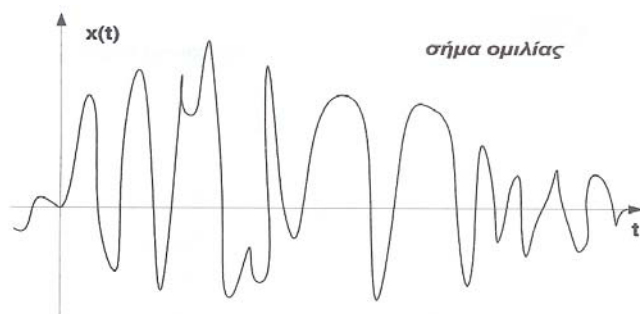
Κατηγορίες Ηλεκτρικών Σημάτων

Τα ηλεκτρικά σήματα χωρίζονται ανάλογα με τη μορφή τους σε:

- ✓ **Αναλογικά και Ψηφιακά**
- ✓ **Περιοδικά και μη Περιοδικά**

1. Αναλογικά Σήματα

Αναλογικά ονομάζονται τα σήματα που παρουσιάζουν συνεχείς μεταβολές στο χρόνο και παίρνουν συνεχόμενες τιμές.

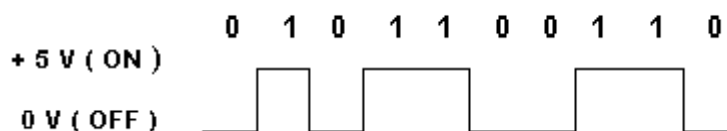


Σχήμα 1 - Αναλογικό Σήμα

Τα σήματα στην αρχική τους μορφή στη φύση είναι αναλογικά (φωνή, μουσική) π.χ. το σήμα στην έξοδο ενός μικροφώνου όπως φαίνεται στο Σχήμα 1.

2. Ψηφιακά Σήματα

Ψηφιακά ονομάζονται τα σήματα που παρουσιάζουν διακριτές τιμές.



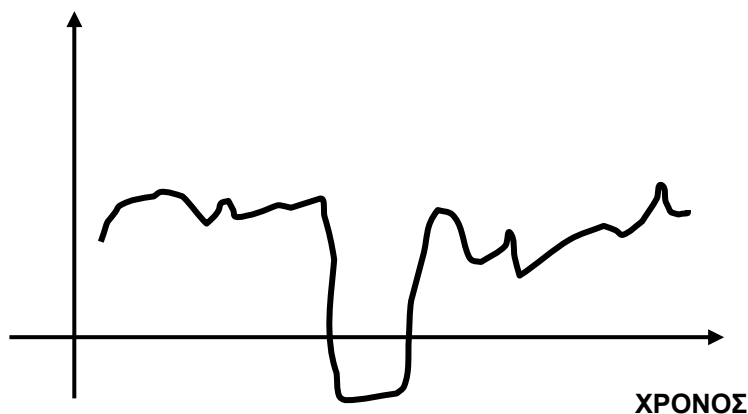
Σχήμα 2 - Παράδειγμα Ψηφιακού Σήματος

Το ψηφιακό σήμα μπορεί να πάρει μόνο δυο τιμές το μηδέν (0) και το ένα (1). Ψηφιακά σήματα δεν υπάρχουν στη φύση, αλλά προέρχονται από τη ψηφιοποίηση αναλογικών σημάτων, όπως για παράδειγμα σε ένα CD η μουσική είναι γραμμένη σε ψηφιακή μορφή, όπως στο Σχήμα 2.

3. Μη Περιοδικά Σήματα

Μη περιοδικά σήματα είναι τα σήματα που δεν επαναλαμβάνονται στο χρόνο.

Ένα σήμα ομιλίας, η μουσική, ο θόρυβος και άλλα φυσικά σήματα είναι όλα μη περιοδικά.



Σχήμα 2 - Μη Περιοδικό Σήμα

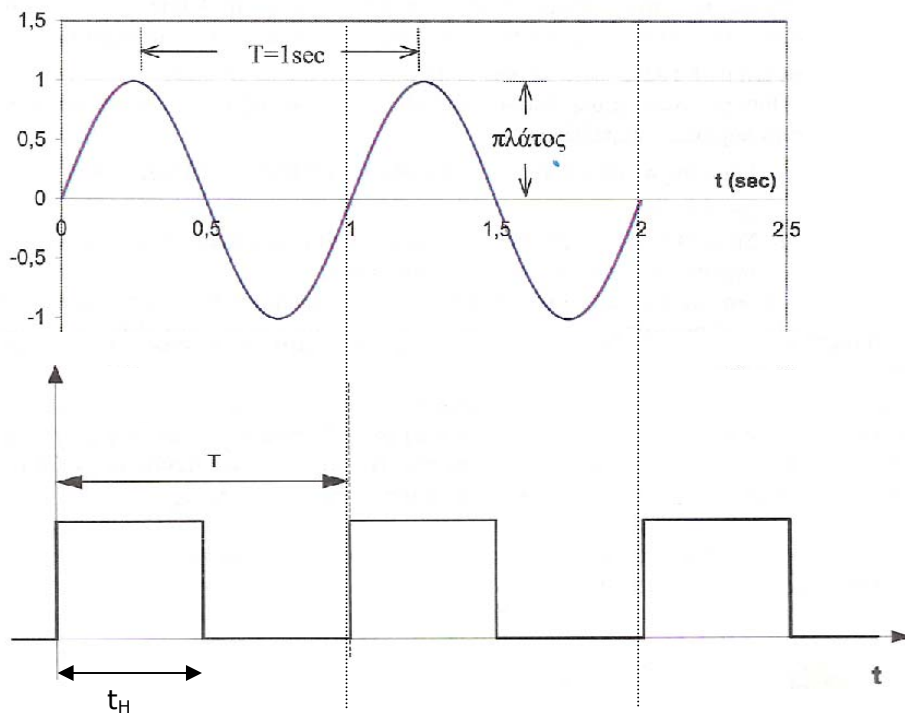
4. Περιοδικά Σήματα

Τα **περιοδικά σήματα** επαναλαμβάνονται στο χρόνο μετά από συγκεκριμένο χρονικό διάστημα T , που ονομάζεται **περίοδος** του σήματος που μετράται σε δευτερόλεπτα.

Ο ρυθμός επανάληψης του σήματος σε ένα δευτερόλεπτο ονομάζεται **συχνότητα**, είναι το αντίστροφο της περιόδου και μετράται σε **Hertz**:

$$f = \frac{1}{T}$$

Για παράδειγμα ένα ημιτονικό σήμα και μια τετραγωνική κυματομορφή είναι περιοδικά σήματα, Σχήμα 4.



Σχήμα 4 - Περιοδικά Σήματα συχνότητας 1 Hz

5. Κύκλος Δράσης

Ο **κύκλος δράσης - duty cycle**, ενός περιοδικού ψηφιακού σήματος ορίζεται ως το ποσοστό του χρόνου για το οποίο το σήμα βρίσκεται στο λογικό 1 και εκφράζεται σε ποσοστό:

$$d = \frac{t_H}{T} \cdot 100\%$$

Ασκήσεις

$$\text{Συχνότητα } f = \frac{1}{T} \quad \text{Περίοδος } T = \frac{1}{f}$$

$$\text{Κύκλος Δράσης, } d = \frac{t_H}{T} \cdot 100\%$$

$$\begin{array}{l} \text{Κίλο, } k = 1000 \quad 1 \cdot 10^3 \\ \text{Μέγα, } M = 1000\,000 \quad 1 \cdot 10^6 \end{array}$$

$$\begin{array}{l} \text{Μίλλι, } m = 1/1000 \quad 1 \cdot 10^{-3} \\ \text{Μίκρο } \mu = 1/1\,000\,000 \quad 1 \cdot 10^{-6} \end{array}$$

1. Υπολογίστε τη περίοδο των πιο κάτω εναλλασσόμενων κυματομορφών:

(α) 50 Hz

(β) 1 kHz

(γ) 50 kHz

(δ) 1 MHz

2. Υπολογίστε τη συχνότητα των πιο κάτω κυματομορφών εάν η περίοδος τους είναι:

(α) 1 ms

(β) 10 ms

(γ) 250 μ s

(δ) 50 μ s

3. Για την πιο κάτω κυματομορφή, να υπολογίσετε:

(α) Υπολογίστε την περίοδο T των παλμών.

(β) Υπολογίστε τη συχνότητα f των παλμών.

(γ) Υπολογίστε τον κύκλο δράσης των παλμών.



T = _____

f = _____

d = _____

4. Ασταθής πολυδονητής (Clock) με συχνότητα $f = 200 \text{ Hz}$ έχει κύκλο δράσης 40%.

(α) Υπολογίστε την περίοδο T του σήματος εξόδου:

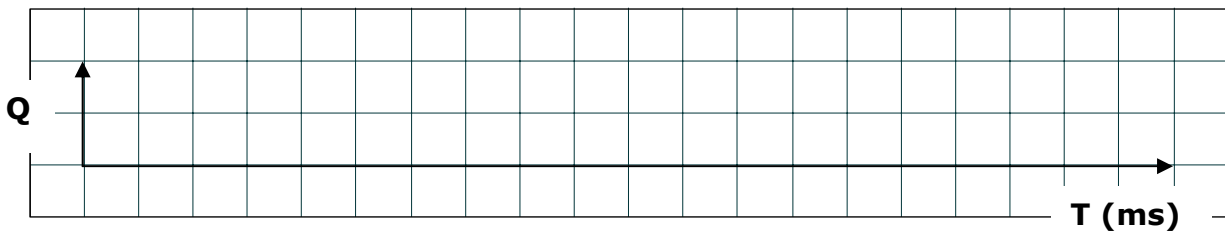
$T = \dots\dots\dots$

(β) Υπολογίστε το χρόνο που η κυματομορφή βρίσκεται:

Λογικό 0, $T_L = \dots\dots\dots$

Λογικό 1, $T_H = \dots\dots\dots$

(γ) Σχεδιάστε σε κλίμακα ένα τετραγωνάκι προς 1 ms , 4 κύκλους της κυματομορφής εξόδου.



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

**ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΥΚΛΩΜΑΤΑ ΠΑΡΑΓΩΓΗΣ ΚΑΙ ΔΙΑΜΟΡΦΩΣΗΣ ΠΑΛΜΩΝ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΑΣΤΑΘΕΙΣ ΠΟΛΥΔΟΝΗΤΕΣ**

ΟΝΟΜΑ :

ΤΜΗΜΑ :

Στόχοι

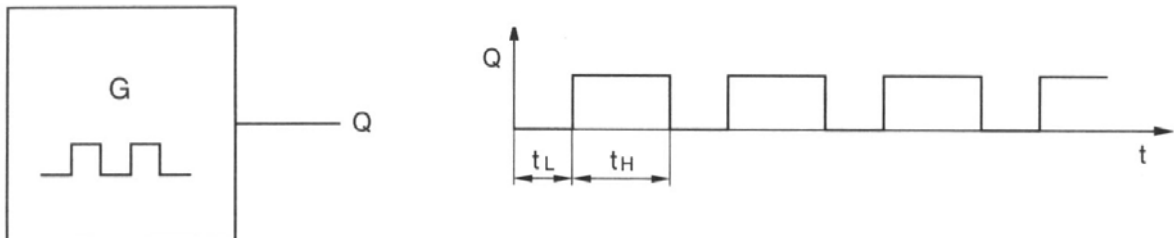
Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να δίνει τον ορισμό του ασταθή πολυδονητή.
- ✓ Να υπολογίζει τη συχνότητα ταλάντωσης ασταθών πολυδονητών.
- ✓ Να αναφέρει τι είναι ο κύκλος δράσης και να τον υπολογίζει.
- ✓ Να σχεδιάζει τα λογικά διαγράμματα των παλμών εξόδου ασταθή πολυδονητή.
- ✓ Να αναφέρει εφαρμογές των ασταθών πολυδονητών.

• **ΑΣΤΑΘΗΣ ΠΟΛΥΔΟΝΗΤΗΣ - ASTABLE MULTIVIBRATOR**

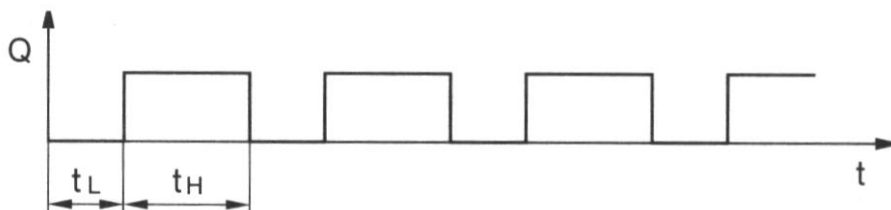
Είναι ένα κύκλωμα με δυο καταστάσεις εξόδου από τις οποίες καμία δεν είναι σταθερή.

Η έξοδος του ασταθούς πολυδονητή αλλάζει συνεχώς από τη μια στη άλλη κατάσταση δηλαδή είναι μια γεννήτρια παραγωγής ορθογωνίων παλμών.



G ⇒ Generator (Γεννήτρια)

ΣΥΜΒΟΛΟ ΚΑΙ ΧΡΟΝΙΚΟ ΔΙΑΓΡΑΜΜΑ ΠΑΛΜΩΝ ΕΞΟΔΟΥ ΑΣΤΑΘΟΥΣ ΠΟΛΥΔΟΝΗΤΗ



ΟΡΘΟΓΩΝΙΟΙ ΠΑΛΜΟΙ

✓ **ΠΕΡΙΟΔΟΣ T** **$T = t_H + t_L$** t_H = ΧΡΟΝΟΣ ΠΟΥ ΤΟ ΣΗΜΑ ΕΞΟΔΟΥ ΒΡΙΣΚΕΤΑΙ ΣΤΟ ΛΟΓΙΚΟ 1
 t_L = ΧΡΟΝΟΣ ΠΟΥ ΤΟ ΣΗΜΑ ΕΞΟΔΟΥ ΒΡΙΣΚΕΤΑΙ ΣΤΟ ΛΟΓΙΚΟ 0

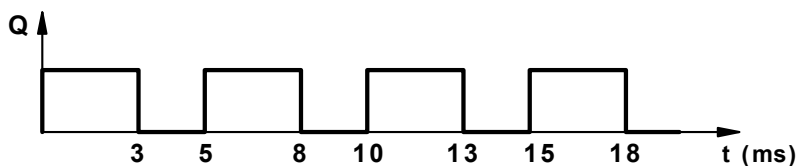
✓ **ΣΥΧΝΟΤΗΤΑ** $f = \frac{1}{T}$

✓ **ΚΥΚΛΟΣ ΔΡΑΣΗΣ - DUTY CYCLE** ΟΡΙΖΕΤΑΙ ΩΣ ΤΟ ΠΟΣΟΣΤΟ ΤΟΥ ΧΡΟΝΟΥ ΓΙΑ ΤΟ ΟΠΟΙΟ Η ΕΞΟΔΟΣ ΤΟΥ ΑΣΤΑΘΟΥΣ ΠΟΛΥΔΟΝΗΤΗ ΒΡΙΣΚΕΤΑΙ ΣΤΟ ΛΟΓΙΚΟ 1 ΚΑΙ ΕΚΦΡΑΖΕΤΑΙ ΣΕ ΠΟΣΟΣΤΟ

$$d = \frac{t_H}{T} \cdot 100\%$$

Ασκήσεις

1. Δίνεται η κυματομορφή εξόδου ενός ασταθή πολυδονητή:



Συμπληρώστε:

t_L = ms

t_H = ms

Να υπολογίσετε:

- (α) Την περίοδο T των παλμών εξόδου.
- (β) Τη συχνότητα f των παλμών εξόδου.
- (γ) Τον κύκλο δράσης d των παλμών εξόδου.

T =

f =

d =

2. Ένας ασταθής πολυδονητής παράγει παλμούς με συχνότητα $f = 200 \text{ KHz}$ και κύκλο δράσης, $d = 40\%$. Να υπολογίσετε:
- (α) Την περίοδο T των παλμών.
 - (β) Το t_H των παλμών.
 - (γ) Το t_L των παλμών.

$T = \dots\dots\dots$

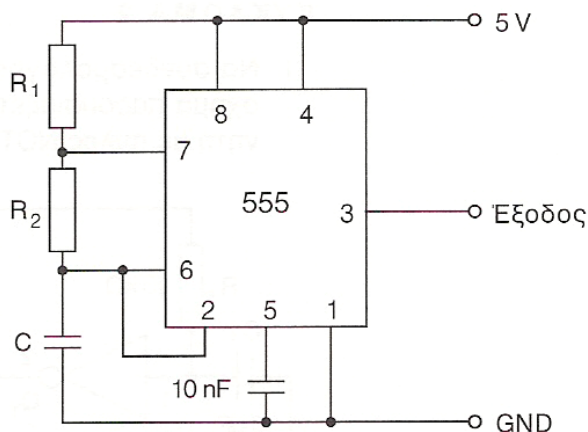
$t_H = \dots\dots\dots$

$t_L = \dots\dots\dots$

- (δ) Να σχεδιάσετε σε κλίμακα ένα τετραγωνάκι προς $1\mu\text{s}$, 2 κύκλους της κυματομορφής εξόδου:



3. Δίδεται το κύκλωμα ασταθούς πολυδονητή με το IC - 555 και οι τύποι για τον υπολογισμό του χρόνου που το σήμα εξόδου βρίσκεται στο λογικό 0 και λογικό 1, t_L και t_H αντίστοιχα. Να υπολογίσετε την περίοδο, τη συχνότητα και τον κύκλο δράσης των παλμών εξόδου του πολυδονητή.



$$R_1 = 10 \text{ k}\Omega$$

$$R_2 = 4,7 \text{ k}\Omega$$

$$C = 0,1 \mu\text{F}$$

$$t_H = 0,693 \cdot (R_1 + R_2) \cdot C$$

$$t_L = 0,693 \cdot R_2 \cdot C$$

Περίοδος, T

Συχνότητα, f

Κύκλος Δράσης, d

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

1. Από το βιβλίο σας στην **Ενότητα 2 - Κυκλώματα Παραγωγής και Διαμόρφωσης Παλμών** να διαβάσετε τα πιο κάτω:

- Ενότητα 2.2 **Ασταθής Πολυδονητής** **Σελίδες 63 - 69**
- Παράδειγμα 2.4 **Σελίδα 64**
- Παράδειγμα 2.5 **Σελίδα 67**

2. Να απαντήσετε τις πιο κάτω ερωτήσεις στο τετράδιο σας:

- Ερωτήσεις 7, 8, 9 & 10 **Σελίδα 74**

ΟΝΟΜΑ : ΤΜΗΜΑ :

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει το σύμβολο και να εξηγεί τη λειτουργία του κυκλώματος σκανδάλης Σμιτ - Schmitt.
- ✓ Να εξηγεί τον όρο υστέρηση.
- ✓ Να υπολογίζει τις τάσεις κατωφλίου και την υστέρηση σε κυκλώματα σκανδάλης Schmitt.

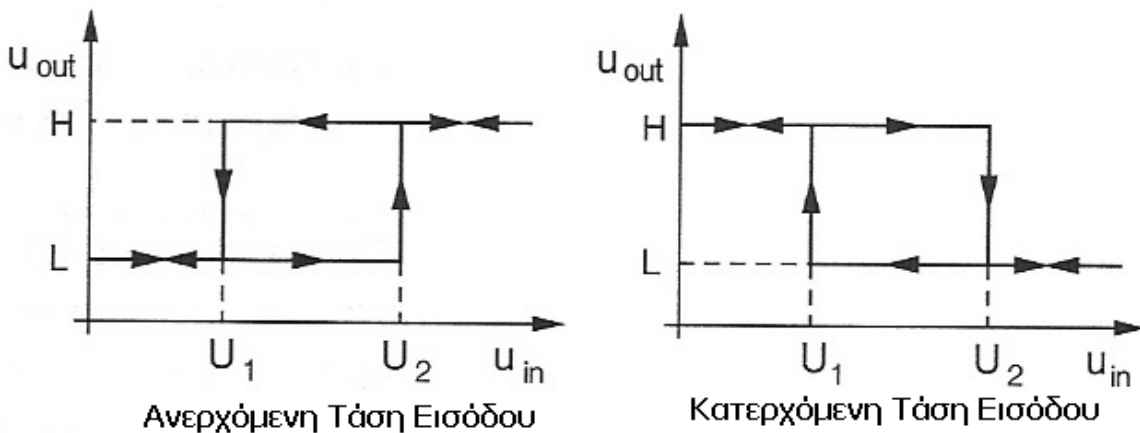
• **ΚΥΚΛΩΜΑΤΑ ΣΚΑΝΔΑΛΗΣ SCHMITT**

Τα κυκλώματα σκανδάλης (**Schmitt Trigger**) λειτουργούν ως κυκλώματα συγκριτή τάσης. Το σήμα εξόδου έχει δυο σταθερές καταστάσεις και εξαρτάται από το σήμα εισόδου.

Όταν η ανερχόμενη τάση του σήματος εισόδου ξεπεράσει μια ορισμένη τιμή **V₂**, (**Ψηλή Τάση Κατωφλίου**), τότε η έξοδος του κυκλώματος αλλάζει κατάσταση.

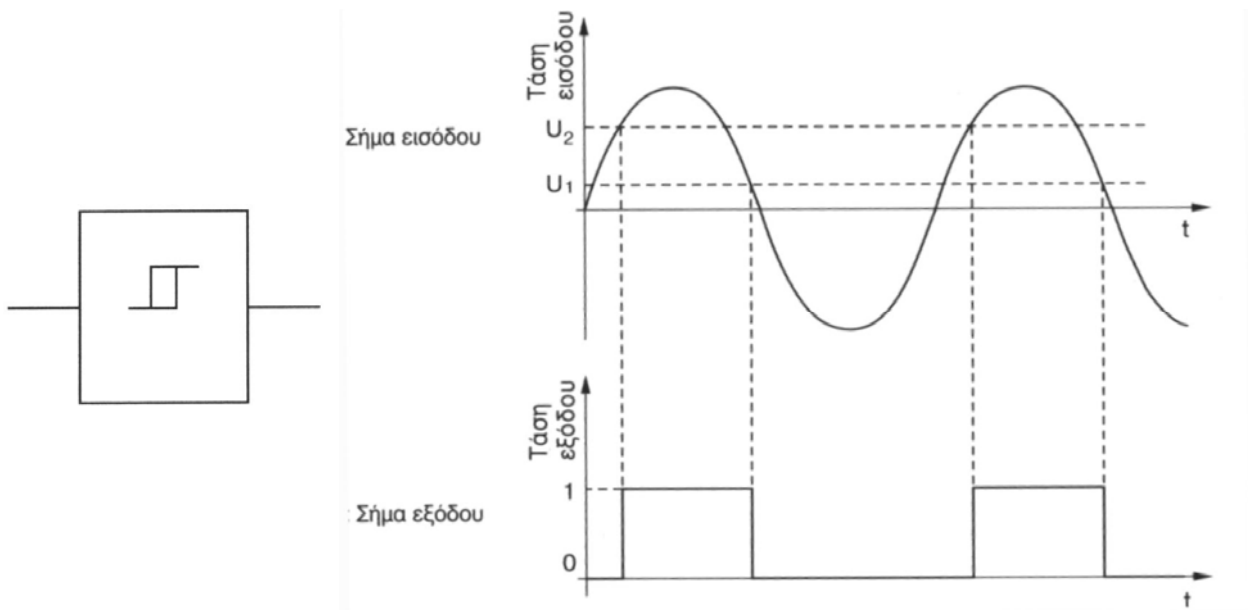
Όπως το σήμα εισόδου κατέρχεται και πέσει κάτω από μια ορισμένη τιμή **V₁**, (**Χαμηλή Τάση Κατωφλίου**), τότε η έξοδος οδηγείται αντίθετα προς την προηγούμενη κατάσταση.

Οι δυο τάσεις δεν συμπίπτουν και η διαφορά των τιμών μεταξύ των δυο τάσεων ονομάζεται **Υστέρηση**.



Όταν το σήμα εισόδου ανερχόμενο, ξεπεράσει τη Ψηλή Τάση Κατωφλίου **V₂**, η έξοδος οδηγείται στο ψηλό επίπεδο, δηλαδή στο Λογικό 1.

Αντίθετα, όταν το σήμα εισόδου κατερχόμενο πέσει κάτω από τη Χαμηλή Τάση Κατωφλίου, **V₁**, η έξοδος οδηγείται στο χαμηλό επίπεδο, δηλαδή στο λογικό 0.



Άσκηση 1 Να εξηγήσετε την αρχή λειτουργίας του κυκλώματος σκανδάλης Schmitt.

.....

.....

.....

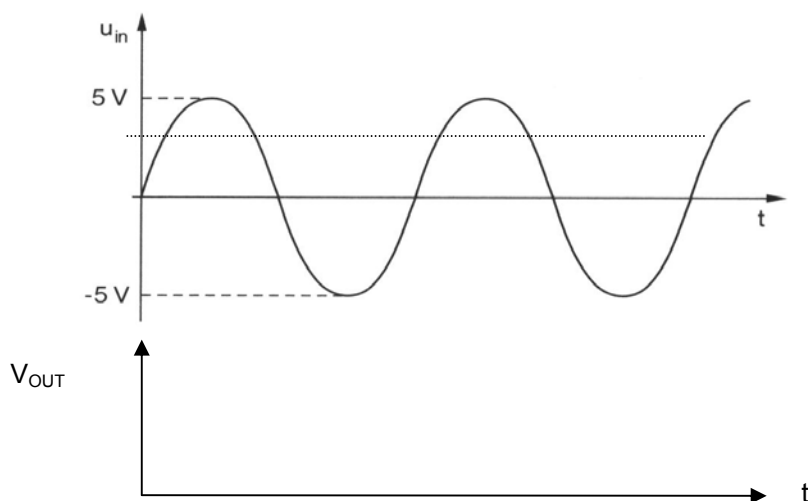
.....

.....

.....

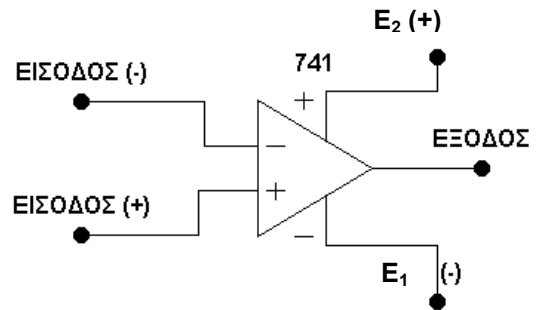
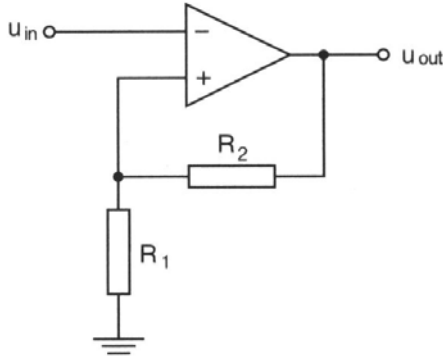
.....

Άσκηση 2 Να σχεδιάσετε το σήμα εξόδου κυκλώματος σκανδάλης Σμιτ με **ψηλή τάση κατωφλίου 3 V** (Λογική κατάσταση εξόδου = 1) και **χαμηλή τάση κατωφλίου 0 V** (Λογική κατάσταση εξόδου = 0).



- **ΚΥΚΛΩΜΑ SCHMITT TRIGGER ΜΕ ΤΕΛΕΣΤΙΚΟ ΕΝΙΣΧΥΤΗ**

Στη περίπτωση αυτή το σήμα εισόδου εφαρμόζεται στην αρνητική είσοδο του τελεστικού ενισχυτή και έτσι το σήμα εξόδου είναι ανεστραμμένο.



$E_2 =$ ΘΕΤΙΚΗ ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ ΤΕΛΕΣΤΙΚΟΥ ΕΝΙΣΧΥΤΗ (+)

$E_1 =$ ΑΡΝΗΤΙΚΗ ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ ΤΕΛΕΣΤΙΚΟΥ ΕΝΙΣΧΥΤΗ (-)

ΨΗΛΗ ΤΑΣΗ ΚΑΤΩΦΛΙΟΥ

$$V_2 = \frac{R_1}{R_1 + R_2} \cdot E_2$$

ΧΑΜΗΛΗ ΤΑΣΗ ΚΑΤΩΦΛΙΟΥ

$$V_1 = \frac{R_1}{R_1 + R_2} \cdot E_1$$

ΥΣΤΕΡΗΣΗ = $V_2 - V_1$

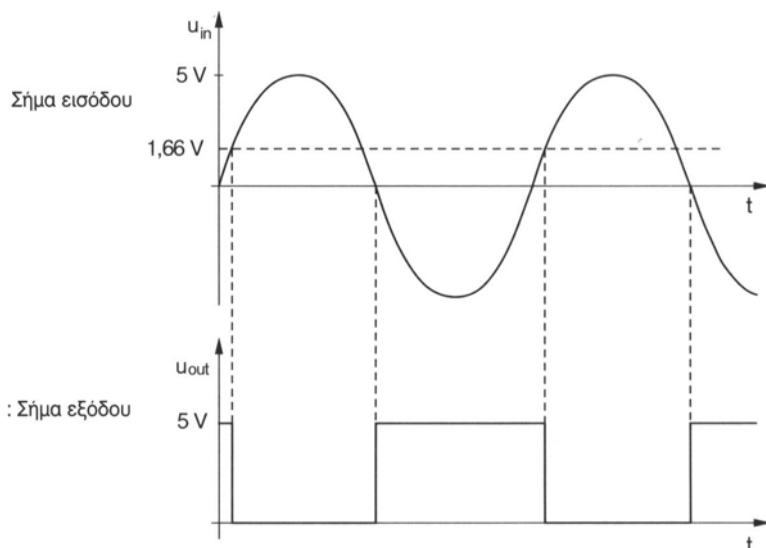
Άσκηση 3 Να υπολογίσετε τη ψηλή τάση κατωφλίου V_2 , τη χαμηλή τάση κατωφλίου V_1 την υστέρηση του πιο πάνω κυκλώματος για τις τιμές:

$$R_1 = 5 \text{ k}\Omega \quad R_2 = 10 \text{ k}\Omega \quad E_1 = 0 \text{ V} \quad E_2 = 5 \text{ V}$$

Ψηλή τάση κατωφλίου $V_2 = \dots\dots\dots$

Χαμηλή τάση κατωφλίου $V_1 = \dots\dots\dots$

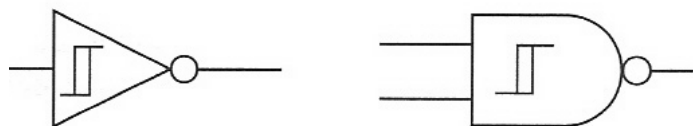
Υστέρηση $V_2 - V_1 = \dots\dots\dots$



Ψηλή Τάση Κατωφλίου = 1.66 V
 Χαμηλή Τάση Κατωφλίου = 0 V

Θετική Τάση Τροφοδοσίας = 5 V
 Αρνητική Τάση Τροφοδοσίας = 0V

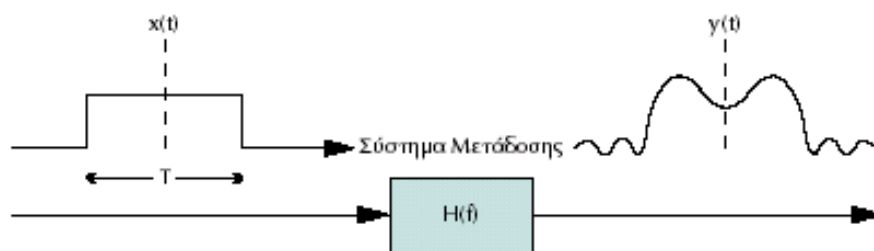
Κυκλώματα Σκανδάλης Schmitt σε Ολοκληρωμένα Κυκλώματα



Λογικό 0 = 0 V
 Λογικό 1 = 5 V
 Ψηλή Τάση Κατωφλίου = 1,7 V
 Χαμηλή Τάση Κατωφλίου = 0,9 V
 Υστέρηση = 0,8 V

• ΕΦΑΡΜΟΓΕΣ ΚΥΚΛΩΜΑΤΩΝ SCHMITT TRIGGER

- ✓ Σε κυκλώματα ελέγχου της θερμοκρασίας
- ✓ Σε κυκλώματα διόρθωσης ορθογώνιων παλμών μετά από παραμόρφωση και επαναδημιουργία κάθετων μετώπων



Κατ' Οίκον Εργασία

Ενότητα 2 - "Κυκλώματα Παραγωγής & Διαμόρφωσης Παλμών"

- Από το βιβλίο σας στην **Ενότητα 2 - Κυκλώματα Παραγωγής και Διαμόρφωσης Παλμών** να διαβάσετε τα πιο κάτω:
 - Ενότητα 2.3 **Κυκλώματα Σκανδάλης Σμιτ** **Σελίδες 69 - 73**
 - Παράδειγμα 2.6 **Σελίδα 69**
 - Παράδειγμα 2.7 **Σελίδα 71**
- Να απαντήσετε τις πιο κάτω ερωτήσεις της Αξιολόγησης στο τετράδιο σας:
 - 13, 14, 15 & 16 **Σελίδα 75**

Ενότητα 3 - Λογικές Οικογένειες

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΛΟΓΙΚΩΝ ΟΙΚΟΓΕΝΕΙΩΝ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ TTL

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ CMOS

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΛΟΓΙΚΕΣ ΟΙΚΟΓΕΝΕΙΕΣ ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΛΟΓΙΚΩΝ ΟΙΚΟΓΕΝΕΙΩΝ

ΟΝΟΜΑ : ΤΜΗΜΑ :

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- √ Να εξηγήσει τι είναι λογική οικογένεια:
 - Ονομάζει τις κυριότερες λογικές οικογένειες.
 - Αναφέρει και αναλύει σημαντικά χαρακτηριστικά των λογικών οικογενειών.
- √ Να κατατάσσει τα ολοκληρωμένα κυκλώματα σε κατηγορίες ολοκλήρωσης ανάλογα με τον αριθμό τρανζίστορ που περιέχουν

ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ

ΤΑ ΛΟΓΙΚΑ ΚΥΚΛΩΜΑΤΑ ΠΟΥ ΕΙΝΑΙ ΚΑΤΑΣΚΕΥΑΣΜΕΝΑ ΣΥΜΦΩΝΑ ΜΕ ΚΑΘΟΡΙΣΜΕΝΑ ΤΕΧΝΟΛΟΓΙΚΑ ΚΡΙΤΗΡΙΑ ΑΠΟΤΕΛΟΥΝ ΜΙΑ ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ

ΕΙΔΗ ΛΟΓΙΚΩΝ ΟΙΚΟΓΕΝΕΙΩΝ

RTL	Resistor Transistor Logic
DCTL	Direct Coupled Transistor Logic
DTL	Diode Transistor Logic
TTL	Transistor Transistor Logic
ECL	Emitter Coupled Logic
CMOS	Complimentary Metal Oxide Semiconductor

ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΛΟΓΙΚΩΝ ΟΙΚΟΓΕΝΕΙΩΝ

- | | |
|-------------------------|------------------------------------|
| √ ΚΑΤΑΝΑΛΙΣΚΟΜΕΝΗ ΙΣΧΥΣ | √ ΛΟΓΙΚΑ ΕΠΙΠΕΔΑ |
| √ ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ | √ ΓΙΝΟΜΕΝΟ ΤΑΧΥΤΗΤΑΣ - ΙΣΧΥΟΣ |
| √ ΠΕΡΙΘΩΡΙΟ ΘΟΡΥΒΟΥ | √ ΚΑΘΥΣΤΕΡΗΣΗ ΔΙΑΔΟΣΗΣ ΤΟΥ ΣΗΜΑΤΟΣ |
| √ ΙΚΑΝΟΤΗΤΑ ΟΔΗΓΗΣΗΣ | |

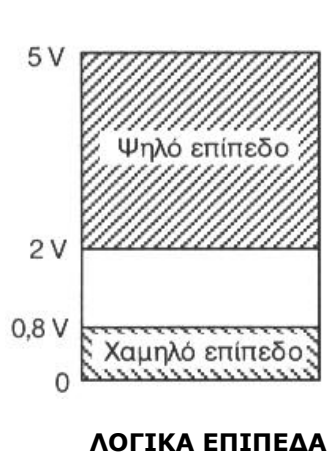
- ΚΑΤΑΝΑΛΙΣΚΟΜΕΝΗ ΙΣΧΥΣ

ΔΙΔΕΤΑΙ ΑΠΟ ΤΟ ΓΙΝΟΜΕΝΟ ΤΟΥ ΠΟΛΛΑΠΛΑΣΙΑΣΜΟΥ ΤΗΣ ΤΑΣΗΣ ΕΠΙ ΡΕΥΜΑ

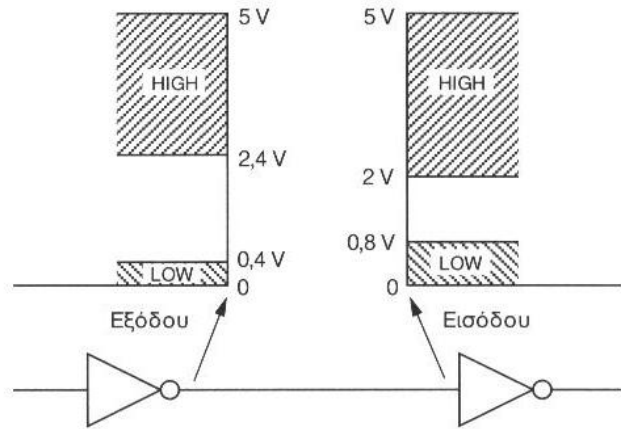
Η ΜΕΙΩΣΗ ΤΗΣ ΚΑΤΑΝΑΛΙΣΚΟΜΕΝΗΣ ΙΣΧΥΟΣ ΣΕ ΜΙΑ ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ ΕΙΝΑΙ ΣΥΝΗΘΩΣ **ΑΝΤΙΣΤΡΟΦΑ ΑΝΑΛΟΓΗ ΣΤΗ ΤΑΧΥΤΗΤΑ ΛΕΙΤΟΥΡΓΙΑΣ** ΚΑΙ ΤΟ ΑΝΕΚΤΟ ΠΕΡΙΘΩΡΙΟ ΘΟΡΥΒΟΥ.

- **ΛΟΓΙΚΑ ΕΠΙΠΕΔΑ**

ΕΙΝΑΙ ΤΑ ΕΠΙΠΕΔΑ ΤΩΝ ΤΑΣΕΩΝ ΕΙΣΟΔΟΥ ΚΑΙ ΕΞΟΔΟΥ ΤΩΝ ΛΟΓΙΚΩΝ ΠΥΛΩΝ ΠΟΥ ΑΝΤΙΣΤΟΙΧΟΥΝ ΣΤΟ ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ (ΛΟΓΙΚΟ 0) ΚΑΙ ΣΤΟ ΨΗΛΟ ΕΠΙΠΕΔΟ (ΛΟΓΙΚΟ 1)



ΛΟΓΙΚΑ ΕΠΙΠΕΔΑ



ΛΟΓΙΚΑ ΕΠΙΠΕΔΑ ΕΙΣΟΔΟΥ ΚΑΙ ΕΞΟΔΟΥ ΛΟΓΙΚΗΣ ΟΙΚΟΓΕΝΕΙΑΣ TTL

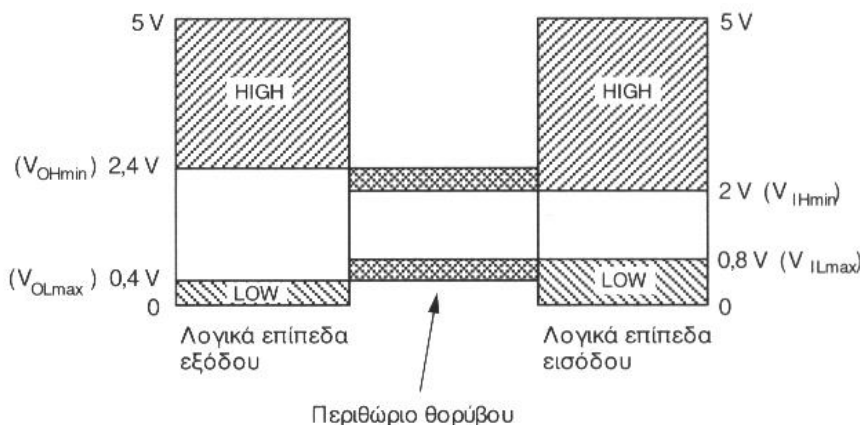
- **ΘΕΤΙΚΗ & ΑΡΝΗΤΙΚΗ ΛΟΓΙΚΗ**

- ✓ Στη θετική λογική το ψηλό επίπεδο τάσης αντιστοιχεί με το λογικό 1 και το χαμηλό επίπεδο με το λογικό 0.
- ✓ Αντίθετα, στην αρνητική λογική το ψηλό επίπεδο τάσης αντιστοιχεί με το λογικό 0 και το χαμηλό επίπεδο με το λογικό 1.

- **ΠΕΡΙΘΩΡΙΟ ΘΟΡΥΒΟΥ**

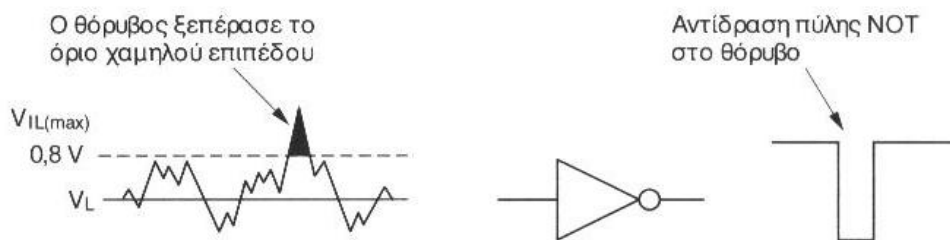
ΕΙΝΑΙ Η ΜΕΓΙΣΤΗ ΤΑΣΗ ΗΛΕΚΤΡΟΝΙΚΟΥ ΘΟΡΥΒΟΥ ΣΕ VOLT, ΠΟΥ ΜΠΟΡΕΙ ΝΑ ΠΡΟΣΤΕΘΕΙ ΣΤΟ ΣΗΜΑ ΕΙΣΟΔΟΥ ΜΙΑΣ ΠΥΛΗΣ ΧΩΡΙΣ ΝΑ ΑΛΛΑΞΕΙ Η ΛΟΓΙΚΗ ΤΟΥ ΚΑΤΑΣΤΑΣΗ

Ο ΗΛΕΚΤΡΟΝΙΚΟΣ ΘΟΡΥΒΟΣ ΣΕ ΕΝΑ ΗΛΕΚΤΡΟΝΙΚΟ ΚΥΚΛΩΜΑ ΕΙΝΑΙ ΟΙ ΑΝΕΠΙΘΥΜΗΤΕΣ ΠΑΡΑΣΙΤΙΚΕΣ ΤΑΣΕΙΣ ΠΟΥ ΠΡΟΚΑΛΟΥΝΤΑΙ ΕΞ ΕΠΑΓΩΓΗΣ ΣΤΑ ΚΑΛΩΔΙΑ ΚΑΙ ΣΤΟΥΣ ΑΓΩΓΟΥΣ ΤΩΝ ΤΥΠΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ



ΠΕΡΙΘΩΡΙΟ ΘΟΡΥΒΟΥ ΠΥΛΗΣ TTL

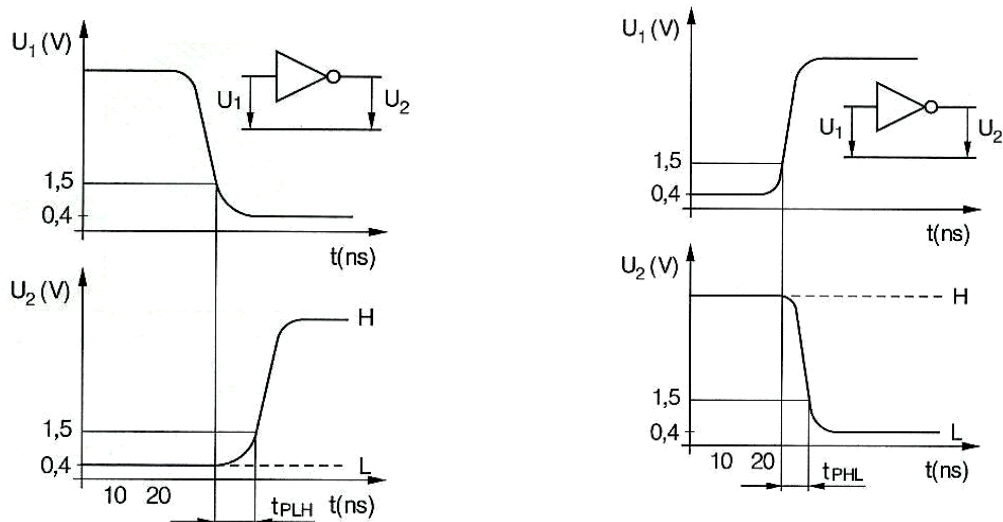
ΣΥΝΕΠΕΙΕΣ ΘΟΡΥΒΟΥ ΣΤΗ ΕΞΟΔΟ ΜΙΑΣ ΛΟΓΙΚΗΣ ΠΥΛΗΣ



- **ΚΑΘΥΣΤΕΡΗΣΗ ΔΙΑΔΟΣΗΣ ΤΟΥ ΣΗΜΑΤΟΣ**

Η ΚΑΘΥΣΤΕΡΗΣΗ ΔΙΑΔΟΣΗΣ ΕΙΝΑΙ Ο ΧΡΟΝΟΣ ΠΟΥ ΧΡΕΙΑΖΕΤΑΙ ΜΙΑ ΜΕΤΑΒΟΛΗ ΠΟΥ ΛΑΜΒΑΝΕΙ ΧΩΡΑ ΣΤΗ ΕΙΣΟΔΟ ΓΙΑ ΝΑ ΜΕΤΑΦΕΡΘΕΙ ΣΤΗΝ ΕΞΟΔΟ

ΟΣΟ **ΠΙΟ ΜΙΚΡΗ** ΕΙΝΑΙ Η ΚΑΘΥΣΤΕΡΗΣΗ ΔΙΑΔΟΣΗΣ ΤΟΣΟ ΠΙΟ ΓΡΗΓΟΡΗ ΕΙΝΑΙ Η ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ



ΧΡΟΝΟΣ ΔΙΑΔΟΣΗΣ ΠΥΛΗΣ NOT

- **ΓΙΝΟΜΕΝΟ ΤΑΧΥΤΗΤΑΣ - ΙΣΧΥΟΣ**

ΕΙΝΑΙ ΕΝΑ ΜΕΤΡΟ ΓΙΑ ΤΗΝ ΕΠΙΛΟΓΗ ΤΗΣ ΚΑΤΑΜΗΛΟΤΕΡΗΣ ΛΟΓΙΚΗΣ ΟΙΚΟΓΕΝΕΙΑΣ

$$\text{ΧΡΟΝΟΣ ΔΙΑΔΟΣΗΣ (s)} \times \text{ΙΣΧΥΣ (J/s)} = \text{ΕΝΕΡΓΕΙΑ (J)}$$

ΟΣΟ **ΠΙΟ ΜΙΚΡΟ** ΕΙΝΑΙ ΤΟ ΓΙΝΟΜΕΝΟ ΙΣΧΥΟΣ ΤΟΣΟ ΤΟ ΚΑΛΥΤΕΡΟ

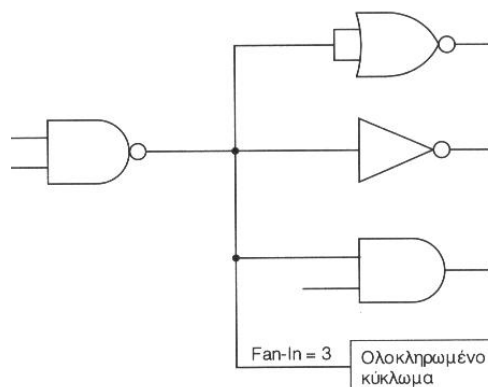
- **ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ**

ΚΑΘΕ ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ ΕΧΕΙ ΤΗ ΔΙΚΗ ΤΗΣ ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ

- **ΙΚΑΝΟΤΗΤΑ ΟΔΗΓΗΣΗΣ**

ΕΙΝΑΙ Ο ΜΕΓΙΣΤΟΣ ΑΡΙΘΜΟΣ ΕΙΣΟΔΩΝ ΠΟΥ ΜΠΟΡΕΙ ΝΑ ΟΔΗΓΗΣΕΙ Η ΕΞΟΔΟΣ ΤΗΣ ΠΥΛΗΣ ΧΩΡΙΣ ΝΑ ΕΠΗΡΕΑΣΤΕΙ Η ΚΑΝΟΝΙΚΗ ΤΗΣ ΛΕΙΤΟΥΡΓΙΑ ΤΡΟΦΟΔΟΣΙΑΣ

ΙΚΑΝΟΤΗΤΑ ΟΔΗΓΗΣΗΣ ΠΥΛΗΣ NAND
FAN OUT = 7



ΒΑΘΜΟΣ ΟΛΟΚΛΗΡΩΣΗΣ

ΤΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ ΔΙΑΚΡΙΝΟΝΤΑΙ ΑΝΑΛΟΓΑ ΜΕ ΤΟ ΒΑΘΜΟ ΟΛΟΚΛΗΡΩΣΗΣ ΤΟΥΣ ΔΗΛΑΔΗ ΜΕ ΚΡΙΤΗΡΙΟ ΤΟ ΑΡΙΘΜΟ ΤΩΝ ΠΥΛΩΝ ΠΟΥ ΠΕΡΙΕΧΟΥΝ ΣΤΟ ΠΕΡΙΒΛΗΜΑ ΤΟΥΣ:

SSI - Small Scale Integration	ΜΙΚΡΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗ ΜΕΧΡΙ 12 ΠΥΛΕΣ
MSI - Medium Scale Integration	ΜΕΣΑΙΑΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗ ΜΕΧΡΙ 100 ΠΥΛΕΣ
LSI - Large Scale Integration	ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗ ΜΕΧΡΙ 10 000 ΠΥΛΕΣ
VLSI - Very Large Scale Integration	ΠΟΛΥ ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗ > 100 000 ΠΥΛΕΣ

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

1. Από το βιβλίο σας στην **Ενότητα 3 - Λογικές Οικογένειες** να διαβάσετε τα πιο κάτω:
 - **Εισαγωγή** **Σελίδες 82**
 - **Είδη Λογικών Οικογενειών** **Σελίδα 83**
 - **Χαρακτηριστικά Λογικών Οικογενειών** **Σελίδες 84 - 89**
 - **Βαθμός Ολοκλήρωσης** **Σελίδα 95**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις **Αξιολόγησης** στο τετράδιο σας:
 - **Ερωτήσεις 1 -9** **Σελίδα 117**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΛΟΓΙΚΕΣ ΟΙΚΟΓΕΝΕΙΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ TTL

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

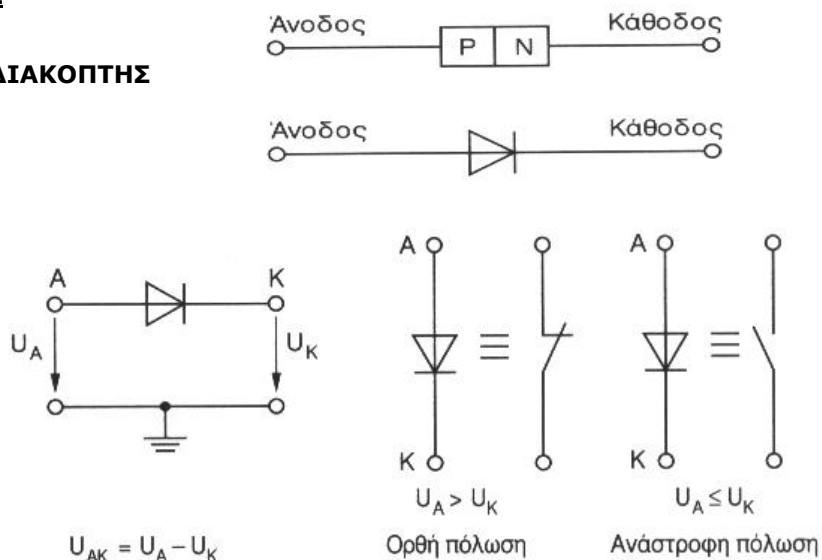
- √ Αναφέρει τις προϋποθέσεις που απαιτούνται για να είναι μια δίοδος, ένα διπολικό τρανζίστορ και ένα τρανζίστορ MOSFET σε κατάσταση αγωγή ή μη αγωγή.
- √ Για τη λογική οικογένεια TTL να:
 - Εξηγεί τη λειτουργία βασικών πυλών της λογικής οικογένειας TTL .
 - Αναφέρει χαρακτηριστικά της λογικής οικογένειας TTL .
 - Αναφέρει τις διάφορες σειρές της λογικής οικογένειας TTL και βασικά χαρακτηριστικά τους.
 - Αναφέρει πλεονεκτήματα και μειονεκτήματα κάθε σειράς.

ΗΛΕΚΤΡΟΝΙΚΑ ΣΤΟΙΧΕΙΑ ΩΣ ΔΙΑΚΟΠΤΕΣ

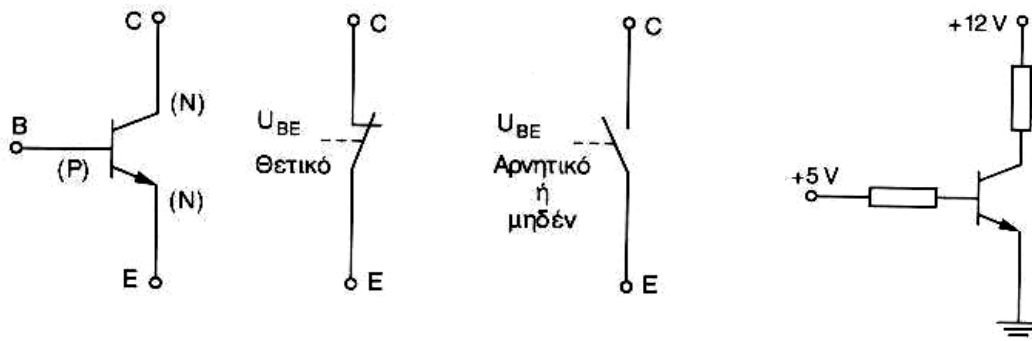
ΣΤΑ ΨΗΦΙΑΚΑ ΚΥΚΛΩΜΑΤΑ ΤΑ ΗΛΕΚΤΡΟΝΙΚΑ ΣΤΟΙΧΕΙΑ ΛΕΙΤΟΥΡΓΟΥΝ ΩΣ ΔΙΑΚΟΠΤΕΣ ΜΕ ΔΥΟ ΚΑΤΑΣΤΑΣΕΙΣ. ΤΗΝ ΑΓΩΓΙΜΗ ΜΕ ΠΟΛΥ ΜΙΚΡΗ ΑΝΤΙΣΤΑΣΗ ΚΑΙ ΣΤΗ ΜΗ ΑΓΩΓΙΜΗ ΜΕ ΠΟΛΥ ΜΕΓΑΛΗ ΑΝΤΙΣΤΑΣΗ.
 Ο ΧΡΟΝΟΣ ΠΟΥ ΧΡΕΙΑΖΕΤΑΙ ΕΝΑ ΤΡΑΝΖΙΣΤΟΡ ΜΕΤΑΒΕΙ ΑΠΟ ΤΗΝ ΜΙΑ ΚΑΤΑΣΤΑΣΗ ΣΤΗΝ ΑΛΛΗ ΠΡΟΣΔΙΟΡΙΖΕΙ ΤΟ ΚΑΘΥΣΤΕΡΗΣΗ ΔΙΑΔΟΣΗΣ ΜΙΑΣ ΠΥΛΗΣ Η ΟΠΟΙΑ ΕΙΝΑΙ ΚΑΤΑΣΚΕΥΑΣΜΕΝΗ ΑΠΟ ΤΑ ΣΥΓΚΕΚΡΙΜΕΝΑ ΤΡΑΝΖΙΣΤΟΡ.

• **ΔΙΟΔΟΣ**

ΔΙΟΔΟΣ ΩΣ ΔΙΑΚΟΠΤΗΣ



• **ΔΙΠΟΛΙΚΑ ΤΡΑΝΖΙΣΤΟΡ**

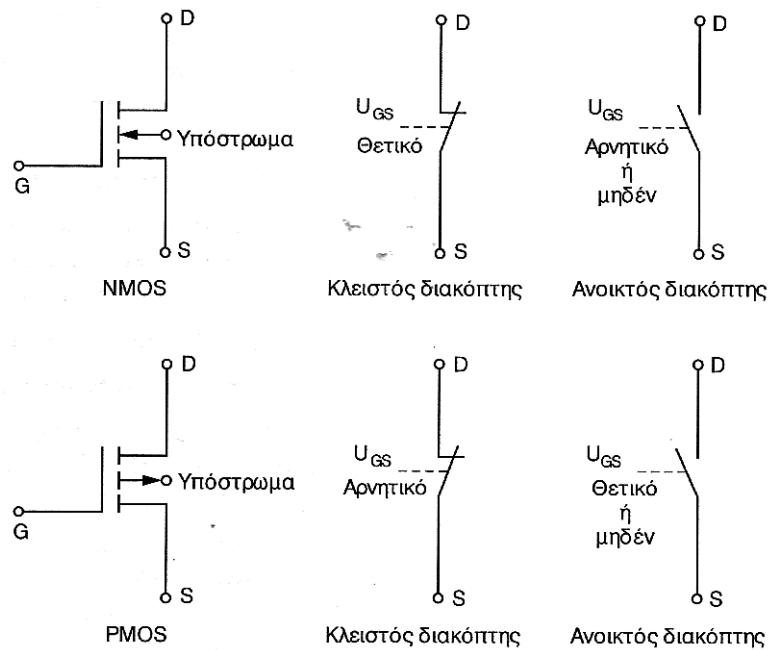


ΔΙΠΟΛΙΚΟ ΤΡΑΝΖΙΣΤΟΡ ΝΡΝ ΩΣ ΔΙΑΚΟΠΤΗΣ

• **ΤΡΑΝΖΙΣΤΟΡ ΜΟΣΦΕΤ**

ΤΡΑΝΖΙΣΤΟΡ ΜΟΣΦΕΤ

ΤΡΑΝΖΙΣΤΟΡ ΕΠΙΔΡΑΣΗΣ ΠΕΔΙΟΥ ΜΕ ΗΜΙΑΓΩΓΟ ΜΕΤΑΛΛΙΚΟΥ ΟΞΕΙΔΙΟΥ - METAL OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTOR

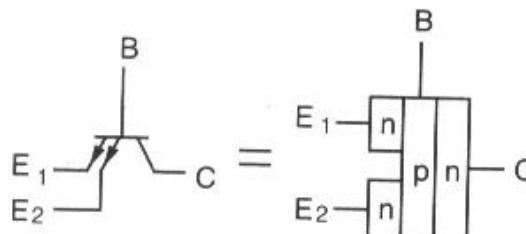


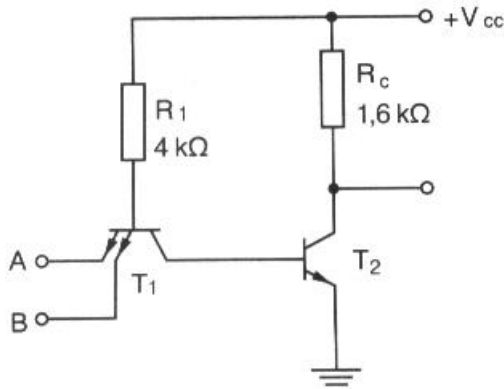
ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ TTL

Transistor Transistor Logic

Χαρακτηρίζεται από διπολικά τρανζίστορ με πολλαπλούς εκπομπούς

ΔΙΠΟΛΙΚΟ ΤΡΑΝΖΙΣΤΟΡ ΔΥΟ ΕΚΠΟΜΠΩΝ



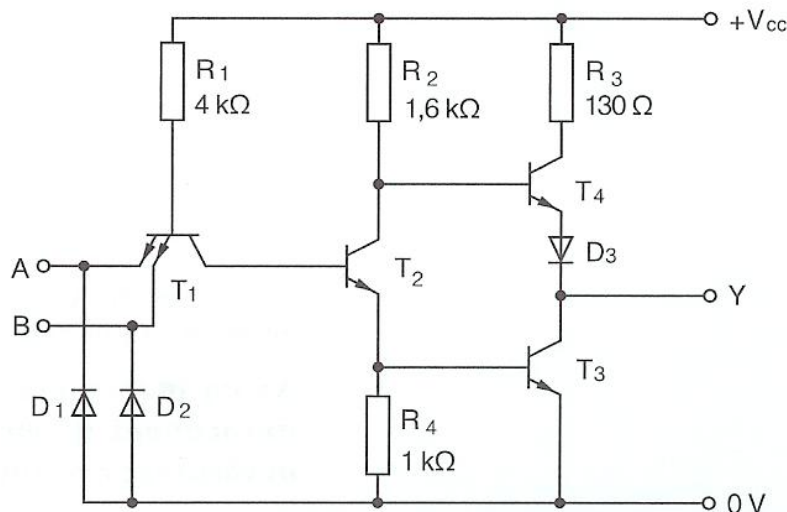


A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

ΑΠΛΟΠΟΙΗΜΕΝΗ ΠΥΛΗ NAND ΤΩΝ ΔΥΟ ΕΙΣΟΔΩΝ

ΑΝ ΤΟΥΛΑΧΙΣΤΟΝ ΜΙΑ ΕΚ ΤΩΝ ΔΥΟ ΕΙΣΟΔΩΝ ΣΥΝΔΕΘΕΙ ΣΤΗ ΓΗ (ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ) ΤΟΤΕ ΟΙ ΑΝΤΙΣΤΟΙΧΗ ΕΠΑΦΗ ΒΕ ΤΟΥ ΔΙΠΟΛΙΚΟΥ ΤΡΑΝΖΙΣΤΟΡ T_1 ΑΓΕΙ ΚΑΙ Η ΕΠΑΦΗ ΒC ΟΔΗΓΕΙΤΑΙ ΣΤΗ ΜΗ ΑΓΩΓΙΜΗ ΚΑΤΑΣΤΑΣΗ ΜΕ ΑΠΟΤΕΛΕΣΜΑ ΤΟ ΤΡΑΝΖΙΣΤΟΡ T_2 ΝΑ ΠΑΡΑΜΕΙΝΕΙ ΣΤΗ ΚΑΤΑΣΤΑΣΗ ΑΠΟΚΟΠΗΣ ΚΑΙ Η ΤΑΣΗ ΕΞΟΔΟΥ ΕΙΝΑΙ ΨΗΛΗ (ΛΟΓΙΚΟ 1).

ΑΝΤΙΘΕΤΑ ΑΝ ΚΑΙ ΟΙ ΔΥΟ ΕΙΣΟΔΟΙ ΒΡΙΣΚΟΝΤΑΙ ΣΤΗ ΨΗΛΗ ΚΑΤΑΣΤΑΣΗ, ΤΟΤΕ ΟΙ ΕΠΑΦΕΣ ΒΕ ΕΙΝΑΙ ΜΗ ΑΓΩΓΙΜΕΣ ΚΑΙ Η ΕΠΑΦΗ ΒC ΟΔΗΓΕΙΤΑΙ ΣΕ ΑΓΩΓΙΜΗ ΚΑΤΑΣΤΑΣΗ ΜΕ ΤΟ ΤΡΑΝΖΙΣΤΟΡ T_2 ΝΑ ΟΔΗΓΗΘΕΙ ΣΕ ΚΟΡΕΣΜΟ ΚΑΙ Η ΤΑΣΗ ΕΞΟΔΟΥ ΝΑ ΕΙΝΑΙ ΧΑΜΗΛΗ (ΛΟΓΙΚΟ 0).



ΒΕΛΤΙΩΜΕΝΟ ΚΥΚΛΩΜΑ ΠΥΛΗΣ NAND ΔΥΟ ΕΙΣΟΔΩΝ

ΣΕΙΡΕΣ TTL

ΧΑΜΗΛΗΣ ΙΣΧΥΟΣ

LOW POWER

74L XXX

ΨΗΛΗΣ ΤΑΧΥΤΗΤΑΣ

HIGH SPEED

74H XXX

ΠΟΛΥ ΨΗΛΗ ΤΑΧΥΤΗΤΑΣ

SCHOTTKY

74S XXX

ΧΑΜΗΛΗ ΙΣΧΥΣ SCHOTTKY

LOW POWER SCHOTTKY

74LS XXX

ΠΡΟΗΓΜΕΝΕΣ ΣΕΙΡΕΣ TTL

ADVANCED SCHOTTKY TTL

74AS XXX

ADVANCED LOW POWER SCHOTTKY

74ALS XXX

FAST TTL

74F XXX

ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΣΕΙΡΑΣ TTL 74XXX

ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ			+5 V
ΛΟΓΙΚΑ ΕΠΙΠΕΔΑ	ΕΞΟΔΟΥ	ΛΟΓΙΚΟ 0 ΛΟΓΙΚΟ 1	0 V - 0,4 V 2,4 V - 5 V
	ΕΙΣΟΔΟΥ	ΛΟΓΙΚΟ 0 ΛΟΓΙΚΟ 1	0 V - 0,8 V 2 V - 5 V
ΠΕΡΙΘΩΡΙΟ ΘΟΡΥΒΟΥ			0,4 V
ΙΚΑΝΟΤΗΤΑ ΟΔΗΓΗΣΗΣ FAN OUT			10
ΙΣΧΥΣ (ΑΝΑ ΠΥΛΗ) POWER DISSIPATION			10 mW
ΚΑΘΥΣΤΕΡΗΣΗ ΔΙΑΔΟΣΗΣ PROPAGATION DELAY			10 ns
ΘΕΡΜΟΚΡΑΣΙΑ ΛΕΙΤΟΥΡΓΙΑΣ	ΣΕΙΡΑ 74 ΕΜΠΟΡΙΚΗ		0 ⁰ C - 70 ⁰ C
	ΣΕΙΡΑ 54 ΣΤΡΑΤΙΩΤΙΚΗ		- 55 ⁰ C - 125 ⁰ C
ΚΑΤΑΣΚΕΥΗ	ΔΙΠΟΛΙΚΑ ΤΡΑΝΖΙΣΤΟΡ		
ΣΥΜΠΕΡΙΦΟΡΑ ΑΣΥΝΔΕΤΗΣ ΕΙΣΟΔΟΥ	ΩΣ ΝΑ ΕΙΝΑΙ ΣΥΝΔΕΔΕΜΕΝΗ ΣΤΟ ΛΟΓΙΚΟ 1		

ΣΥΓΚΡΙΣΗ ΛΟΓΙΚΗΣ ΟΙΚΟΓΕΝΕΙΑΣ SSI TTL

ΣΕΙΡΑ	ΠΥΛΕΣ			ΦΛΙΠ ΦΛΟΠ
	ΓΙΝΟΜΕΝΟ ΤΑΧΥΤΗΤΑΣ ΙΣΧΥΟΣ pJ	ΚΑΘΥΣΤΕΡΗΣΗ ΔΙΑΔΟΣΗΣ ns	ΙΣΧΥΣ mW	ΜΕΓΙΣΤΗ ΤΑΧΥΤΗΤΑ ΛΕΙΤΟΥΡΓΙΑΣ MHz
74LS	19	9,5	2	45
74S	57	3	19	125
74	100	10	10	35
74AS	30	1,5	20	200
74ALS	4 - 6	3 - 4	1 - 2	50

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Να απαντήσετε τις πιο κάτω ερωτήσεις **Αξιολόγησης** στο τετράδιο σας:

- Ερωτήσεις **23, 24, 25, 27, 28, 31, 32** **Σελίδα 121**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΛΟΓΙΚΕΣ ΟΙΚΟΓΕΝΕΙΕΣ ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ CMOS

ΟΝΟΜΑ : ΤΜΗΜΑ :

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- √ Να αναφέρει τις κατηγορίες των Λογικών οικογενειών MOS.
- √ Για τη Λογική οικογένεια CMOS να:
 - Εξηγεί τη λειτουργία βασικών πυλών της λογικής οικογένειας CMOS.
 - Αναφέρει χαρακτηριστικά της λογικής οικογένειας CMOS.
 - Αναφέρει τα κύρια πλεονεκτήματα και μειονεκτήματα των πυλών CMOS .
- √ Να συγκρίνει τη λογική οικογένεια CMOS και TTL.

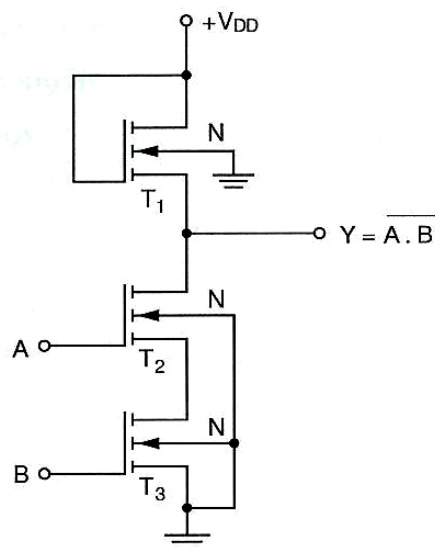
ΛΟΓΙΚΕΣ ΟΙΚΟΓΕΝΕΙΕΣ MOS

METAL OXIDE SEMICONDUCTOR
ΚΑΤΑΣΚΕΥΑΣΜΕΝΕΣ ΑΠΟ ΤΡΑΝΖΙΣΤΟΡ MOSFET:

- √ **NMOS**
- √ **PMOS**
- √ **CMOS**

NMOS

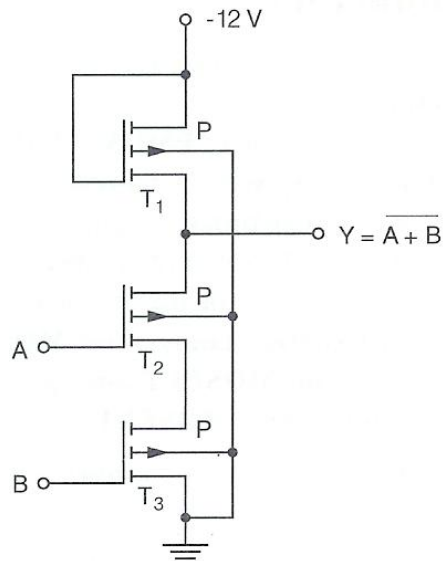
ΚΑΤΑΣΚΕΥΑΣΜΕΝΗ ΑΠΟ ΤΡΑΝΖΙΣΤΟΡ MOSFET ΤΥΠΟΥ N
CHANNEL



**ΠΥΛΗ NAND ΛΟΓΙΚΗΣ
ΟΙΚΟΓΕΝΕΙΑΣ NMOS**

PMOS

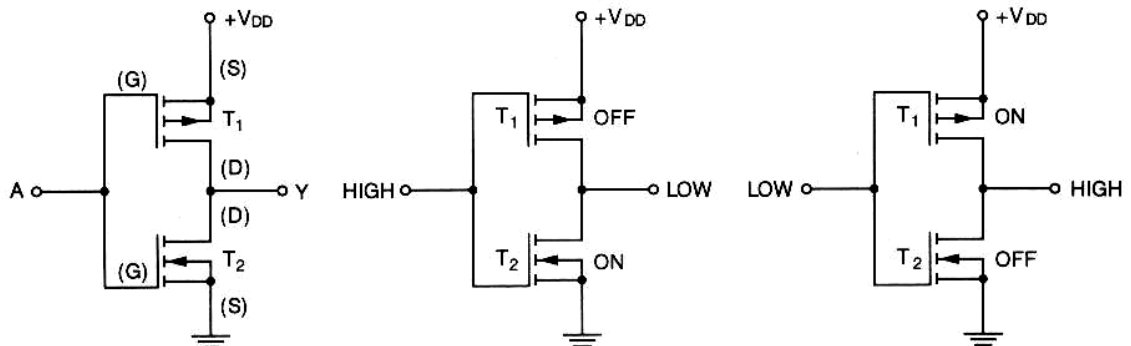
ΚΑΤΑΣΚΕΥΑΣΜΕΝΗ ΑΠΟ ΤΡΑΝΖΙΣΤΟΡ ΜΟΣFET ΤΥΠΟΥ P CHANNEL



ΠΥΛΗ NOR ΛΟΓΙΚΗΣ ΟΙΚΟΓΕΝΕΙΑΣ PMOS

CMOS

COMPLIMENTARY METAL OXIDE ΚΑΤΑΣΚΕΥΑΣΜΕΝΗ ΑΠΟ ΤΡΑΝΖΙΣΤΟΡ ΜΟΣFET ΤΥΠΟΥ P CHANNEL ΚΑΙ ΤΥΠΟΥ N CHANNEL ΣΥΜΠΛΗΡΩΜΑΤΙΚΗΣ ΣΥΜΜΕΤΡΙΑΣ



ΠΥΛΗ NOT ΣΤΗ ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ CMOS

ΣΕΙΡΕΣ CMOS

- **ΣΕΙΡΑ 4000 B** ΚΑΝΟΝΙΚΗ ΣΕΙΡΑ ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ 3 V - 15 V
- **ΣΕΙΡΑ 74 LV** LOW VOLTAGE CMOS ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ 1,65 V - 3,6 V
- **ΣΕΙΡΑ 74 HC** HIGH SPEED CMOS ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ 2 V - 6 V
- **ΣΕΙΡΑ 74 HCT** ΣΥΜΒΑΤΗ ΜΕ ΤΗ ΣΕΙΡΑ TTL ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ 4,5 V - 5,5 V
- **ΣΕΙΡΑ 74 AC** ADVANCED CMOS ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ 3 V - 5,5 V
- **ΣΕΙΡΑ 74 ACT** ADVANCED CMOS TTL ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ 4,5 V - 5,5 V

ΠΛΕΟΝΕΚΤΗΜΑΤΑ ΣΕ ΣΧΕΣΗ ΜΕ ΤΗ ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ TTL

- ο ΠΟΛΥ ΜΙΚΡΗ ΚΑΤΑΝΑΛΩΣΗ ΙΣΧΥΟΣ ΣΕ ΣΧΕΣΗ ΜΕ ΤΗΝ TTL
- ο ΜΕΓΑΛΟ ΒΑΘΜΟ ΟΛΟΚΛΗΡΩΣΗΣ ΛΟΓΩ ΤΟΥ ΜΙΚΡΟΥ ΟΓΚΟΥ ΤΩΝ ΤΡΑΝΖΙΣΤΟΡ. ΔΕΝ ΧΡΕΙΑΖΟΝΤΑΙ ΑΝΤΙΣΤΑΣΕΙΣ ΠΟΥ ΚΑΤΑΛΑΜΒΑΝΟΥΝ ΧΩΡΟ ΟΠΩΣ ΤΑ ΚΥΚΛΩΜΑΤΑ TTL
- ο ΜΕΓΑΛΟ ΠΕΡΙΘΩΡΙΟ ΘΟΡΥΒΟΥ ΜΕΧΡΙ 40% ΤΗΣ ΤΑΣΗΣ ΤΡΟΦΟΔΟΣΙΑΣ
- ο ΚΥΜΑΙΝΟΜΕΝΗ ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ ΑΠΟ 3V - 15 V
- ο ΘΕΡΜΟΚΡΑΣΙΑ ΛΕΙΤΟΥΡΓΙΑΣ ΑΠΟ -40 ° C ΜΕΧΡΙ + 85 ° C
- ο ΙΚΑΝΟΤΗΤΑ ΟΔΗΓΗΣΗΣ - FAN OUT = 50

ΜΕΙΟΝΕΚΤΗΜΑΤΑ

- ο ΑΡΧΙΚΑ ΜΕΓΑΛΟΣ ΣΧΕΤΙΚΑ ΧΡΟΝΟΣ ΔΙΑΔΟΣΗΣ ΚΑΙ ΜΙΚΡΗ ΤΑΧΥΤΗΤΑ ΛΕΙΤΟΥΡΓΙΑΣ. ΜΕ ΤΙΣ ΣΗΜΕΡΙΝΕΣ ΤΕΧΝΟΛΟΓΙΕΣ CMOS ΤΟ ΜΕΙΟΝΕΚΤΗΜΑ ΑΥΤΟ ΕΧΕΙ ΞΕΠΕΡΑΣΤΕΙ.
- ο ΕΥΑΙΣΘΗΣΙΑ ΣΤΟ ΣΤΑΤΙΚΟ ΗΛΕΚΤΡΙΣΜΟ:
 - * ΠΡΕΠΕΙ ΝΑ ΦΥΛΑΣΣΟΝΤΑΙ ΣΕ ΕΙΔΙΚΟ ΑΓΩΓΙΜΟ ΑΦΡΩΔΕΣ ΥΛΙΚΟ
 - * ΟΛΕΣ ΟΙ ΣΥΝΔΕΣΕΙΣ ΠΡΕΠΕΙ ΝΑ ΓΙΝΟΝΤΑΙ ΧΩΡΙΣ ΤΡΟΦΟΔΟΣΙΑ
 - * ΟΛΕΣ ΟΙ ΑΧΡΗΣΙΜΟΠΟΙΗΤΕΣ ΕΙΣΟΔΟΙ ΠΡΕΠΕΙ ΝΑ ΣΥΝΔΕΟΝΤΑΙ ΕΙΤΕ ΣΤΟ ΛΟΓΙΚΟ 1 ΕΙΤΕ ΣΤΟ ΛΟΓΙΚΟ 0 ΑΝΑΛΟΓΑ ΜΕ ΤΗΝ ΕΦΑΡΜΟΓΗ
 - * Ο ΤΕΧΝΙΚΟΣ ΠΟΥ ΧΕΙΡΙΖΕΤΑΙ ΤΑ ΚΥΚΛΩΜΑΤΑ ΜΟΣ ΠΡΕΠΕΙ ΝΑ ΕΙΝΑΙ ΓΕΙΩΜΕΝΟΣ
 - * ΤΑ ΣΗΜΑΤΑ ΕΙΣΟΔΟΥ ΔΕΝ ΠΡΕΠΕΙ ΝΑ ΥΠΕΡΒΑΙΝΟΥΝ ΤΗΝ ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ

ΣΥΓΚΡΙΣΗ ΛΟΓΙΚΩΝ ΟΙΚΟΓΕΝΕΙΩΝ

ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ	RTL	DTL	TTL	ECL	CMOS
ΒΑΣΙΚΗ ΠΥΛΗ	NOR	NAND	NAND	OR-NOR	NAND OR NOR
ΙΚΑΝΟΤΗΤΑ ΟΔΗΓΗΣΗΣ	5	8	10	25	> 50
ΙΣΧΥΣ / mW ΑΝΑ ΠΥΛΗ	12	8 - 12	12 - 22	40 - 55	0, 01
ΠΕΡΙΘΩΡΙΟ ΘΟΡΥΒΟΥ	ΣΧΕΤΙΚΑ ΚΑΛΟ	ΚΑΛΟ	ΚΑΛΟ	ΚΑΛΟ	ΠΟΛΥ ΚΑΛΟ
ΚΑΘΥΣΤΕΡΗΣ Η ΔΙΑΔΟΣΗΣ ΑΝΑ ΠΥΛΗ ns	12	30	12 - 6	4 - 1	70
ΤΑΧΥΤΗΤΑ ΩΡΟΛΟΓΙΟΥ MHz	8	12 - 30	15 - 60	60 - 400	5

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Να απαντήσετε τις πιο κάτω ερωτήσεις **Αξιολόγησης** στο τετράδιο σας:

- **Ερωτήσεις 34, 35, 36, 37, 38** **Σελίδα 121**

Ενότητα 4 - Απαριθμητές

- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - TOGGLE FF
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΑΠΑΡΙΘΜΗΤΩΝ
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΑΣΥΓΧΡΟΝΟΙ ΔΥΑΔΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΑΣΥΓΧΡΟΝΗ ΛΕΙΤΟΥΡΓΙΑ ΑΠΑΡΙΘΜΗΤΩΝ
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΚΑΤΕΥΘΥΝΣΗ ΑΡΙΘΜΗΣΗΣ ΑΣΥΓΧΡΟΝΩΝ ΑΠΑΡΙΘΜΗΤΩΝ
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 6 - ΑΣΥΓΧΡΟΝΗ ΛΕΙΤΟΥΡΓΙΑ JK FF
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 7 - ΔΕΚΑΔΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 8 - ΑΠΑΡΙΘΜΗΤΕΣ MOD
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 9 - ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 4 BIT (IC 7493)
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 10 - ΚΑΝΟΝΕΣ ΣΥΝΔΕΣΗΣ ΑΣΥΓΧΡΟΝΩΝ ΑΠΑΡΙΘΜΗΤΩΝ
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 11 - ΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 12 - ΚΑΝΟΝΕΣ ΣΥΝΔΕΣΗΣ ΣΥΓΧΡΟΝΩΝ ΑΠΑΡΙΘΜΗΤΩΝ

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΑΠΑΡΙΘΜΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - TOGGLE FF

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει τα χρονικά διαγράμματα των εξόδων του JK Φλιπ Φλοπ.
- ✓ Να συνδεσμολογεί ένα T Φλιπ Φλοπ από JK Φλιπ Φλοπ και να σχεδιάζει τα χρονικά διαγράμματα των εξόδων του.
- ✓ Να αναφέρει εφαρμογές του T Φλιπ Φλοπ, όπως οι απαριθμητές και οι διαιρέτες συχνότητας.

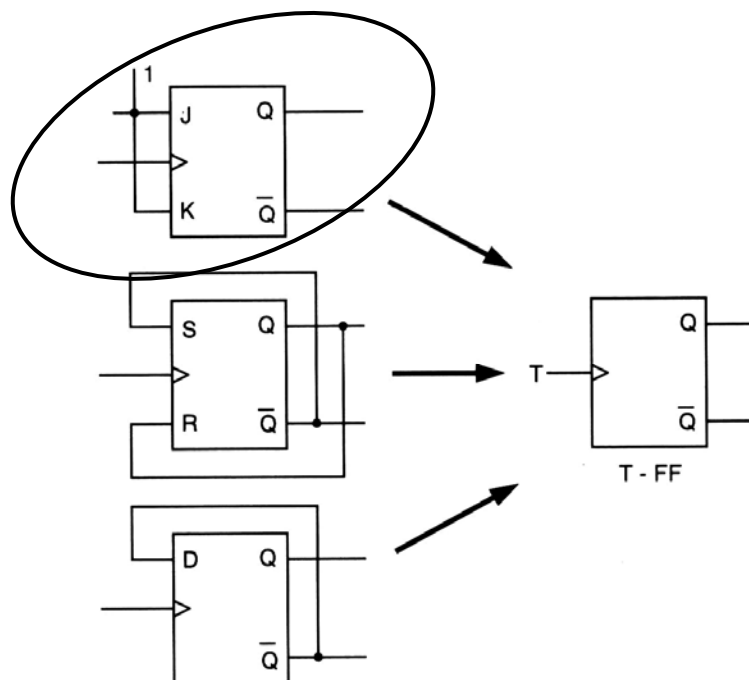
ΑΠΑΡΙΘΜΗΤΕΣ

Οι **απαριθμητές** είναι λογικά κυκλώματα τα οποία αποτελούνται από σειρά Φλιπ Φλοπ κατάλληλα συνδεδεμένα για να **αριθμούν τους παλμούς**, οι οποίοι εφαρμόζονται στην είσοδο τους.

Η πιο απλή κατασκευή ασύγχρονων απαριθμητών είναι με τη χρήση Φλιπ Φλοπ τα οποία λειτουργούν στην **κατάσταση εναλλαγής (TOGGLE)**.

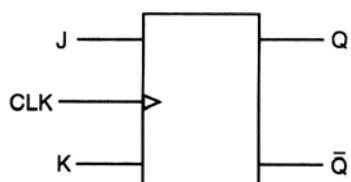
ΕΙΣΑΓΩΓΗ

Το **T Φλιπ Φλοπ ή Toggle Φλιπ Φλοπ** προέρχεται κυρίως από ένα **JK Φλιπ Φλοπ** στο οποίο οι δύο είσοδοι J και K είναι **μόνιμα συνδεδεμένες με το λογικό 1**, έτσι ώστε το Φλιπ Φλοπ να βρίσκεται σε **κατάσταση εναλλαγής** και **για κάθε παλμό του CLOCK η έξοδος να αλλάζει κατάσταση**.



1. JK FLIP FLOP

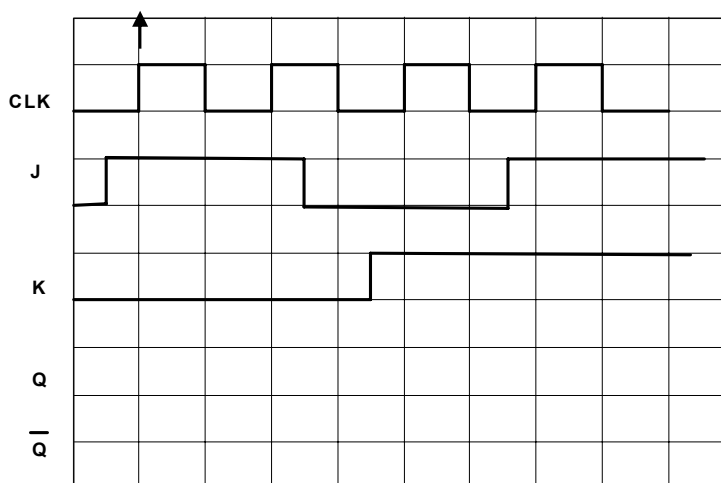
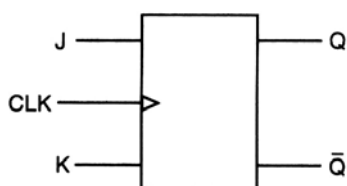
ΑΣΚΗΣΗ 1 Συμπληρώστε τον Πίνακα Αληθείας για το **JK FF** που χρονίζεται στα θετικά μέτωπα των παλμών χρονισμού:



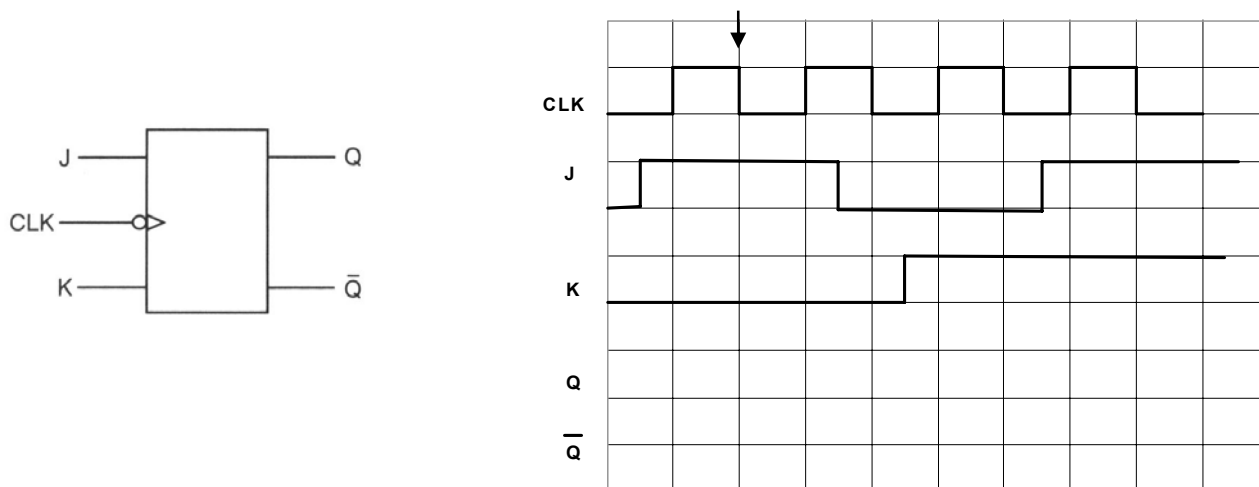
ΕΙΣΟΔΟΙ			ΕΞΟΔΟΙ		ΚΑΤΑΣΤΑΣΗ
CLK	J	K	Q_{N+1}	$\overline{Q_{N+1}}$	
↑	0	0	Q_N	$\overline{Q_N}$	ΜΝΗΜΗ
	0	1			
	1	0			
	1	1			

ΑΣΚΗΣΗ 2 Σχεδιάστε τα λογικά διαγράμματα εξόδου για τα πιο κάτω JK FF's (Η αρχική κατάσταση του FF είναι RESET):

(a) JK FF Χρονιζόμενο στα **θετικά μέτωπα** του CLK



(β) JK FF Χρονιζόμενο στα **αρνητικά μέτωπα** του CLK



2. JK ΦΛΙΠ ΦΛΟΠ ΜΕ ΑΣΥΓΧΡΟΝΗ ΛΕΙΤΟΥΡΓΙΑ PRESET ΚΑΙ CLEAR

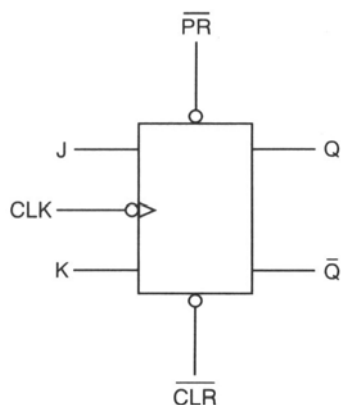
Οι **είσοδοι PRESET και CLEAR** οι οποίες είναι **ενεργές στο χαμηλό επίπεδο** έχουν **προτεραιότητα** από οποιαδήποτε άλλη είσοδο και χρησιμοποιούνται για να οδηγήσουν το FF αρχικά στις καταστάσεις SET και RESET αντίστοιχα.

PRESET = PRESET ΤΟΠΟΘΕΤΩ ΑΡΧΙΚΑ ΣΤΗΝ ΚΑΤΑΣΤΑΣΗ SET
CLEAR = CLEAR ΕΚΚΑΘΑΡΙΖΩ Ή ΜΗΔΕΝΙΖΩ

Συνήθως οι είσοδοι αυτές βρίσκονται στο λογικό 1 ώστε να μην επηρεάζουν την λειτουργία του Φλιπ Φλοπ και στιγμιαία αλλάζουν στο λογικό 0 για να θέσουν το Φλιπ Φλοπ στην επιθυμητή κατάσταση εξόδου. Ακολουθώς επιστρέφουν στο λογικό 1 και το Φλιπ Φλοπ λειτουργεί με βάση τον Πίνακα Αληθείας.

ΑΣΚΗΣΗ 3

Δώστε τη λογική κατάσταση των εξόδων του πιο κάτω JK FF όταν :

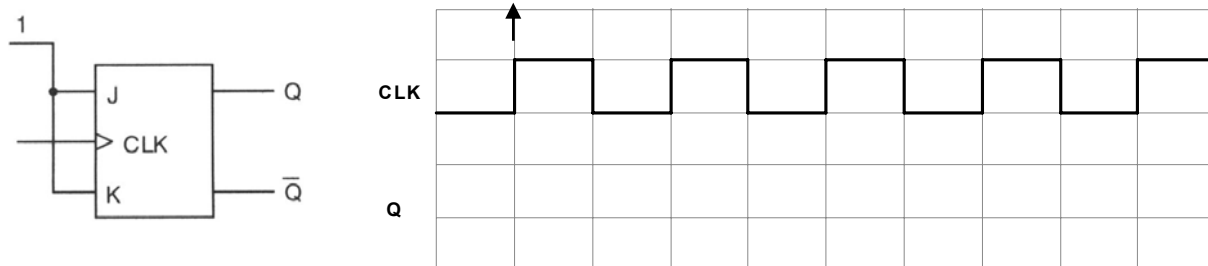


CLK	J	K	\overline{PR}	\overline{CLR}	Q	\overline{Q}	ΚΑΤΑΣΤΑΣΗ
↓	1	0	1	0			
↓	0	1	0	1			
↓	0	1	1	1			
↓	1	0	1	1			
↓	1	1	1	1			

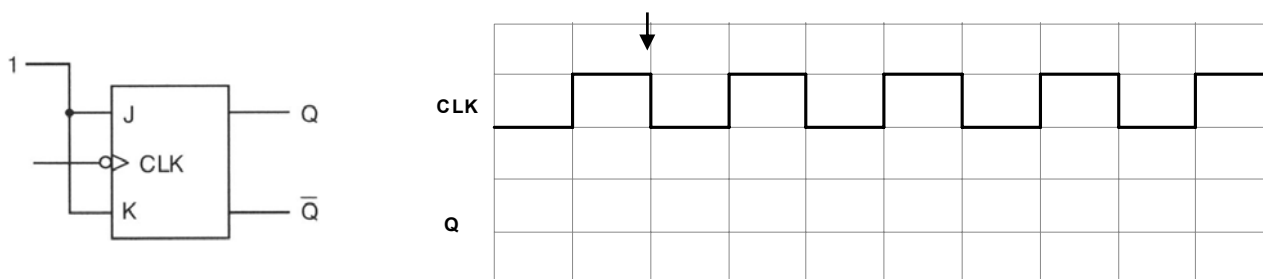
3. TOGGLE FF

ΑΣΚΗΣΗ 4 Σχεδιάστε τα λογικά διαγράμματα εξόδου για τα πιο κάτω JK FF's τα οποία έχουν και τις δυο εισόδους συνδεδεμένες στο λογικό 1 (Κατάσταση Εναλλαγής - Toggle). Η αρχική κατάσταση του FF είναι RESET.

(α) Χρονιζόμενο στα θετικά μέτωπα του CLK



(β) Χρονιζόμενο στα αρνητικά μέτωπα του CLK



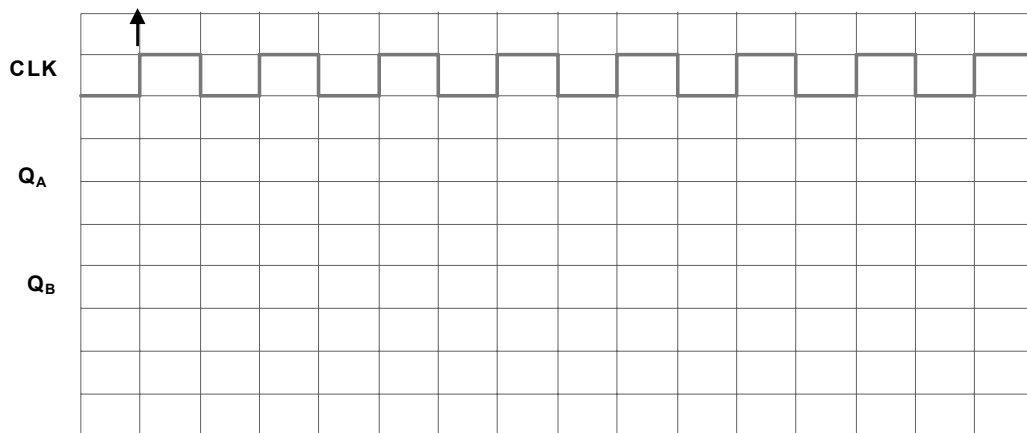
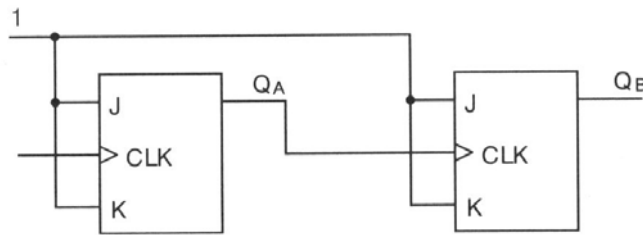
Τι συμβαίνει στη συχνότητα των παλμών εξόδου του FF σε σχέση με το CLK και στις δύο περιπτώσεις;

.....
.....

ΑΣΚΗΣΗ 5

Σχεδιάστε τα λογικά διαγράμματα εξόδου Q_A και Q_B για το πιο κάτω κύκλωμα JK FF's τα οποία έχουν και τις δυο εισόδους συνδεδεμένες στο λογικό 1 (Κατάσταση Εναλλαγής - Toggle)

Η αρχική κατάσταση των FF's είναι RESET)



Εάν η συχνότητα του CLK είναι 400 kHz, δώστε τις συχνότητες εξόδου:

$Q_A = \dots\dots\dots$

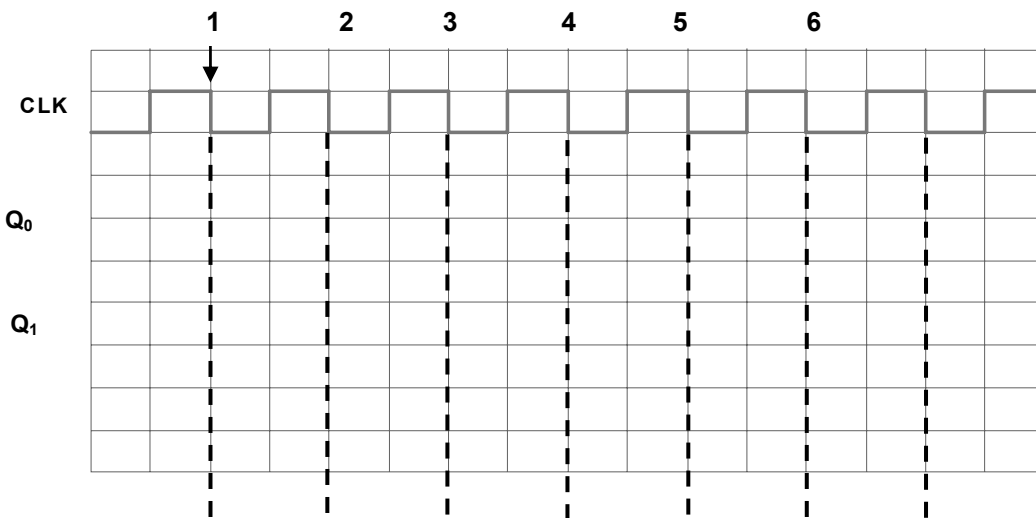
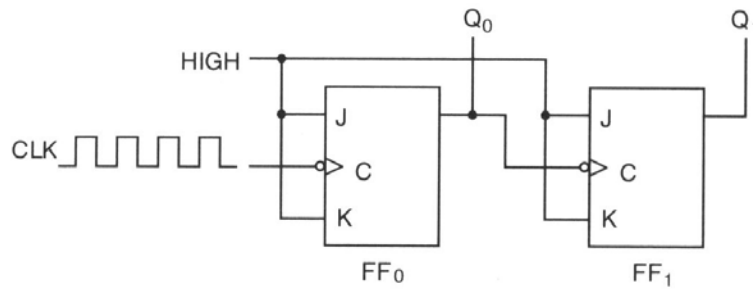
$Q_B = \dots\dots\dots$

Πόσα FF's χρειαζόμαστε αν θέλουμε μια συχνότητα εξόδου 25 kHz; $\dots\dots\dots$ FF's

Ποια είναι η εφαρμογή ενός τέτοιου κυκλώματος:

.....
.....

ΑΣΚΗΣΗ 6 Σχεδιάστε τα λογικά διαγράμματα εξόδου Q_0 και Q_1 για το πιο κάτω κύκλωμα JK FF's τα οποία έχουν και τις δυο εισόδους συνδεδεμένες στο λογικό 1 (Κατάσταση Εναλλαγής - Toggle)
 Η αρχική κατάσταση των FF's είναι RESET)



Συμπληρώστε τον Πίνακα λειτουργίας του κυκλώματος:

A/A	$Q_1 Q_0$	ΔΕΚΑΔΙΚΟΣ ΑΡΙΘΜΟΣ
0	0 0	
1		
2		
3		
4		
5		
6		

Τι παρατηρείτε;

.....

Πως ονομάζεται ένα τέτοιο κύκλωμα;

.....

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΑΠΑΡΙΘΜΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 -ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΑΠΑΡΙΘΜΗΤΩΝ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να ορίζει τι είναι ο ψηφιακός απαριθμητής.
- ✓ Να αναφέρει τα χαρακτηριστικά των απαριθμητών και να τους κατατάσσει σε κατηγορίες.
- ✓ Να υπολογίζει το μέγιστο μέτρο ενός απαριθμητή και τον αριθμό των Φλιπ Φλοπ από τα οποία αποτελείται.

ΕΙΣΑΓΩΓΗ

Οι ψηφιακοί απαριθμητές είναι λογικά κυκλώματα τα οποία αποτελούνται από σειρά Φλιπ Φλοπ τα οποία είναι κατάλληλα συνδεδεμένα για να αριθμούν τους παλμούς, οι οποίοι εφαρμόζονται στην είσοδο τους.

- ✓ **Ασύγχρονοι και Σύγχρονοι Απαριθμητές**
- ✓ **Κατεύθυνση Αρίθμησης**
- ✓ **Κώδικας Αρίθμησης Απαριθμητή**
- ✓ **Αριθμός Φλιπ Φλοπ Απαριθμητή**
- ✓ **Μέτρο και Μέγιστο Μέτρο Απαριθμητή**

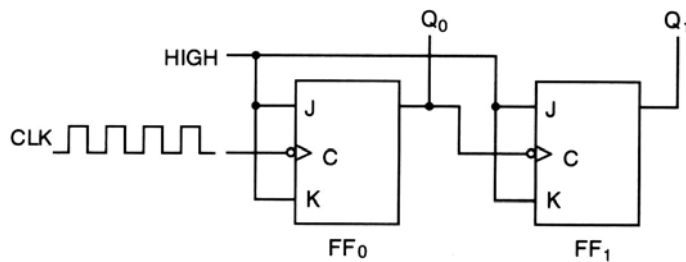
ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΑΠΑΡΙΘΜΗΤΩΝ

• **Ασύγχρονοι και Σύγχρονοι Απαριθμητές**

- ✓ **Σύγχρονοι** Τα Φλιπ Φλοπ των σύγχρονων απαριθμητών αλλάζουν κατάσταση ταυτόχρονα με την εφαρμογή παλμού μέτρησης (CKL)
- ✓ **Ασύγχρονοι** Οι παλμοί μέτρησης εφαρμόζονται στο πρώτο Φλιπ Φλοπ και η Έξοδος του πρώτου Φλιπ Φλοπ συνδέεται στην είσοδο χρονισμού του δεύτερου Φλιπ Φλοπ κ.ο.κ.

ΑΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

Στους **ασύγχρονους απαριθμητές** οι παλμοί μέτρησης **εφαρμόζονται στο πρώτο Φλιπ Φλοπ** και η **έξοδος του πρώτου Φλιπ Φλοπ συνδέεται στην είσοδο χρονισμού - CLOCK** του **δεύτερου Φλιπ Φλοπ** κ.ο.κ.



Τα Φλιπ Φλοπ στους ασύγχρονους απαριθμητές δεν αλλάζουν κατάσταση ταυτόχρονα, αλλά το ένα μετά το άλλο.

Τα Φλιπ Φλοπ στους ασύγχρονους απαριθμητές λειτουργούν στην **κατάσταση εναλλαγής (TOGGLE)**. Συνήθως χρησιμοποιούμε JK Φλιπ Φλοπ στα οποία οι εισόδοι **J και K είναι μόνιμα συνδεδεμένα στο λογικό 1**.

J = 1]	Κατάσταση Εναλλαγής (Toggle)
]	Με κάθε παλμό του ωρολογίου - CLOCK η έξοδος του Φλιπ Φλοπ
K = 1]	αλλάζει κατάσταση

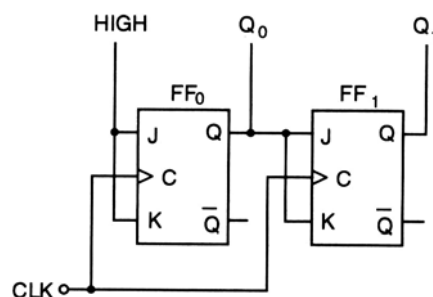
Στους **ασύγχρονους απαριθμητές** χρησιμοποιούμε Φλιπ Φλοπ που **χρονίζονται στα μέτωπα** του **CLOCK**:

Αρνητικά Μέτωπα Παλμών CLK	⇒	Αρίθμηση προς τα πάνω
Θετικά Μέτωπα Παλμών CLK	⇒	Αρίθμηση προς τα κάτω

Οι ασύγχρονοι απαριθμητές είναι πιο **απλοί στην κατασκευή** τους αλλά **πιο αργοί** στην ταχύτητα σε σύγκριση με τους σύγχρονους απαριθμητές, λόγω της **καθυστερήσης διάδοσης (χρόνος καθυστέρησης)** των Φλιπ Φλοπ από τα οποία είναι κατασκευασμένοι.

ΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

Τα Φλιπ Φλοπ στους σύγχρονους απαριθμητές **διεγείρονται ταυτόχρονα** δηλαδή έχουν **κοινό ρολόι (CLK)**. Έτσι η μέγιστη ταχύτητα λειτουργίας των σύγχρονων απαριθμητών είναι πιο μεγάλη από τη μέγιστη λειτουργία των ασύγχρονων απαριθμητών.



- **Κατεύθυνση Αρίθμησης**

- ✓ **Αύξοντες** Ο απαριθμητής μέτρα προς τα πάνω
- ✓ **Φθίνοντες** Ο απαριθμητής μέτρα προς τα κάτω
- ✓ **Αμφίδρομοι** Ο απαριθμητής μετρά προς τα πάνω και προς τα κάτω

- **Κώδικας Αρίθμησης Απαριθμητή**

- ✓ **Δυαδικοί Απαριθμητές** (Binary counters)
- ✓ **Δυαδικά Κωδικοποιημένοι Απαριθμητές (Δεκαδικοί Απαριθμητές)** (BCD Counters)

- **Αριθμός Φλιπ Φλοπ Απαριθμητή**

Ο αριθμός των Φλιπ Φλοπ του απαριθμητή χαρακτηρίζει το μέγεθος του - Κάθε Φλιπ Φλοπ μπορεί να αποθηκεύσει ένα bit - Απαριθμητής με 4 Φλιπ Φλοπ ονομάζεται απαριθμητής των 4 bit.

- **Μέτρο και Μέγιστο Μέτρο Απαριθμητή**

- ✓ **Μέτρο** Είναι ο αριθμός των διαφορετικών λογικών καταστάσεων που μπορεί να πάρει ο απαριθμητής.
(MOD - modulo/ modulus)
MOD 5 - Πέντε διαφορετικές λογικές καταστάσεις.
Αριθμεί 0 - 4.
- ✓ **Μέγιστο Μέτρο** Είναι ο μέγιστος αριθμός των διαφορετικών λογικών καταστάσεων τις οποίες λαμβάνει ο απαριθμητής (**MAX MOD**)

Αριθμητής με n Φλιπ Φλοπ αριθμεί από τον αριθμό 0 - N
Μέγιστο μέτρο απαριθμητή με N Φλιπ Φλοπ

$$N = 2^{n-1}$$
$$\text{Max Mod} = 2^n$$

ΠΑΡΑΔΕΙΓΜΑΤΑ Αριθμητής με 4 Φλιπ Φλοπ

Αριθμεί 0 μέχρι $2^n - 1$ 0 - 15 0000 → 1111
Max Mod = 16 16 διαφορετικές λογικές καταστάσεις

Δεκαδικός απαριθμητής BCD (MOD 10, 0 - 9) επίσης χρησιμοποιεί 4 Φλιπ Φλοπ, δηλαδή έχει 16 λογικές καταστάσεις, αλλά η αρίθμηση σταματά στον αριθμό 9 (Μέτρο 10).

Εργασία στην τάξη

Ενότητα 4 - "Απαριθμητές"

1. Από το βιβλίο σας στην **Ενότητα 4 - Απαριθμητές**, να διαβάσετε τα πιο κάτω:

- **Εισαγωγή** **Σελίδα 128**
- **Ενότητα 4.1 Χαρακτηριστικά Απαριθμητών** **Σελίδες 128 -130**
- **Παράδειγμα 4.1** **Σελίδα 129**

2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:

- **1 - 10** **Σελίδα 158**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΑΠΑΡΙΘΜΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΑΣΥΓΧΡΟΝΟΙ ΔΥΑΔΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει κυκλώματα ασύγχρονων δυαδικών απαριθμητών που μετρούν προς τα πάνω και προς τα κάτω και να εξηγήει τη λειτουργία τους.
- ✓ Να σχεδιάζει τα αντίστοιχα χρονικά διαγράμματα των πιο πάνω ασύγχρονων απαριθμητών.

ΑΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

Οι **απαριθμητές** είναι λογικά κυκλώματα τα οποία αποτελούνται από σειρά Φλιπ Φλοπ κατάλληλα συνδεδεμένα για να **αριθμούν τους παλμούς**, οι οποίοι εφαρμόζονται στην είσοδο τους.

Στους **ασύγχρονους απαριθμητές** οι παλμοί μέτρησης **εφαρμόζονται στο πρώτο Φλιπ Φλοπ** και η **έξοδος του πρώτου** Φλιπ Φλοπ **συνδέεται στην είσοδο χρονισμού - CLOCK** του **δεύτερου** Φλιπ Φλοπ κ.ο.κ.

Τα Φλιπ Φλοπ στους ασύγχρονους απαριθμητές δεν αλλάζουν κατάσταση ταυτόχρονα, αλλά το ένα μετά το άλλο.

Τα Φλιπ Φλοπ στους ασύγχρονους απαριθμητές λειτουργούν στην **κατάσταση εναλλαγής (TOGGLE)**. Συνήθως χρησιμοποιούμε JK Φλιπ Φλοπ στα οποία οι είσοδοι **J και K είναι μόνιμα συνδεδεμένα στο λογικό 1**.

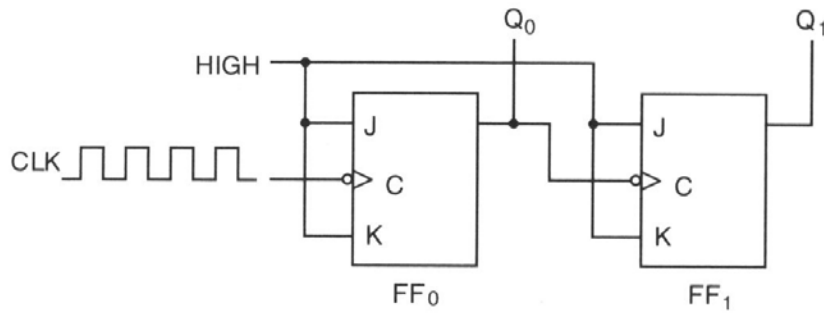
J = 1]	Κατάσταση Εναλλαγής (Toggle)
]	Με κάθε παλμό του ωρολογίου - CLOCK η έξοδος του Φλιπ Φλοπ
K = 1]	αλλάζει κατάσταση

Στους **ασύγχρονους απαριθμητές** χρησιμοποιούμε Φλιπ Φλοπ που **χρονίζονται στα μέτωπα** του **CLOCK**:

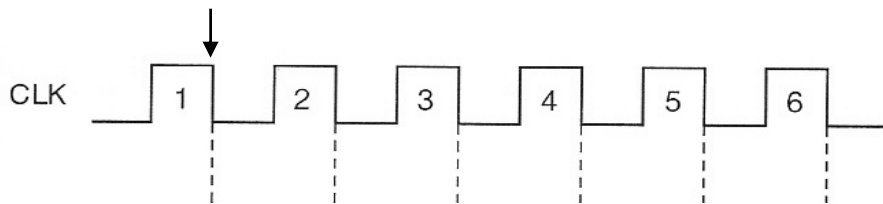
Αρνητικά Μέτωπα Παλμών CLK	⇒	Αρίθμηση προς τα πάνω
Θετικά Μέτωπα Παλμών CLK	⇒	Αρίθμηση προς τα κάτω

Οι ασύγχρονοι απαριθμητές είναι πιο **απλοί στην κατασκευή** τους αλλά **πιο αργοί** στην ταχύτητα σε σύγκριση με τους σύγχρονους απαριθμητές, λόγω της **καθυστερήσης διάδοσης (χρόνος καθυστέρησης)** των Φλιπ Φλοπ από τα οποία είναι κατασκευασμένοι.

Ασύγχρονος Απαριθμητής 2-Bit που μετρά προς τα άνω



ΑΣΚΗΣΗ 1 Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων Q_0 και Q_1 του ασύγχρονου δυαδικού απαριθμητή των 2-Bit ο οποίος αριθμεί προς τα πάνω. Τα Φλιπ Φλοπ αρχικά βρίσκονται σε κατάσταση **RESET**.



Να συμπληρώσετε τον Πίνακα Λειτουργίας του απαριθμητή και να επιβεβαιώσετε έτσι τη λειτουργία του

Σημείωση: Η έξοδος Q_0 είναι το ψηφίο με την ελάχιστη σημαντική αξία και η έξοδος Q_1 το ψηφίο με τη μέγιστη σημαντική αξία:

Αρίθμηση $Q_1 Q_0$

Ρολόι (CLK) A/A	$Q_1 Q_0$	Δεκαδικός Αριθμός
0	0 0	0
1		
2		
3		
4		
5		
6		

Να γράψετε τις παρατηρήσεις σας για τη λειτουργία του απαριθμητή:

.....

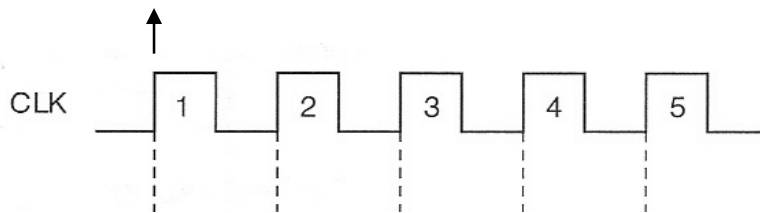
.....

.....

Ασύγχρονος Διαδικός Απαριθμητής 2-Bit που μετρά προς τα κάτω

ΑΣΚΗΣΗ 2 Με τη χρήση **δύο JK Φλιπ Φλοπ** τα οποία χρονίζονται στα **θετικά μέτωπα παλμών** του CLOCK να σχεδιάσετε το κύκλωμα ασύγχρονου διαδικού απαριθμητή των 2-Bit . Τα Φλιπ Φλοπ **αρχικά** βρίσκονται σε κατάσταση **RESET**.

Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων Q_1 και Q_2 του απαριθμητή και να συμπληρώσετε τον Πίνακα Λειτουργίας του κυκλώματος. Τα Φλιπ Φλοπ **αρχικά** βρίσκονται σε κατάσταση **RESET**.



Ρολόι (CLK) A/A	$Q_1 Q_0$	Δεκαδικός Αριθμός
0	1 1	3
1		
2		
3		
4		
5		

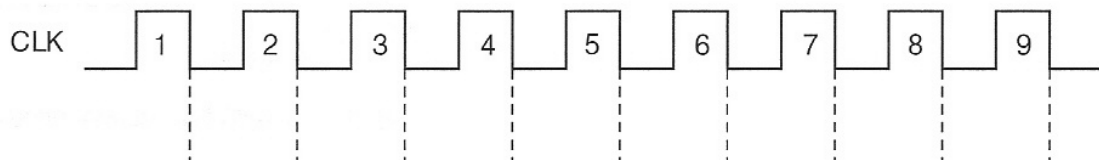
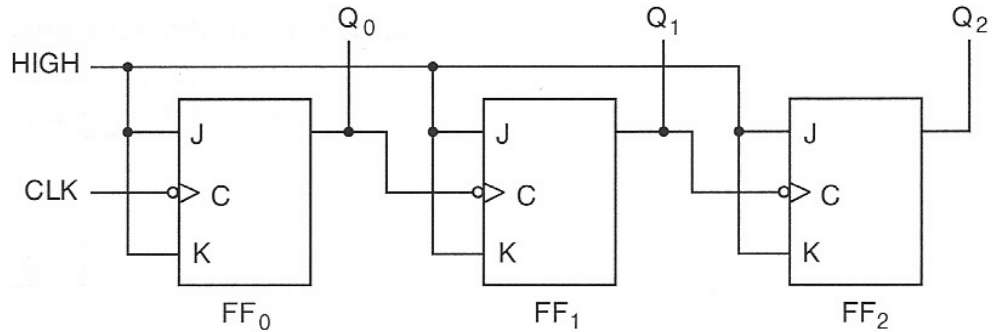
Να γράψετε τις παρατηρήσεις σας για την κατεύθυνση αρίθμησης του απαριθμητή σε σύγκριση με το κύκλωμα της **Άσκησης 1**:

- (α) Σε ποια κατεύθυνση αριθμεί;
(β) Τι νομίζετε καθορίζει την κατεύθυνση αρίθμησης;

.....
.....
.....
.....

Ασύγχρονος Δυαδικός Απαριθμητής 3-Bit που μετρά προς τα πάνω

ΑΣΚΗΣΗ 3 Δίνεται το κύκλωμα δυαδικού απαριθμητή 3-Bit που μετρά προς τα πάνω. Να σχεδιάσετε τα λογικά διαγράμματα των τριών εξόδων του απαριθμητή. Τα Φλιπ Φλοπ αρχικά βρίσκονται σε **κατάσταση μηδενισμού (RESET)**.



Αν η καθυστέρηση διάδοσης του κάθε Φλιπ Φλοπ είναι 12 ns να υπολογίσετε το χρόνο που χρειάζεται να αλλάξει κατάσταση ο απαριθμητής από το 111 στο 000.

.....

.....

.....

Ασύγχρονος Δυαδικός Απαριθμητής 4-Bit που μετρά προς τα κάτω

ΑΣΚΗΣΗ 4 Με τη χρήση **4 JK Φλιπ Φλοπ** τα οποία χρονίζονται στα **θετικά μέτωπα παλμών** του CLOCK να σχεδιάσετε το κύκλωμα ασύγχρονου δυαδικού απαριθμητή των 4-Bit ο οποίος αριθμεί **προς τα κάτω**. Η αρχική κατάσταση των Φλιπ Φλοπ είναι η **RESET**.

ΑΣΚΗΣΗ 5 Ασύγχρονος δυαδικός απαριθμητής έχει 5 Φλιπ Φλοπ με χρόνο καθυστέρησης για κάθε Φλιπ Φλοπ 20 ns.

(α) Να υπολογίσετε το μέγιστο χρόνο καθυστέρησης στη λειτουργία του Φλιπ Φλοπ

(β) Να υπολογίσετε τη μέγιστη συχνότητα λειτουργίας του απαριθμητή.

.....

.....

.....

.....

.....

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 4 - "Απαριθμητές"

1. Από το βιβλίο σας στην **Ενότητα 4 - Απαριθμητές**, να διαβάσετε τα πιο κάτω:
 - **Ενότητα 4.2 Ασύγχρονοι Απαριθμητές Σελίδες 130 - 137**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - **Ερωτήσεις 11, 13, 15(γ), 21, 22 Σελίδα 158/9**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΑΠΑΡΙΘΜΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΑΣΥΓΧΡΟΝΗ ΛΕΙΤΟΥΡΓΙΑ ΑΠΑΡΙΘΜΗΤΩΝ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

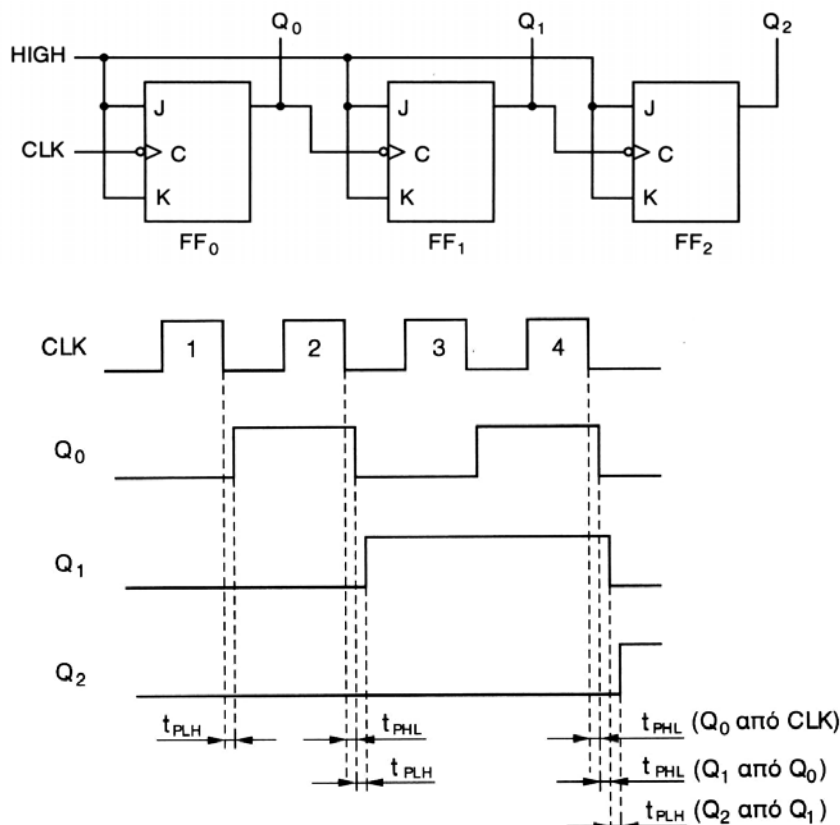
- ✓ Να υπολογίζει το χρόνο καθυστέρησης των ασύγχρονων απαριθμητών.
- ✓ Να υπολογίζει το χρόνο καθυστέρησης των σύγχρονων απαριθμητών.
- ✓ Να υπολογίζει τη μέγιστη ταχύτητα λειτουργίας των ασύγχρονων απαριθμητών.

ΑΣΥΓΧΡΟΝΗ ΛΕΙΤΟΥΡΓΙΑ ΑΠΑΡΙΘΜΗΤΩΝ

Στους **ασύγχρονους απαριθμητές** οι παλμοί μέτρησης **εφαρμόζονται στο πρώτο Φλιπ Φλοπ** και η **έξοδος του πρώτου Φλιπ Φλοπ συνδέεται στην είσοδο χρονισμού - CLOCK** του **δεύτερου Φλιπ Φλοπ** κ.ο.κ.

Έτσι η μέγιστη ταχύτητα αρίθμησης των **ασύγχρονων απαριθμητών εξαρτάται από τη χρονική καθυστέρηση** με την οποία λειτουργούν τα FF's .

Αυτή ουσιαστικά ορίζεται από το χρόνο διάδοσης της συγκεκριμένης λογικής οικογένειας.



✓ Οι έξοδοι καθυστερούν κατά:

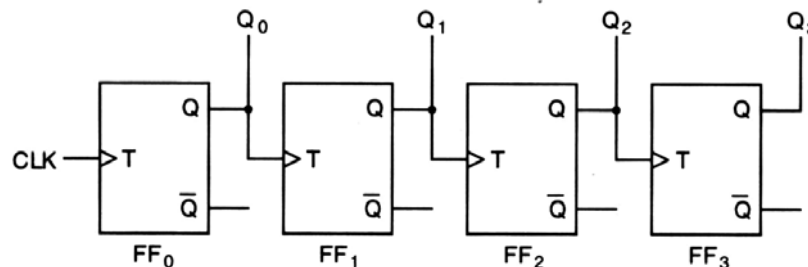
- Q₀** Μια χρονική διάρκεια **t_{PLH}**
- Q₁** Δυο χρονικές διάρκειες
- Q₂** Τρεις χρονικές διάρκειες

ΣΗΜΕΙΩΣΗ: Ο ολικός χρόνος καθυστέρησης του απαριθμητή δεν πρέπει να υπερβαίνει την περίοδο των παλμών αρίθμησης (CLOCK), διότι διαφορετικά το κύκλωμα θα χάσει τουλάχιστον ένα παλμό και θα μετρά λανθασμένα.

ΠΑΡΑΔΕΙΓΜΑ

Απαριθμητής με 4 FF's και χρόνο καθυστέρησης t_{PLH} έχει μέγιστη ταχύτητα αρίθμησης:

$$f_{\max} = \frac{1}{T} = \frac{1}{n \cdot t_{PLH}} = \frac{1}{4 \cdot t_{PLH}}$$



Υπολογίστε τη μέγιστη συχνότητα αρίθμησης ασύγχρονου απαριθμητή με 10 Φλιπ Φλοπ και με χρόνο καθυστέρησης για κάθε Φλιπ Φλοπ 20 ns:

$$f_{\max} = \frac{1}{10 \times 20 \text{ ns}} = 5 \text{ MHz}$$

ΑΣΚΗΣΗ 1

Ένας ασύγχρονος δυαδικός απαριθμητής των 4 - Bit έχει Φλιπ Φλοπ με χρόνο καθυστέρησης 12 ns.

Να υπολογίσετε το χρόνο που χρειάζεται ο απαριθμητής για να αλλάξει από τη λογική κατάσταση 1111 στη λογική κατάσταση 0000.

.....

ΑΣΚΗΣΗ 2 Ένας ασύγχρονος δυαδικός απαριθμητής με 5 Φλιπ Φλοπ έχει χρόνο καθυστέρησης 10 ns για κάθε Φλιπ Φλοπ.

Να υπολογίσετε το μέγιστο χρόνο καθυστέρησης του απαριθμητή και τη μέγιστη συχνότητα λειτουργίας του.

Μέγιστος χρόνος καθυστέρησης:

.....

Μέγιστη Συχνότητα Λειτουργίας

.....

ΑΣΚΗΣΗ 3: Ασύγχρονος δυαδικός απαριθμητής χρησιμοποιεί Φλιπ Φλοπ με χρόνο καθυστέρησης 50 ns. Αν η συχνότητα του CLK είναι 2 MHz, να υπολογίσετε:

(α) Το μέγιστο αριθμό των FFs του απαριθμητή.

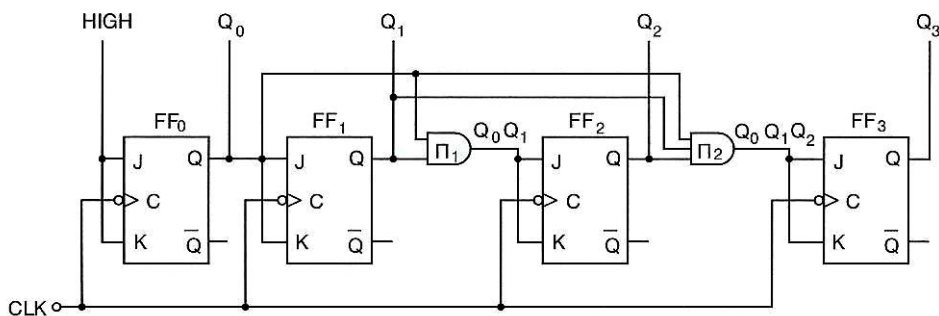
Σημείωση: Υπολογίστε πρώτα την περίοδο του CLK.

.....

(β) Το μέγιστο μέτρο (MOD) του απαριθμητή.

.....

ΑΣΚΗΣΗ 4: Δίνεται το κύκλωμα σύγχρονου δυαδικού απαριθμητή 4 bit ο οποίος αριθμεί προς τα πάνω. Ο χρόνος καθυστέρησης για κάθε Φλιπ Φλοπ είναι 20 ns.



Σε τι διαφέρει το πιο πάνω κύκλωμα από τους ασύγχρονους απαριθμητές;

.....

.....

.....

Να υπολογίσετε το χρόνο που χρειάζεται ο απαριθμητής για να αλλάξει από τη λογική κατάσταση 1111 στη λογική κατάσταση 0000.

.....
Να υπολογίσετε τη μέγιστη συχνότητα λειτουργίας του απαριθμητή.
.....

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 4 - "Απαριθμητές"

1. Από το βιβλίο σας στην **Ενότητα 4 - Απαριθμητές**, να διαβάσετε τα πιο κάτω:
 - **Ενότητα 4.2 Ασύγχρονη Λειτουργία Απαριθμητή** **Σελίδα 135**
 - **Παράδειγμα 4.2** **Σελίδα 135**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - **Ερωτήσεις 14, 23, 24** **Σελίδες 158/9**

ΟΝΟΜΑ : ΤΜΗΜΑ :

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

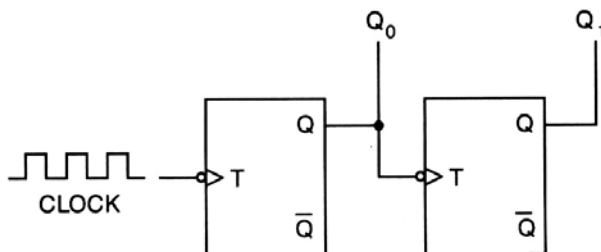
- ✓ Να αναφέρει τους κανόνες που καθορίζουν την κατεύθυνση αρίθμησης των ασύγχρονων απαριθμητών
- ✓ Να αλλάξει την κατεύθυνση αρίθμησης των ασύγχρονων απαριθμητών.

ΚΑΝΟΝΕΣ ΚΑΤΕΥΘΥΝΣΗΣ ΑΡΙΘΜΗΣΗΣ ΑΣΥΓΧΡΟΝΩΝ ΑΠΑΡΙΘΜΗΤΩΝ

Δίδονται οι **κανόνες της κατεύθυνσης αρίθμησης** των ασύγχρονων απαριθμητών:

- ✓ Οι εξόδοι Q των Φλιπ Φλοπ είναι οι εξόδοι του απαριθμητή.
- ✓ Οι παλμοί μέτρησης εφαρμόζονται στο ρολόι του 1^{ου} Φλιπ Φλοπ και οι εξόδοι Q χρησιμοποιούνται για να χρονίσουμε τα επόμενα Φλιπ Φλοπ.
- ✓ Τα Φλιπ Φλοπ χρονίζονται στα **αρνητικά μέτωπα παλμών** μέτρησης **ΑΡΙΘΜΗΣΗ ΠΡΟΣ ΤΑ ΑΝΩ**
- ✓ Τα Φλιπ Φλοπ χρονίζονται στα θετικά μέτωπα παλμών μέτρησης **ΑΡΙΘΜΗΣΗ ΠΡΟΣ ΤΑ ΚΑΤΩ**
- ✓ Αν χρησιμοποιήσουμε τις **συμπληρωματικές εξόδους \bar{Q}** για να χρονίσουμε τα επόμενα Φλιπ Φλοπ τότε η **κατεύθυνση** που δίδεται πιο πάνω **αλλάζει**.

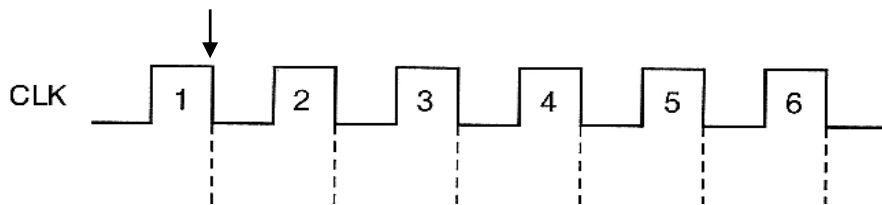
ΑΣΚΗΣΗ 1 Δίδεται το κύκλωμα ασύγχρονου δυαδικού απαριθμητή των 2-Bit



- Το πρώτο Φλιπ Φλοπ χρονίζεται στα αρνητικά μέτωπα των παλμών μέτρησης
- Το επόμενο Φλιπ Φλοπ χρονίζεται στα αρνητικά μέτωπα παλμών της εξόδου Q του προηγούμενου Φλιπ Φλοπ

Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων Q_0 και Q_1 του απαριθμητή και έτσι να καθορίσετε την κατεύθυνση αρίθμησης.

Η αρχική κατάσταση των Φλιπ Φλοπ είναι η **RESET**.



Q_0

Q_1

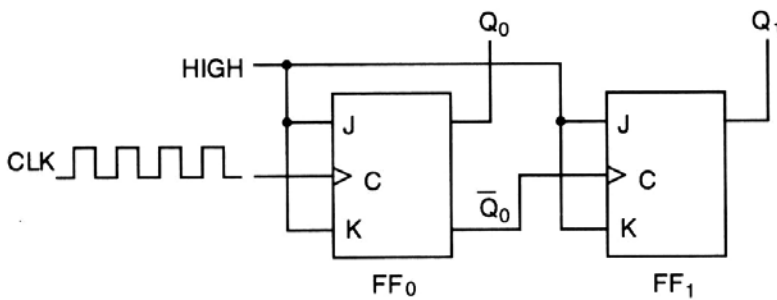
Q_1Q_0

ΣΥΜΠΕΡΑΣΜΑ:

Τα Φλιπ Φλοπ του απαριθμητή χρονίζονται στα αρνητικά μέτωπα των παλμών χρονισμού και η κατεύθυνση αρίθμησης είναι προς τα

ΑΣΚΗΣΗ 2

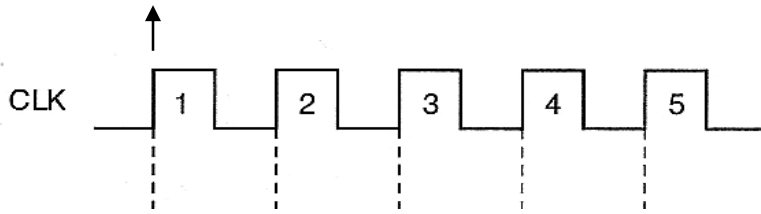
Δίδεται το κύκλωμα ασύγχρονου δυαδικού απαριθμητή των 2-Bit:



- Το πρώτο Φλιπ Φλοπ χρονίζεται στα θετικά μέτωπα των παλμών μέτρησης.
- Το επόμενο Φλιπ Φλοπ χρονίζεται στα θετικά μέτωπα των παλμών της εξόδου \bar{Q} του προηγούμενου Φλιπ Φλοπ.

Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων Q_0 , \bar{Q}_0 και Q_1 του απαριθμητή και έτσι να καθορίσετε την κατεύθυνση αρίθμησης.

Η αρχική κατάσταση των Φλιπ Φλοπ είναι η **RESET**.



Q_0

\bar{Q}_0

Q_1

Q_1Q_0

Καθορίστε την κατεύθυνση αρίθμησης του απαριθμητή και γράψτε τους κανόνες που καθορίζουν την κατεύθυνση σ' αυτή την περίπτωση:

.....

.....

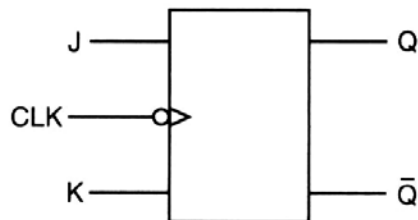
.....

.....

.....

Άσκηση 3

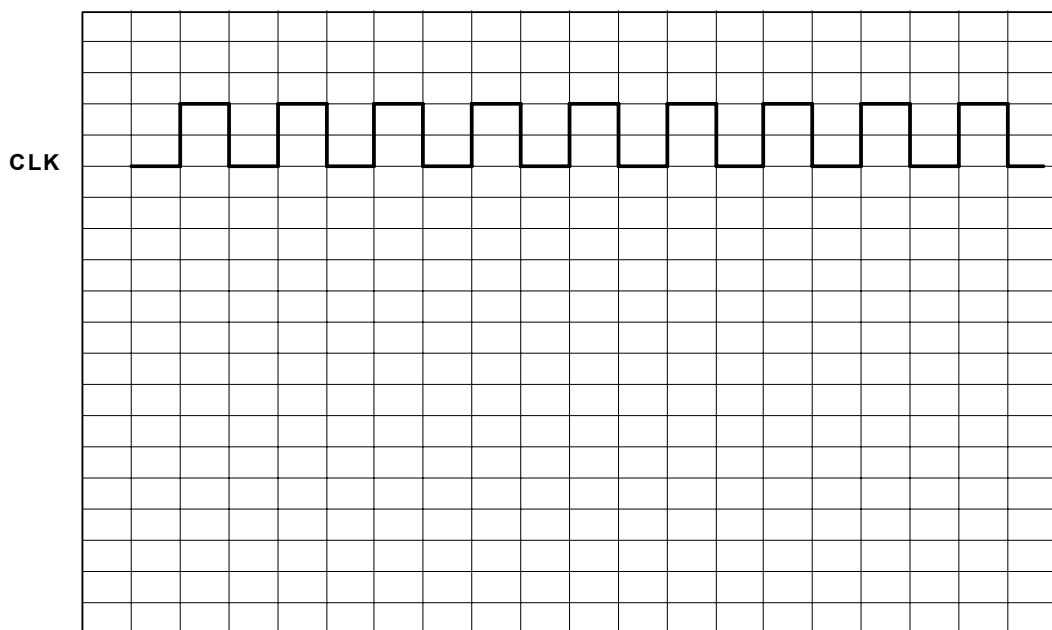
Να σχεδιάσετε ένα δυαδικό απαριθμητή 3-Bit που αριθμεί προς τα κάτω με τη χρήση JK Φλιπ Φλοπ τα οποία χρονίζονται στα αρνητικά μέτωπα των παλμών CLOCK.



ΣΗΜΕΙΩΣΗ

Να λάβετε υπ' όψη τους πιο πάνω κανόνες που καθορίζουν την κατεύθυνση αρίθμησης των ασύγχρονων απαριθμητών.

Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων Q και \bar{Q} για κάθε έξοδο του απαριθμητή, αν η **αρχική κατάσταση** των Φλιπ Φλοπ είναι η **RESET**.



Συμπληρώστε τον Πίνακα Λειτουργίας του απαριθμητή και έτσι επιβεβαιώσετε την κατεύθυνση αρίθμησης προς τα κάτω.

A/A	$Q_2Q_1Q_0$	Δεκ Αριθμός
1		
2		
3		
4		
5		
6		
7		
8		
9		

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΑΠΑΡΙΘΜΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 6 - ΑΣΥΓΧΡΟΝΗ ΛΕΙΤΟΥΡΓΙΑ JK FF

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να αναφέρει την αρχή λειτουργίας των JK Φλιπ Φλοπ με ασύγχρονες εισόδους PRESET και CLEAR.
- ✓ Να σχεδιάζει τα χρονικά διαγράμματα εξόδων JK Φλιπ Φλοπ με ασύγχρονες εισόδους.

JK ΦΛΙΠ ΦΛΟΠ ΜΕ ΑΣΥΓΧΡΟΝΗ ΛΕΙΤΟΥΡΓΙΑ

Στους απαριθμητές είναι αναγκαίο να τοποθετηθούν τα Φλιπ Φλοπ του κυκλώματος σε μια αρχική κατάσταση, ώστε η αρίθμηση να αρχίσει από ένα συγκεκριμένο σημείο.

Για να επιτευχθεί αυτό χρησιμοποιούνται οι ασύγχρονες εισόδοι **PRESET** και **CLEAR**.

Οι εισοδοι **PRESET** και **CLEAR** έχουν **προτεραιότητα** από όλες τις άλλες εισόδους του Φλιπ Φλοπ και μπορούν να κάνουν **SET** ή **RESET** το Φλιπ Φλοπ ανεξάρτητα από την κατάσταση των εισόδων J και K του Φλιπ Φλοπ και την κατάσταση του CLK:

- ✓ **ΕΙΣΟΔΟΣ CLEAR (CLR) ΠΟΥ ΕΙΝΑΙ ΕΝΕΡΓΗ ΣΤΟ ΧΑΜΗΛΟ ΣΗΜΑ**

ΟΤΑΝ ΣΗΜΑ CLEAR = 0, ΤΟΤΕ ΤΟ ΦΛΙΠ ΦΛΟΠ ΟΔΗΓΕΙΤΑΙ ΣΤΗΝ ΚΑΤΑΣΤΑΣΗ RESET ⇒ **Q = 0**

$\overline{\text{CLR}}$

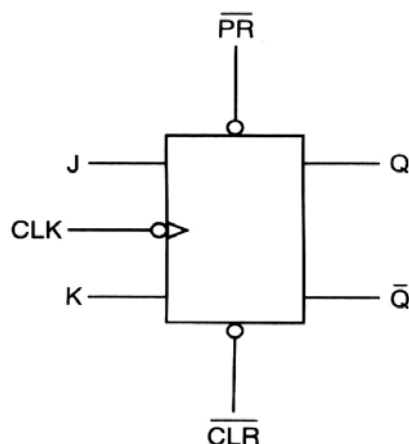
Ξεχωρίζουμε ότι το σήμα αυτό είναι **ενεργό στο χαμηλό επίπεδο** με την **αναστροφή και τον κύκλο** στην είσοδο

- ✓ **ΕΙΣΟΔΟΣ PRESET (PR) ΠΟΥ ΕΙΝΑΙ ΕΝΕΡΓΗ ΣΤΟ ΧΑΜΗΛΟ ΣΗΜΑ**

ΟΤΑΝ ΣΗΜΑ PRESET = 0, ΤΟΤΕ ΤΟ ΦΛΙΠ ΦΛΟΠ ΟΔΗΓΕΙΤΑΙ ΣΤΗΝ ΚΑΤΑΣΤΑΣΗ SET ⇒ **Q = 1**

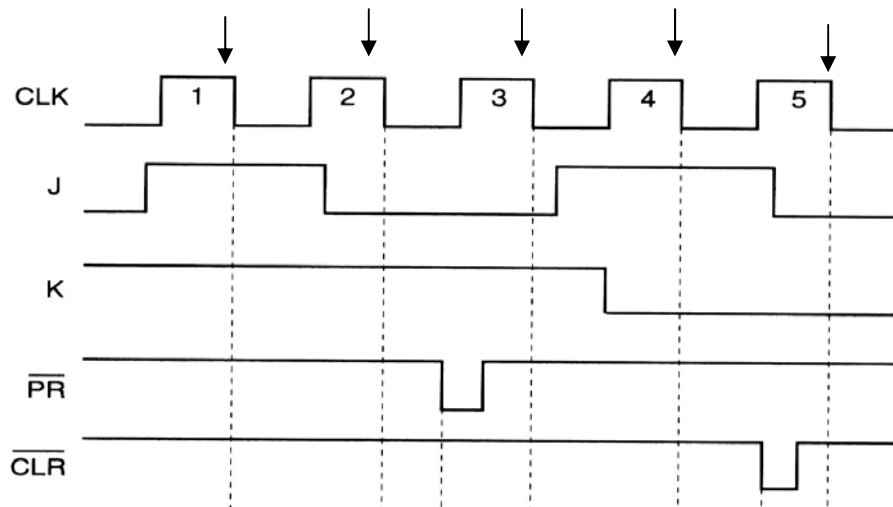
$\overline{\text{PR}}$

Ξεχωρίζουμε ότι το σήμα αυτό είναι **ενεργό στο χαμηλό επίπεδο** με την **αναστροφή και τον κύκλο** στην είσοδο



Άσκηση

Να σχεδιάσετε τα λογικά διαγράμματα της εξόδου Q για το πιο πάνω JK Φλιπ Φλοπ το οποίο χρονίζεται στα αρνητικά μέτωπα των παλμών του ωρολογίου και έχει ασύγχρονες εισόδους PRESET και CLEAR



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΑΠΑΡΙΘΜΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 7 - ΔΕΚΑΔΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει κύκλωμα ασύγχρονου δεκαδικού απαριθμητή και να εξηγεί τη λειτουργία του.
- ✓ Να σχεδιάζει τα χρονικά διαγράμματα του δεκαδικού απαριθμητή.

ΔΕΚΑΔΙΚΟΙ ΑΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ - BCD COUNTERS

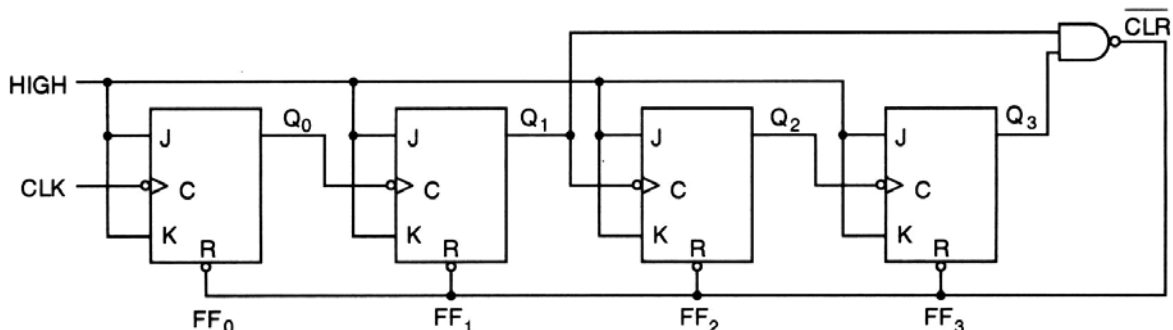
Αριθμούν από το 0 μέχρι το 9, **0000 ⇒ 1001**

Ο απαριθμητής μετρά **10 χρονικούς παλμούς** από το 0 μέχρι το 9 και στον **ενδέκατο παλμό μέτρησης** θα πρέπει να **μηδενιστεί** και να **επαναρχίσει την αρίθμηση** από την αρχή.

$$Q_3 Q_2 Q_1 Q_0 = 1010$$

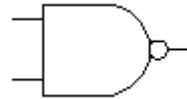
10 ⇒ 1010 τότε πρέπει $\overline{CLR} = 0$ Τα Φλιπ Φλοπ μηδενίζονται
 $\overline{CLR} = \overline{Q_3} Q_1$

Κύκλωμα Απαριθμητή



Σημείωση: Η μηδένιση του απαριθμητή επιτυγχάνεται μέσω της ασύγχρονης εισόδου **CLEAR**, η οποία παραμένει ανενεργή στο λογικό 1 για την κανονική λειτουργία του κυκλώματος και τη συγκεκριμένη στιγμή όταν ο απαριθμητής φτάνει στο 10 (1010), η έξοδος της πύλης NAND μεταβαίνει στιγμιαία στο 0 με αποτέλεσμα η αρίθμηση να επαναρχίσει από το μηδέν.

Πύλη NAND		
Είσοδοι		Έξοδος
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

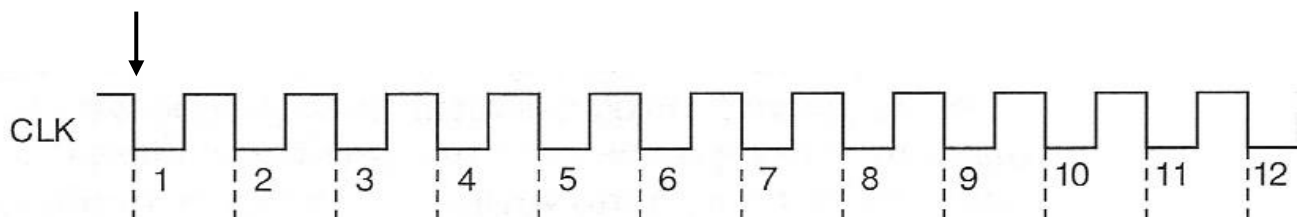


Άσκηση 1 Να σχεδιάσετε τα λογικά διαγράμματα των εξόδων του δεκαδικού απαριθμητή. Η αρχική κατάσταση του απαριθμητή είναι η **RESET**.

Σημείωση: Να λάβετε υπ' όψη ότι τη συγκεκριμένη χρονική στιγμή που η έξοδος του απαριθμητή στιγμιαία θα βρεθεί στο 1010 (10), δηλαδή:

$Q_3 = 1$ και $Q_1 = 1 \Rightarrow$ Ο απαριθμητής μηδενίζεται

Να σχεδιάσετε επίσης το χρονικό διάγραμμα του σήματος CLEAR



Άσκηση 2 Από τα χρονικά διαγράμματα των εξόδων του δεκαδικού απαριθμητή που σχεδιάσατε στην **Άσκηση 1**, να υπολογίσετε την συχνότητα των παλμών της εξόδου Q_3 του απαριθμητή σε σχέση με τη συχνότητα των παλμών CLK που εφαρμόζονται στην είσοδο του κυκλώματος.

.....
.....
.....
.....

Άσκηση 3 Να αναφέρετε μια εφαρμογή ενός τέτοιου κυκλώματος.

.....
.....
.....
.....

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 4 - "Απαριθμητές"

1. Από το βιβλίο σας στην **Ενότητα 4 - Απαριθμητές**, να διαβάσετε τα πιο κάτω:
 - **Ενότητα 4.2.9 Ασύγχρονος Δεκαδικός Απαριθμητής Σελίδα 139**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - **20 (γ) Σελίδα 159**

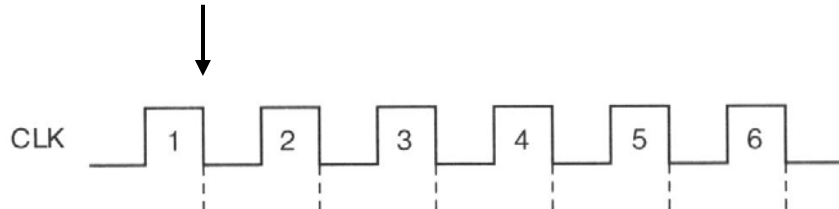
Άσκηση 2

Να σχεδιάσετε τα λογικά διαγράμματα των εξόδων απαριθμητή MOD 5

Σημείωση: Να λάβετε υπ' όψη ότι τη συγκεκριμένη χρονική στιγμή που η έξοδος του απαριθμητή στιγμιαία θα βρεθεί στο 101 (5), δηλαδή:

$$Q_2 = 1 \text{ και } Q_0 = 1 \Rightarrow \text{Ο απαριθμητής μηδενίζεται}$$

Να σχεδιάσετε επίσης το χρονικό διάγραμμα του σήματος CLEAR



Άσκηση 3

Να σχεδιάσετε κύκλωμα απαριθμητή MOD 6. Πριν σχεδιάσετε το κύκλωμα, υπολογίστε και συμπληρώσετε:

ΑΡΙΘΜΟΣ ΦΛΙΠ ΦΛΟΠ:

ΜΕΓΙΣΤΟ ΜΕΤΡΟ ΑΠΑΡΙΘΜΗΤΗ :

Ο απαριθμητής αριθμεί από το δυαδικό αριθμό 000 μέχρι τον αριθμό και μηδενίζεται στον αριθμό

Δώστε τη λογική συνάρτηση του σήματος εκκαθάρισης CLEAR $\overline{\text{CLR}} = \dots\dots\dots$

Σημείωση:

Οι είσοδοι J και K συνδέονται μόνιμα στο **λογικό 1 (Κατάσταση εναλλαγής)**

Οι **παλμοί μέτρησης** εφαρμόζονται στο **CLOCK του 1^{ου}** Φλιπ Φλοπ και η **έξοδος του 1^{ου}** τροφοδοτεί το **CLOCK του 2^{ου}** κ.ο.κ.

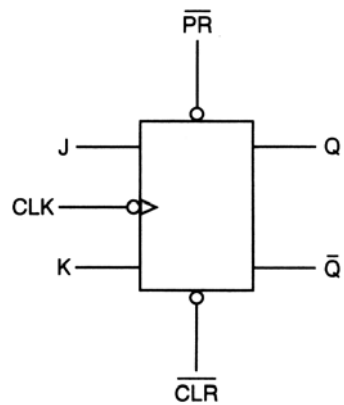
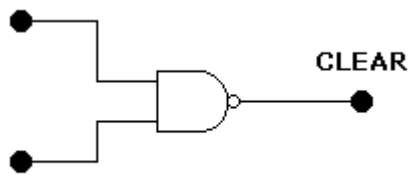
Οι **έξοδοι** του απαριθμητή είναι οι **εξόδοι Q** των Φλιπ Φλοπ.

Τα Φλιπ Φλοπ **χρονίζονται στα αρνητικά μέτωπα** των παλμών CLOCK και άρα ο απαριθμητής αριθμεί προς τα πάνω.

Οι ασύγχρονοι είσοδοι των Φλιπ Φλοπ συνδέονται ως ακολούθως:

(1) Preset στο λογικό 1

(2) Clear στην έξοδο της πύλης NAND που ελέγχει το μηδενισμό του απαριθμητή



ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 4 - "Απαριθμητές"

1. Από το βιβλίο σας στην **Ενότητα 4 - Απαριθμητές**, να διαβάσετε τα πιο κάτω:

- **Ενότητα 4.2.10 Απαριθμητής με μέτρο N Σελίδες 139 - 141**

2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:

- **18 (γ)**

Σελίδα 159

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΑΠΑΡΙΘΜΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 9 - ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 4 BIT (IC 7493)

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

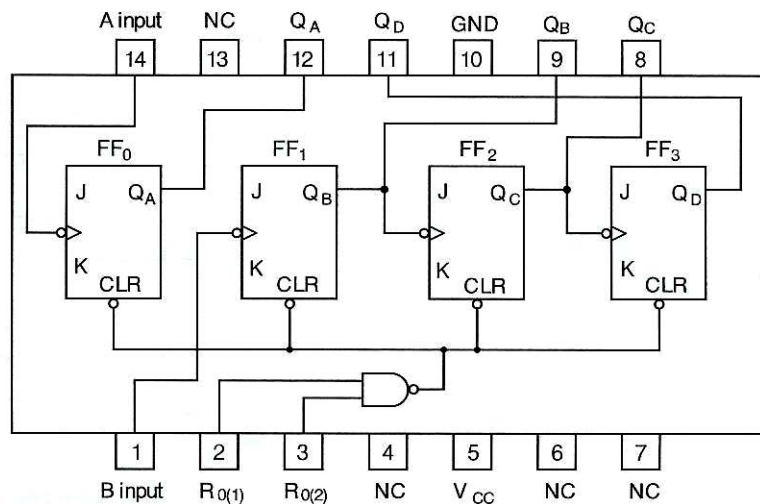
Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να συνδεσμολογεί κυκλώματα ασύγχρονων απαριθμητών με τη χρήση του IC 7493 και να εξηγεί τη λειτουργία τους.

ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 4 BIT (IC 7493)

Το ολοκληρωμένο κύκλωμα IC 7493 ανήκει στη λογική οικογένεια TTL και λειτουργεί ως δυαδικός απαριθμητής των 3 ή 4 bit:



Ακροδέκτης 5 $V_{CC} = + 5 V$
 Ακροδέκτης 10 $GND = 0 V$

Με τη κατάλληλη συνδεσμολογία μπορεί να λειτουργήσει ως απαριθμητής MOD 5 - 15.

ΣΗΜΕΙΩΣΕΙΣ:

- (α) Εσωτερικά οι εισοδοί J και K είναι συνδεδεμένοι στο λογικό 1 ώστε τα FF να βρίσκονται σε κατάσταση εναλλαγής (Toggle) και να λειτουργούν ως απαριθμητές.
- (β) Τα FFs χρονίζονται στα αρνητικά μέτωπα των παλμών CLK και άρα αριθμούν προς τα άνω.
- (γ) Τα FFs FF₁, FF₂, και FF₃ είναι συνδεδεμένα μαζί σε ένα ασύγχρονο απαριθμητή ενώ το FF₀ είναι μόνο του.
- Έτσι ο απαριθμητής μπορεί να κάνει διαίρεση δια 2 και 8 (δυαδικός απαριθμητής των 3 bit)
- (δ) Οι εισοδοί στους ακροδέκτες 2 και 3 μηδενίζουν τον απαριθμητή εφόσον είναι και οι δύο στο λογικό 1.
- Έτσι είναι δυνατόν η συνδεσμολόγηση ενός δεκαδικού απαριθμητή ή οποιουδήποτε άλλου απαριθμητή MOD 5 - 15.

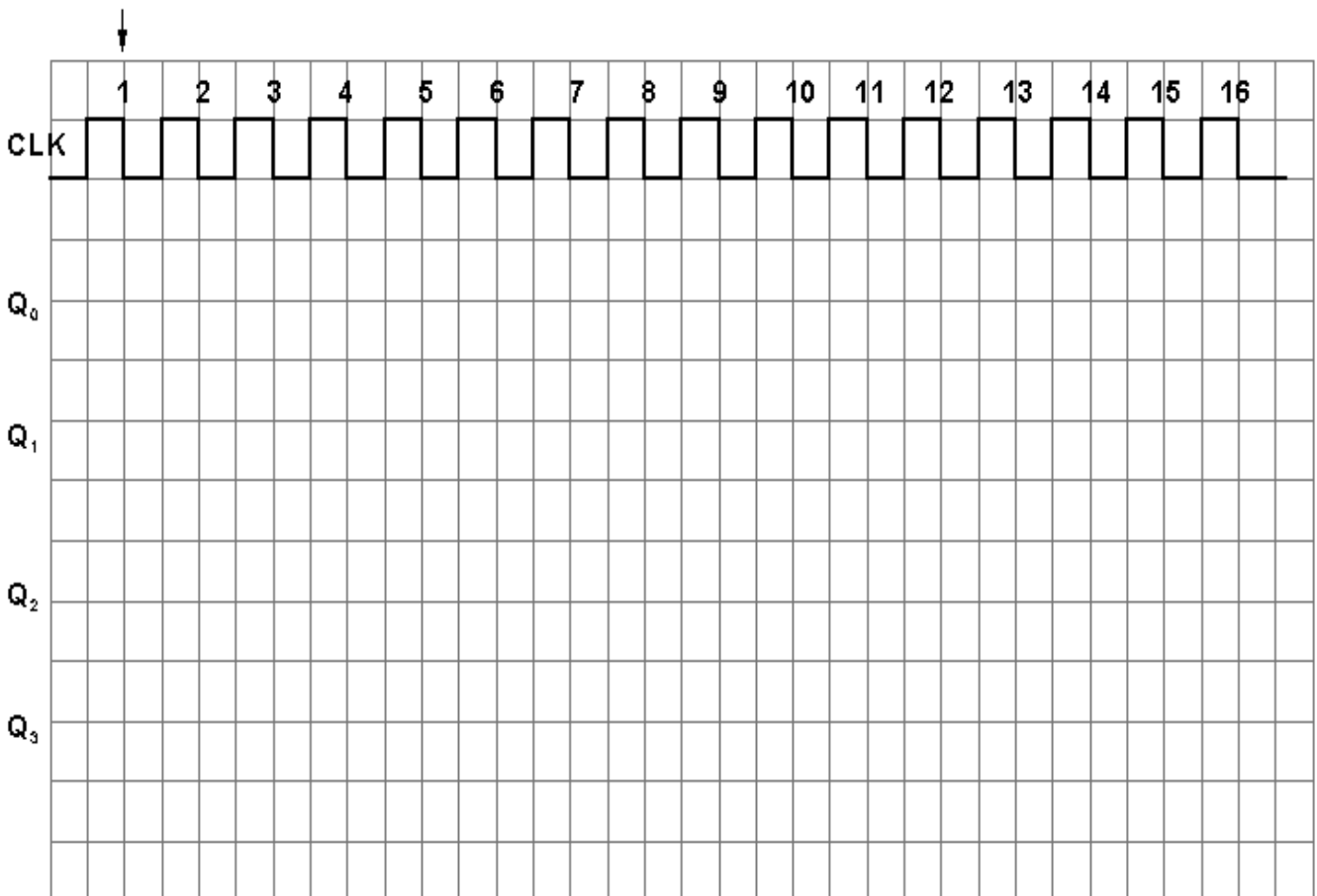
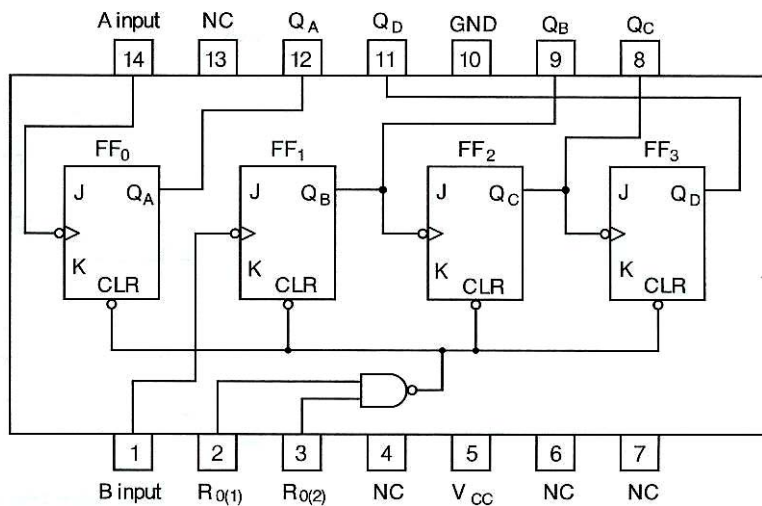
(ε) Υπάρχουν δύο εισοδοι παλμών μέτρησης A και B. Για απαριθμητή των 4 bit πρέπει να συνδέσουμε εξωτερικά την έξοδο Q_A στην είσοδο B. Οι παλμοί μέτρησης εφαρμόζονται στην είσοδο A.

Ασκήσεις

Με τη χρήση του IC 7493 συνδεσμολογήστε τους πιο κάτω απαριθμητές και σχεδιάστε τα αντίστοιχα χρονικά διαγράμματα :

(1) Ασύγχρονος Δυαδικός απαριθμητής των 4 bit που αριθμεί προς τα άνω:

$$Q_D Q_C Q_B Q_A = Q_3 Q_2 Q_1 Q_0$$



(2) Ασύγχρονος Δεκαδικός απαριθμητής

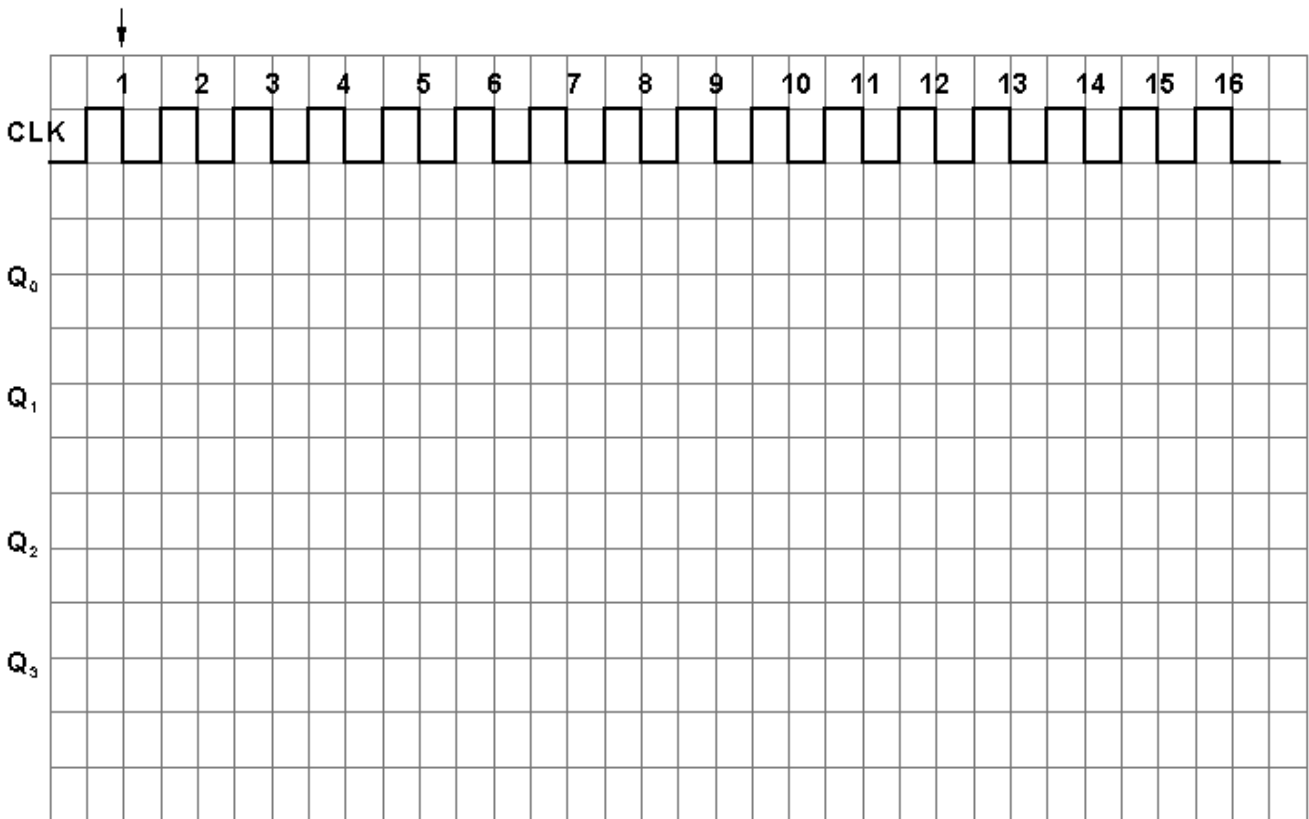
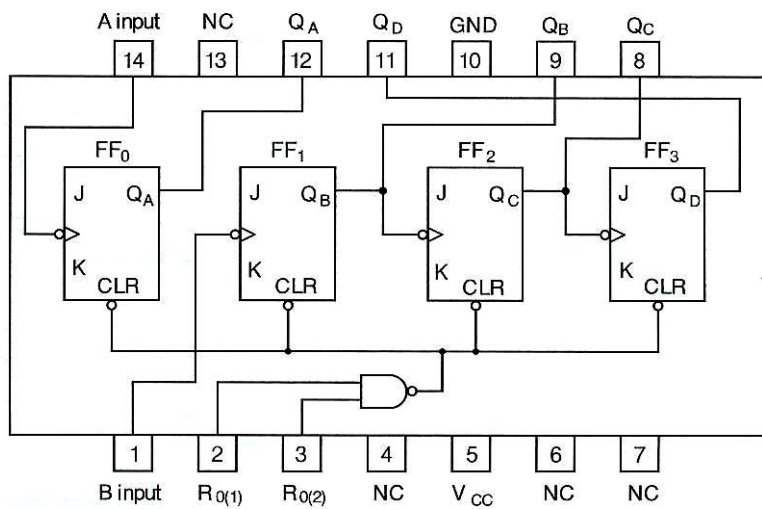
Σημειώσεις:

Αριθμεί από το 0000 (0) μέχρι το 1001 (9) και μηδενίζεται στον αριθμό 10:

$$Q_3 Q_2 Q_1 Q_0 = 1 0 1 0$$

Άρα οι αντίστοιχες εξόδου θα πρέπει να συνδεθούν στις εισόδους της πύλης NAND για τη παραγωγή του σήματος CLEAR (ενεργό στο λογικό 0) το οποίο θα μηδενίσει τα Φλιπ Φλοπ του απαριθμητή.

Εξόδοι που θα συνδεθούν στην πύλη NAND:



(3) Ασύγχρονος απαριθμητή MOD 6

Χρησιμοποιείτε μόνο τα πρώτα τρία Φλιπ Φλοπ του κυκλώματος

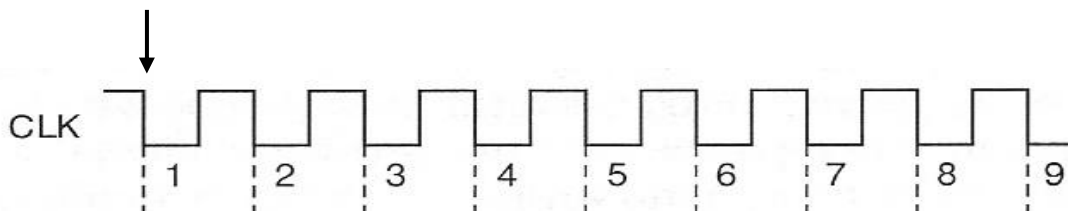
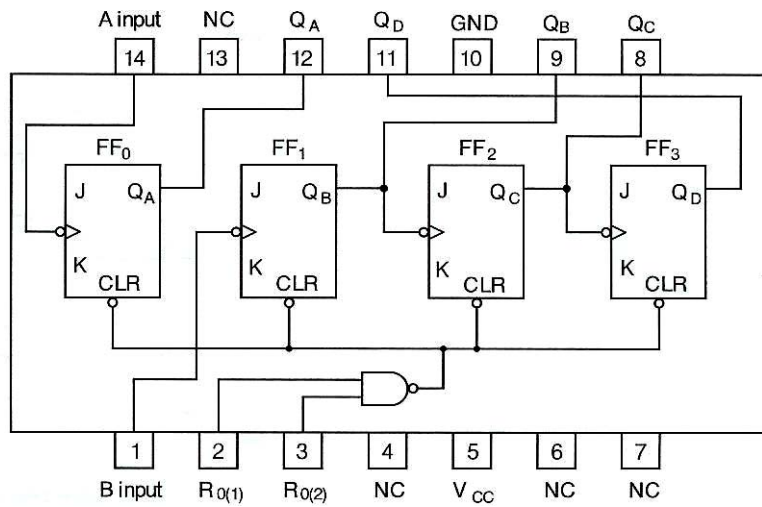
$$Q_C Q_B Q_A = Q_2 Q_1 Q_0$$

Συμπληρώστε:

Ο απαριθμητής αριθμεί από τον αριθμό μέχρι τον αριθμό και μηδενίζεται στον αριθμό

Είσοδοι που συνδέονται στην πύλη NAND για την παραγωγή του σήματος CLEAR το οποίο θα μηδενίσει τον απαριθμητή

.....
.....



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΑΠΑΡΙΘΜΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 10 - ΚΑΝΟΝΕΣ ΣΥΝΔΕΣΗΣ ΑΣΥΓΧΡΟΝΩΝ ΑΠΑΡΙΘΜΗΤΩΝ

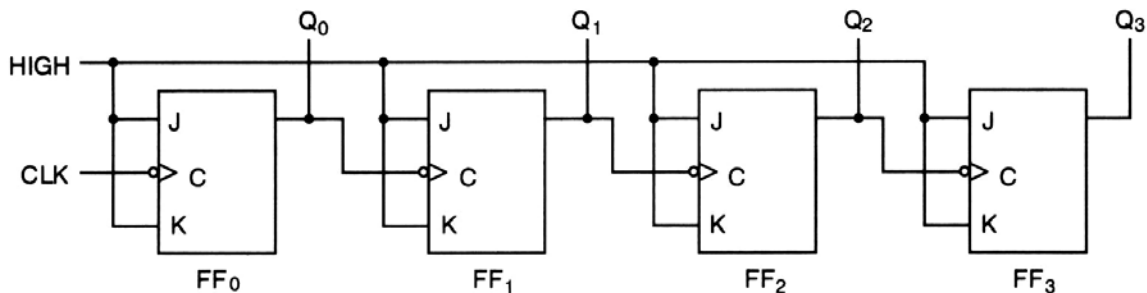
ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να αναφέρει τους κανόνες αρίθμησης και σύνδεσης ασύγχρονων απαριθμητών.
- ✓ Να χρησιμοποιεί τους πιο πάνω κανόνες για να συνδεσμολογήει κυκλώματα ασύγχρονων απαριθμητών και να σχεδιάζει τα αντίστοιχα χρονικά διαγράμματα τους.
- ✓ Με βάση τους κανόνες σύνδεσης, να υπολογίζει την χρονική καθυστέρηση κυκλωμάτων ασύγχρονων απαριθμητών και τη μέγιστη ταχύτητα λειτουργίας τους.

Κύκλωμα Ασύγχρονου Δυαδικού Απαριθμητή 4-bit που μετρά προς τα πάνω



ΚΑΝΟΝΕΣ ΣΥΝΔΕΣΗΣ ΑΣΥΓΧΡΟΝΩΝ ΑΠΑΡΙΘΜΗΤΩΝ

1. Τα Φλιπ Φλοπ του απαριθμητή συνδέονται ώστε να βρίσκονται πάντοτε στην κατάσταση εναλλαγής (TOGGLE).
2. Για τις εξόδους του απαριθμητή χρησιμοποιούμε τις εξόδους Q των Φλιπ Φλοπ.
3. Οι παλμοί μέτρησης εφαρμόζονται στην είσοδο του πρώτου Φλιπ Φλοπ, και η έξοδος του πρώτου Φλιπ Φλοπ συνδέεται στην είσοδο του δευτέρου Φλιπ Φλοπ κ.ο.κ.
4. Για να μετρηθεί ένας παλμός θα πρέπει να αλλάξουν διαδοχικά όλα τα Φλιπ Φλοπ, το ένα μετά το άλλο, και ο χρόνος που θα χρειαστεί εξαρτάται από τον αριθμό των Φλιπ Φλοπ του απαριθμητή και το χρόνο καθυστέρησης.

Για παράδειγμα ένας δυαδικός απαριθμητής 4-bit με χρόνο καθυστέρησης 10 ns θα χρειαστεί 40 ns για να μετρήσει ένα παλμό που εφαρμόζεται στην είσοδο του

$$\text{Χρόνος Μέτρησης} = 4 \text{ Φλιπ Φλοπ} \times 10 \text{ ns} = 40 \text{ ns}$$

5. Έτσι και η μέγιστη συχνότητα αρίθμησης των ασύγχρονων απαριθμητών εξαρτάται από την καθυστέρηση διάδοσης των λογικών οικογενειών από τις οποίες τα Φλιπ Φλοπ είναι κατασκευασμένα:

$$f_{\max} = \frac{1}{\text{Χρόνος Καθυστέρησης} \cdot \text{Αριθμός FF Απαριθμητή}}$$

6. Το LSB (το ψηφίο με την ελαχίστη σημαντική αξία) δίδεται από την έξοδο του πρώτου Φλιπ Φλοπ (στα αριστερά) και το MSB (το ψηφίο με την μέγιστη σημαντική αξία) από την έξοδο του τελευταίου Φλιπ Φλοπ (στα δεξιά).
7. Ο απαριθμητής είναι βασικά ένα κύκλωμα διαίρεσης της συχνότητας των παλμών μέτρησης που εφαρμόζονται στην είσοδο του. Για κάθε Φλιπ Φλοπ η συχνότητα διαιρείται δια 2 (π.χ. για απαριθμητή των 3 bit (3 Φλιπ Φλοπ), η συχνότητα των παλμών μέτρησης που εφαρμόζεται στην είσοδο του πρώτου Φλιπ Φλοπ διαιρείται διαδοχικά δια 2 στο πρώτο Φλιπ Φλοπ, δια 4 στο δεύτερο Φλιπ Φλοπ και δια 8 στο τρίτο Φλιπ Φλοπ.
8. Στους απαριθμητές με μέτρο που δεν είναι δύναμη του 2 (π.χ. με μέτρο 6 - MOD 6), τότε ένα κύκλωμα ελέγχου (Πύλη NAND) δημιουργεί το σήμα εκκαθάρισης CLR που μηδενίζει τα Φλιπ Φλοπ όταν η αρίθμηση φτάσει στο μέτρο του απαριθμητή.

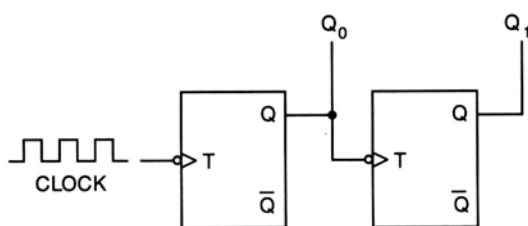
Η συχνότητα των παλμών εξόδου Q_{MSB} στους απαριθμητές MOD N είναι:

$$f_{MSB} = \frac{f_{CLK}}{N}$$

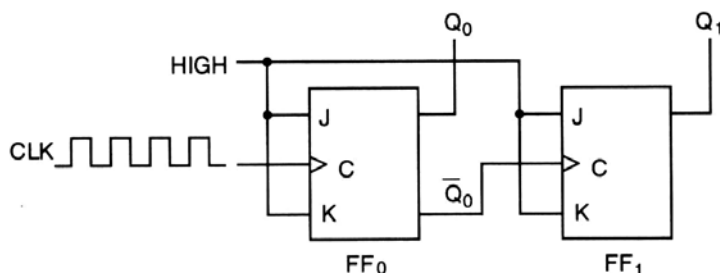
9. ΚΑΤΕΥΘΥΝΣΗ ΑΡΙΘΜΗΣΗΣ

- ✓ Τα Φλιπ Φλοπ χρονίζονται στα αρνητικά μέτωπα παλμών μέτρησης **ΑΡΙΘΜΗΣΗ ΠΡΟΣ ΤΑ ΑΝΩ**
- ◆ Τα Φλιπ Φλοπ χρονίζονται στα θετικά μέτωπα παλμών μέτρησης **ΑΡΙΘΜΗΣΗ ΠΡΟΣ ΤΑ ΚΑΤΩ**
- ◆ Αν χρησιμοποιήσουμε τις συμπληρωματικές εξόδους \bar{Q} για να χρονίσουμε τα επόμενα Φλιπ Φλοπ τότε η κατεύθυνση που δίδεται πιο πάνω αλλάζει.

ΑΡΙΘΜΗΣΗ ΠΡΟΣ ΤΑ ΑΝΩ

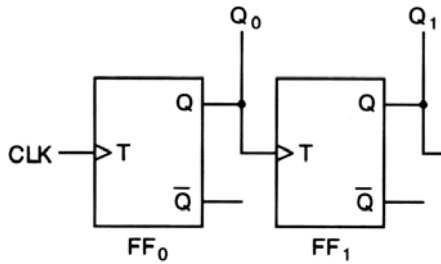


- Το πρώτο Φλιπ Φλοπ χρονίζεται στα αρνητικά μέτωπα των παλμών μέτρησης
- Τα επόμενα Φλιπ Φλοπ χρονίζονται στα αρνητικά μέτωπα παλμών της εξόδου Q των προηγούμενων Φλιπ Φλοπ



- Το πρώτο Φλιπ Φλοπ χρονίζεται στα θετικά μέτωπα των παλμών μέτρησης
- Τα επόμενα Φλιπ Φλοπ χρονίζονται στα θετικά μέτωπα παλμών της εξόδου \bar{Q} των προηγούμενων Φλιπ Φλοπ

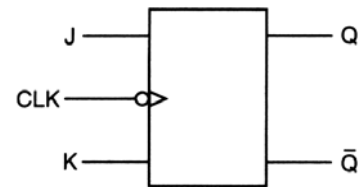
ΑΡΙΘΜΗΣΗ ΠΡΟΣ ΤΑ ΚΑΤΩ



- Το πρώτο Φλιπ Φλοπ χρονίζεται στα θετικά μέτωπα των παλμών μέτρησης
- Τα επόμενα Φλιπ Φλοπ χρονίζονται στα θετικά μέτωπα παλμό της εξόδου Q των προηγούμενων Φλιπ Φλοπ

ΑΣΚΗΣΕΙΣ

1. Σχεδιάστε ένα ασύγχρονο δυαδικό απαριθμητή 3 Bit που αριθμεί προς τα άνω και χρησιμοποιεί JK Φλιπ Φλοπς με χρονισμό στα αρνητικά μέτωπα παλμών μέτρησης.



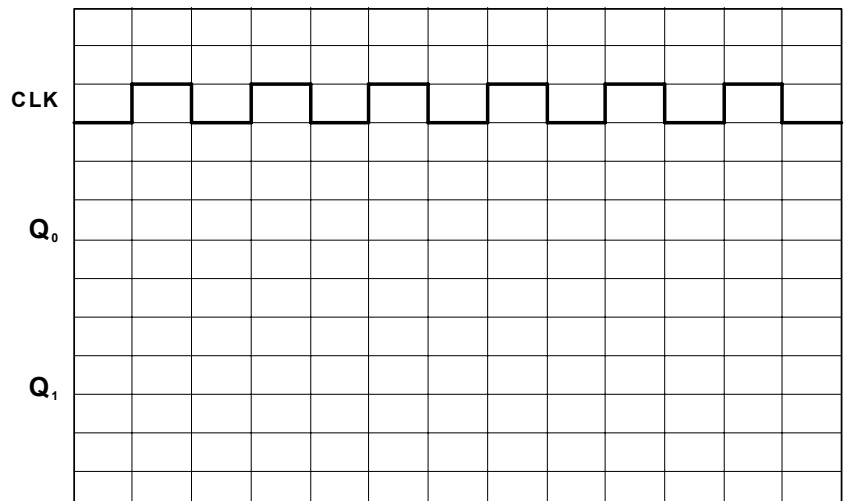
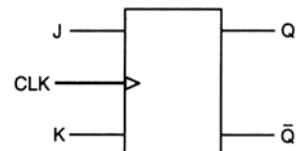
Υπολογίστε το χρόνο που χρειάζεται για να αλλάξει ο απαριθμητής από τη λογική κατάσταση 000 στη λογική κατάσταση 001, εάν ο χρόνος καθυστέρησης για κάθε Φλιπ Φλοπ είναι 20 ns.

$t =$ _____

Υπολογίστε τη μέγιστη ταχύτητα λειτουργίας του απαριθμητή:

$f_{\max} =$ _____

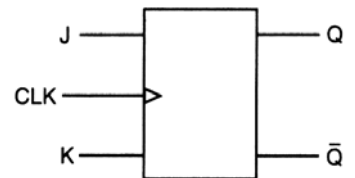
2. Σχεδιάστε ένα ασύγχρονο δυαδικό απαριθμητή 2 Bit που αριθμεί προς τα κάτω χρησιμοποιώντας JK Φλιπ Φλοπς που χρονίζονται στα θετικά μέτωπα παλμών μέτρησης και σχεδιάστε τα αντίστοιχα λογικά διαγράμματα



Συμπληρώστε τον Πίνακα λειτουργίας του απαριθμητή:

ΠΑΛΜΟΙ ΧΡΟΝΙΣΜΟΥ A/A	Q ₁	Q ₀
0		
1		
2		
3		
4		
5		

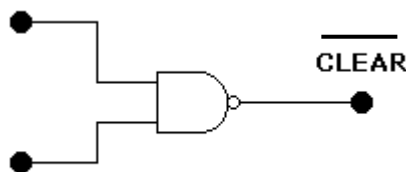
3. Σχεδιάστε ένα ασύγχρονο δυαδικό απαριθμητή 3 Bit που αριθμεί προς τα άνω χρησιμοποιώντας JK Φλιπ Φλοπς που χρονίζονται στα θετικά μέτωπα των παλμών αρίθμησης .



4. Σχεδιάστε ένα ασύγχρονο απαριθμητή MOD 6 με τη χρήση JK Φλιπ Φλοπς με επιπλέον είσοδο πρόθεσης (PRESET) και εκκαθάρισης (CLEAR) που αριθμεί προς τα άνω. Τα Φλιπ Φλοπ είναι αρχικά σε κατάσταση RESET. Συμπληρώστε:

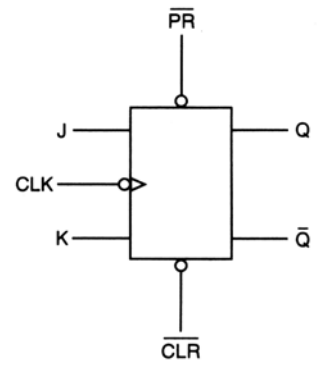
ΑΡΙΘΜΟΣ Φλιπ Φλοπ : ΜΕΓΙΣΤΟ ΜΕΤΡΟ ΑΠΑΡΙΘΜΗΤΗ :.....

Ο απαριθμητής αριθμεί από το δυαδικό αριθμό 000 μέχρι τον αριθμό και μηδενίζεται στον αριθμό



Δώστε τη λογική συνάρτηση του σήματος εκκαθάρισης CLEAR, $\overline{CLR} = \dots\dots\dots$ και να αναφέρετε ποιες εξόδους του απαριθμητή θα πρέπει να συνδέσουμε στις εισόδους της πύλης NAND για να επιτύχουμε να μηδενίσουμε τον απαριθμητή στον αριθμό 6.

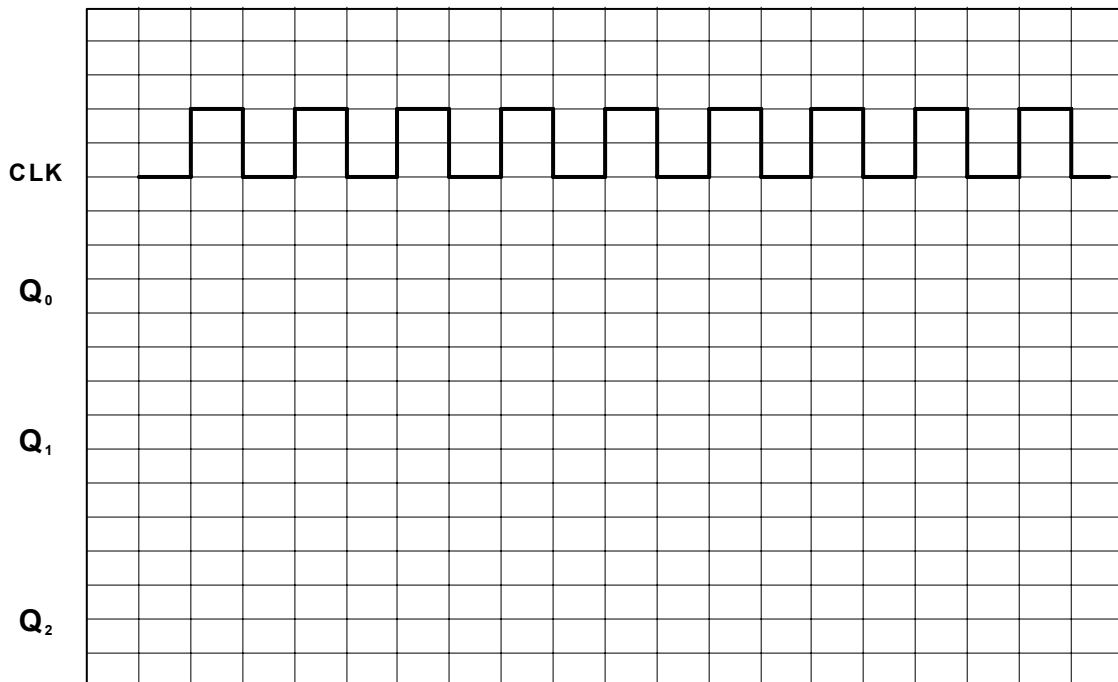
Κύκλωμα Απαριθμητή MOD 6



Συμπληρώστε τον Πίνακα λειτουργίας του απαριθμητή :

ΠΑΛΜΟΙ ΧΡΟΝΙΣΜΟΥ Α/Α	Q ₂	Q ₁	Q ₀	Δεκ Αριθμός
0	0	0	0	0
1				
2				
3				
4				
5				
6				
7				
8				
9				

Σχεδιάστε τα χρονικά διαγράμματα των εξόδων Q του απαριθμητή:



Εάν $f_{CLK} = 6 \text{ MHz}$

ΣΥΧΝΟΤΗΤΑ ΠΑΛΜΩΝ ΕΞΟΔΟΥ f_{Q2} :

5. Με τον ίδιο τρόπο και χρησιμοποιώντας το πιο πάνω JK Φλιπ Φλοπ, να σχεδιάσετε το κύκλωμα δεκαδικού απαριθμητή (αριθμεί από το 0 μέχρι το 9).

(α) Συμπληρώστε:

Χρειαζόμαστε Φλιπ Φλοπ και το μέγιστο μέτρο του απαριθμητή είναι

(β) Να αναφέρετε ποιες εξόδους του απαριθμητή θα πρέπει να συνδέσουμε στην είσοδο της πύλης NAND, ώστε να επιτύχουμε να τον μηδενίσουμε στον αριθμό 10.

.....

(γ) Να αναφέρετε με πιο αριθμό διαιρείται η συχνότητα του CLOCK στην έξοδο Q_3 του απαριθμητή

.....

Κύκλωμα Δεκαδικού Απαριθμητή MOD

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΑΠΑΡΙΘΜΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 11 - ΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- √ *Να σχεδιάζει κυκλώματα σύγχρονων δυαδικών απαριθμητών.*
- √ *Να σχεδιάζει τα αντίστοιχα χρονικά διαγράμματα τους.*
- √ *Να υπολογίζει την χρονική καθυστέρηση κυκλωμάτων σύγχρονων απαριθμητών και τη μέγιστη ταχύτητα λειτουργίας τους.*

ΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

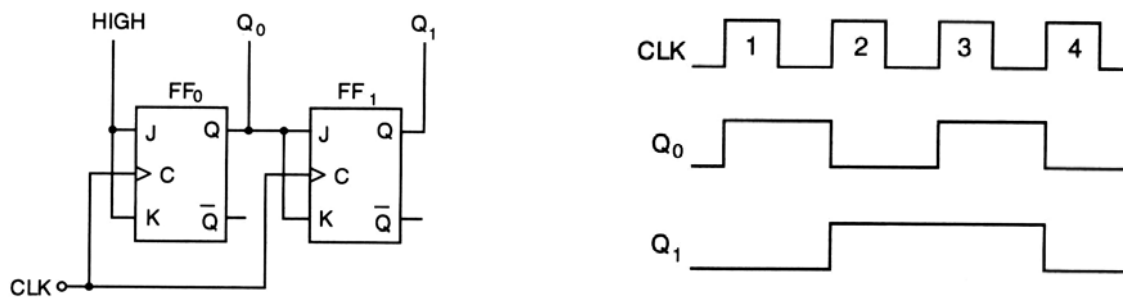
Στους σύγχρονους απαριθμητές τα FF's διεγείρονται ταυτόχρονα (οι παλμοί μέτρησης εφαρμόζονται ταυτόχρονα στις εισόδους όλων των FF's).

ΠΛΕΟΝΕΚΤΗΜΑΤΑ ΣΥΓΧΡΟΝΩΝ ΑΠΑΡΙΘΜΗΤΩΝ

- ◆ Η χρονική καθυστέρηση στη διάδοση του σήματος είναι άρα πιο μικρή και γι' αυτό οι σύγχρονοι απαριθμητές έχουν πιο μεγάλη ταχύτητα λειτουργίας σε σχέση με τους ασύγχρονους απαριθμητές.
- ◆ Οι σύγχρονοι απαριθμητές δεν έχουν τις αιχμές τάσης που συναντούμε στους ασύγχρονους απαριθμητές

- ◆ ΟΙ ΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ ΒΑΣΙΖΟΥΝ ΤΗ ΛΕΙΤΟΥΡΓΙΑ ΤΟΥΣ ΣΤΟ ΧΡΟΝΟ ΔΙΑΔΟΣΗΣ (ΚΑΘΥΣΤΕΡΗΣΗ) ΤΩΝ FF's .
- ◆ ΓΙΑ ΣΚΟΠΟΥΣ ΟΜΩΣ ΑΠΛΟΠΟΙΗΣΗΣ ΤΩΝ ΛΟΓΙΚΩΝ ΔΙΑΓΡΑΜΜΑΤΩΝ ΟΙ ΚΑΘΥΣΤΕΡΗΣΕΙΣ ΑΠΟΛΕΙΠΟΝΤΑΙ

ΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 2-BIT

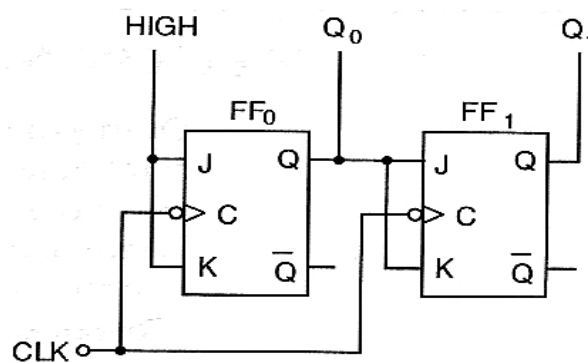


ΠΑΛΜΟΙ ΜΕΤΡΗΣΗΣ	Q_1	Q_0
0	0	0
1	0	1
2	1	0
3	1	1
4	0	0

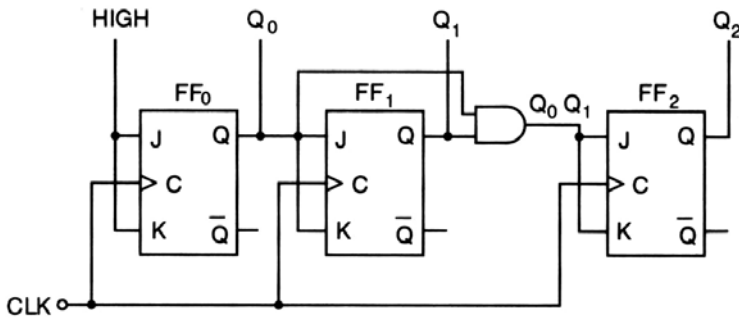
ΣΗΜΕΙΩΣΕΙΣ:

- ✓ Το CLK είναι κοινό και στα δύο FF's
 - ✓ Οι εισόδους J, K του πρώτου FF (FF_0) συνδέονται στο λογικό 1 και άρα το FF βρίσκεται στην κατάσταση εναλλαγής (TOGGLE)
 - ✓ Η έξοδος Q_0 του FF_0 συνδέεται στις εισόδους J, K του FF_1 και αλλάζει κατάσταση όταν $Q_0 = 1$ και παραμένει σε κατάσταση μνήμης όταν $Q_0 = 0$
 - ΚΑΤΑΣΤΑΣΗ TOGGLE $Q_0 = 1$
 - ΚΑΤΑΣΤΑΣΗ ΜΝΗΜΗΣ $Q_0 = 0$
- ◆ Στους σύγχρονους απαριθμητές η κατεύθυνση αρίθμησης δεν επηρεάζεται από το τρόπο χρονισμού των FF's

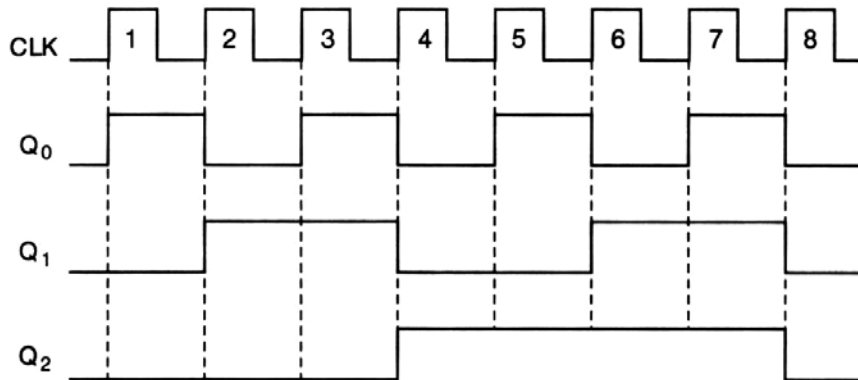
Έτσι το ίδιο κύκλωμα θα μπορούσε να υλοποιηθεί με JK Φλιπ Φλοπ που χρονίζονται στα αρνητικά μέτωπα των παλμών του ωρολογίου.



ΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 3-BIT



ΠΑΛΜΟΙ ΜΕΤΡΗΣΗΣ	Q ₂	Q ₁	Q ₀
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0



Από τον Πίνακα λειτουργίας παρατηρούμε:

- Το Q₀ αλλάζει κατάσταση για κάθε παλμό μέτρησης.
- Το Q₁ αλλάζει κατάσταση όταν η προηγούμενη λογική κατάσταση του Q₀ = 1
- Το Q₂ αλλάζει κατάσταση μόνο όταν η προηγούμενη κατάσταση του Q₀ και Q₁ είναι 1

ΠΥΛΗ AND $Q_0 \cdot Q_1 = 1$, όταν $Q_0 = Q_1 = 1$

Το FF βρίσκεται σε κατάσταση TOGGLE και αλλάζει κατάσταση με την εφαρμογή του παλμού μέτρησης.

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 4 - "Απαριθμητές"

1. Από το βιβλίο σας στην **Ενότητα 4 - Απαριθμητές**, να διαβάσετε τα πιο κάτω:

- **Ενότητα 4.3 Σύγχρονοι Απαριθμητές** **Σελίδα 143**
- **Ενότητα 4.3.1 Σύγχρονος Δυαδικός Απαριθμητής 2-BIT** **Σελίδα 144**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΑΠΑΡΙΘΜΗΤΕΣ ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 12 - ΚΑΝΟΝΕΣ ΣΥΝΔΕΣΗΣ ΣΥΓΧΡΟΝΩΝ ΑΠΑΡΙΘΜΗΤΩΝ

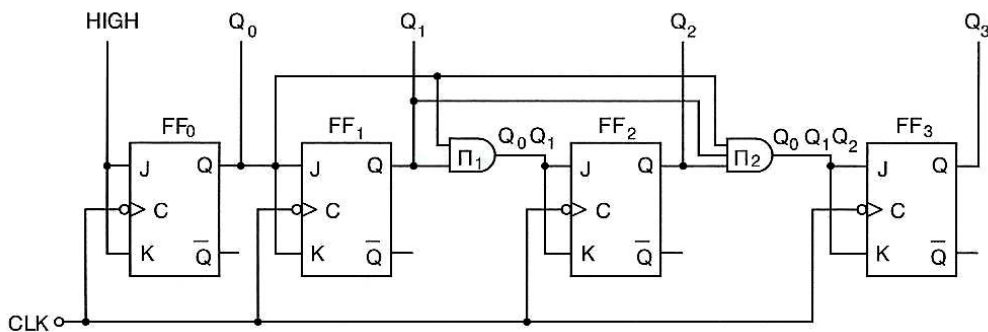
ΟΝΟΜΑ : ΤΜΗΜΑ :

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να αναφέρει τους κανόνες σύνδεσης των σύγχρονων απαριθμητών.
- ✓ Να χρησιμοποιεί τους πιο πάνω κανόνες για να συνδεσμολογήει κυκλώματα σύγχρονων απαριθμητών και να σχεδιάζει τα αντίστοιχα χρονικά διαγράμματα τους.
- ✓ Με βάσει τους κανόνες σύνδεσης, να υπολογίζει την χρονική καθυστέρηση κυκλωμάτων σύγχρονων απαριθμητών και τη μέγιστη ταχύτητα λειτουργίας τους.

ΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 4 ΒΙΤ ΠΟΥ ΑΡΙΘΜΕΙ ΠΡΟΣ ΤΑ ΑΝΩ



ΚΑΝΟΝΕΣ ΣΥΝΔΕΣΗΣ ΣΥΓΧΡΟΝΩΝ ΑΠΑΡΙΘΜΗΤΩΝ

1. Τα Φλιπ Φλοπ στους σύγχρονους απαριθμητές διεγείρονται ταυτόχρονα δηλαδή έχουν κοινό ρολόι (CLK). Έτσι η μέγιστη ταχύτητα λειτουργίας των σύγχρονων απαριθμητών είναι πιο μεγάλη από τη μέγιστη λειτουργία των ασύγχρονων απαριθμητών.
Για παράδειγμα ένας σύγχρονος απαριθμητής 4-bit με χρόνο καθυστέρησης για κάθε Φλιπ Φλοπ 10 ns θα χρειαστεί μόνο 10 ns για να μετρήσει ένα παλμό που εφαρμόζεται στην είσοδο του.
Αντίθετα ένας αντίστοιχος ασύγχρονος απαριθμητής των 4-bit θα χρειαστεί χρόνο 40 ns.
2. Τα Φλιπ Φλοπ μπορεί να χρονίζονται είτε στα θετικά μέτωπα είτε στα αρνητικά μέτωπα παλμών μέτρησης. Ο τρόπος χρονισμού δεν καθορίζει την κατεύθυνση αρίθμησης.
3. Οι σύγχρονοι απαριθμητές βασίζουν τη λειτουργία τους στην καθυστέρηση διάδοσης των Φλιπ Φλοπ που τα αποτελούν.
4. Για τις εξόδους του απαριθμητή χρησιμοποιούμε τις εξόδους Q των Φλιπ Φλοπ όπως και στους ασύγχρονους απαριθμητές.

5. Τα Φλιπ Φλοπ στους σύγχρονους απαριθμητές είτε βρίσκονται στην κατάσταση εναλλαγής (TOGGLE), είτε στην κατάσταση μνήμης (MEMORY).

Τα Φλιπ Φλοπ συνδέονται ως Τ Φλιπ Φλοπ όπως και στους ασύγχρονους απαριθμητές. Εάν χρησιμοποιήσουμε JK Φλιπ Φλοπ τότε:

- Όταν $J = K = 1$ τα Φλιπ Φλοπ αλλάζουν κατάσταση με κάθε χρονικό παλμό.
- Όταν $J = K = 0$ τα Φλιπ Φλοπ βρίσκονται σε κατάσταση μνήμης.
- Όταν με κάποια συνδυαστική λογική η λογική κατάσταση των εισόδων $J = K = 0$ αλλάζει στο $J = K = 1$, με το χρονικό παλμό τα Φλιπ Φλοπ αλλάζουν κατάσταση και επιτυγχάνεται η μέτρηση.

Άρα για να σχεδιάσουμε τα λογικά διαγράμματα θα πρέπει πρώτα να συμπληρώσουμε το πίνακα λειτουργίας του απαριθμητή για κάθε χρονικό παλμό μέτρησης.

ΑΣΚΗΣΕΙΣ

1. Να υπολογίσετε το χρόνο τον οποίο χρειάζεται για να αλλάξει κατάσταση ένας σύγχρονος απαριθμητής των 4 Bit από τη λογική κατάσταση 0001 στη λογική κατάσταση 0010 αν ο χρόνος καθυστέρησης των Φλιπ Φλοπ είναι 10 ns.
2. Να υπολογίστε τη μέγιστη συχνότητα λειτουργίας του πιο πάνω απαριθμητή.
3. (α) Συμπληρώστε το Πίνακα λειτουργίας σύγχρονου δυαδικού απαριθμητή 2 Bit που αριθμεί προς τα άνω:

ΠΑΛΜΟΙ ΜΕΤΡΗΣΗΣ Α/Α	Q_1	Q_0
0		
1		
2		
3		
4		
5		

- (β) Από τον Πίνακα λειτουργίας συμπληρώστε:

Η έξοδος Q_0 αλλάζει κατάσταση

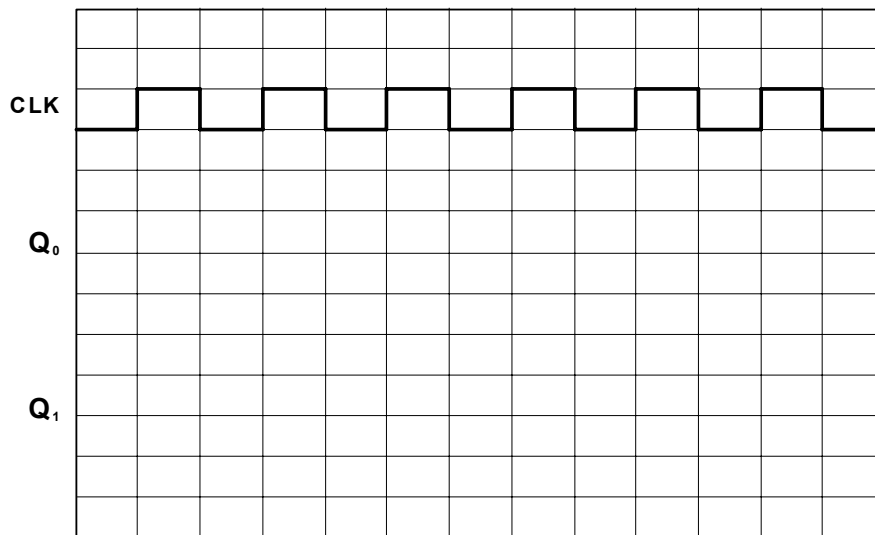
.....

Η έξοδος Q_1 αλλάζει κατάσταση

.....

(γ) Σχεδιάστε το κύκλωμα του απαριθμητή χρησιμοποιώντας JK Φλιπ Φλοπ που χρονίζονται στα αρνητικά μέτωπα παλμών μέτρησης.

(δ) Σχεδιάστε τα χρονικά διαγράμματα των εξόδων Q του απαριθμητή λαμβάνοντας υπ' όψη την καθυστέρηση διάδοσης των Φλιπ Φλοπ.



4. (α) Συμπληρώστε το Πίνακα λειτουργίας σύγχρονου δυαδικού απαριθμητή 3 Bit που αριθμεί προς τα άνω:

ΠΑΛΜΟΙ ΜΕΤΡΗΣΗΣ Α/Α	Q ₂	Q ₁	Q ₀
0			
1			
2			
3			
4			
5			
6			
7			
8			
9			
10			

(β) Από τον Πίνακα λειτουργίας συμπληρώστε:

Η έξοδος Q_0 αλλάζει κατάσταση

.....

Η έξοδος Q_1 αλλάζει κατάσταση

.....

Η έξοδος Q_2 αλλάζει κατάσταση

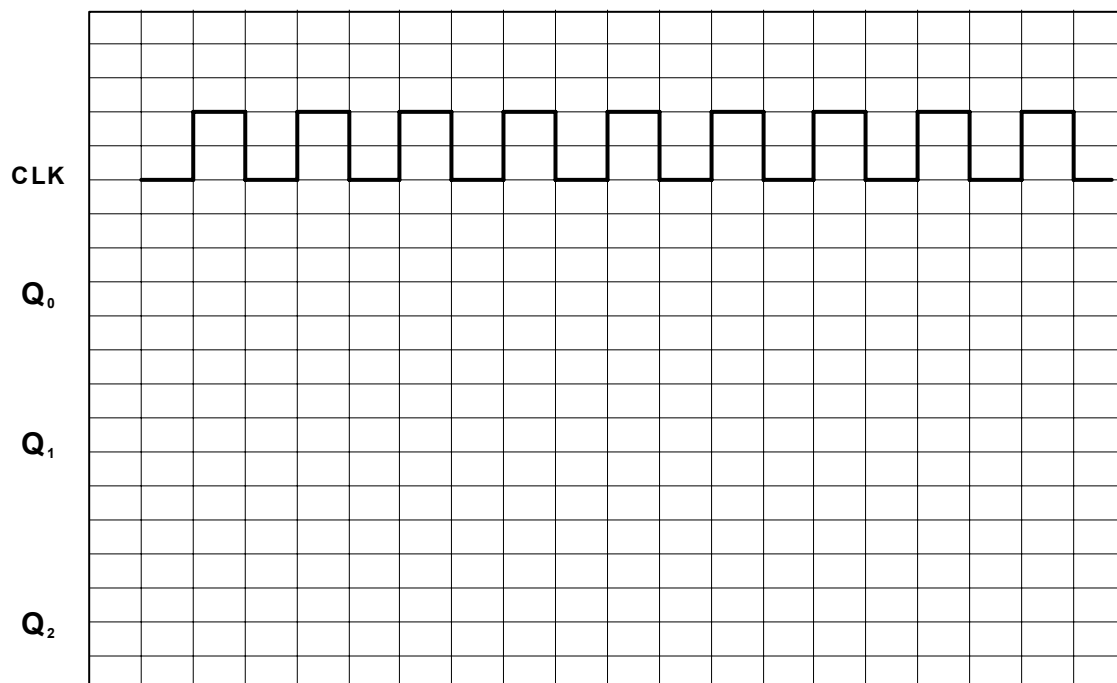
.....

Η λογική συνάρτηση που μας δίνει την είσοδο του τρίτου ΦΛΙΠ ΦΛΟΠ είναι :

.....

(γ) Σχεδιάστε το κύκλωμα του απαριθμητή χρησιμοποιώντας JK Φλιπ Φλοπ που χρονίζονται στα αρνητικά μέτωπα παλμών μέτρησης.

(δ) Σχεδιάστε τα χρονικά διαγράμματα των εξόδων Q του απαριθμητή λαμβάνοντας υπ' όψη την καθυστέρηση διάδοσης των Φλιπ Φλοπ.



Ενότητα 5 - Καταχωρητές

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - D FF

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΤΥΠΟΙ ΚΑΤΑΧΩΡΗΤΩΝ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΚΑΤΑΧΩΡΗΤΕΣ ΜΕ ΔΙΑΔΟΧΙΚΗ ΕΙΣΟΔΟ ΚΑΙ ΔΙΑΔΟΧΙΚΗ ΕΞΟΔΟ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΑΛΛΟΙ ΤΥΠΟΙ ΚΑΤΑΧΩΡΗΤΩΝ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΚΥΚΛΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 6 - ΕΦΑΡΜΟΓΕΣ ΚΑΤΑΧΩΡΗΤΩΝ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 7 - ΚΑΝΟΝΕΣ ΣΥΝΔΕΣΗΣ ΚΑΙ ΛΕΙΤΟΥΡΓΙΑΣ ΚΑΤΑΧΩΡΗΤΩΝ

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΑΤΑΧΩΡΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - D FF

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

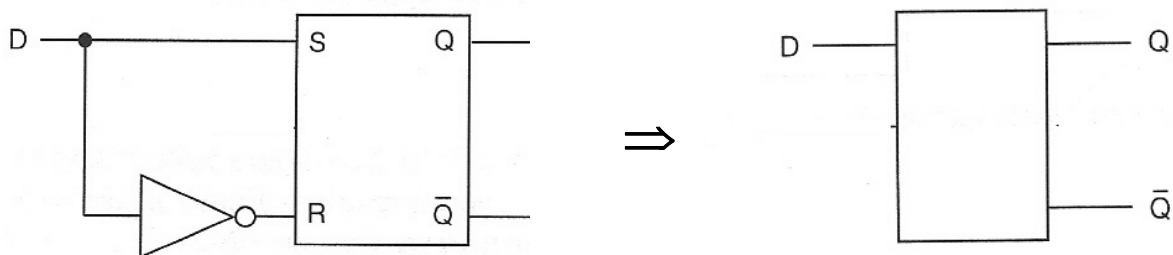
Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να συνδεσμολογήει D Φλιπ Φλοπ από ένα SR Φλιπ Φλοπ.
- ✓ Να εξηγήει την αρχή λειτουργίας των D Φλιπ Φλοπ.
- ✓ Να σχεδιάζει τα χρονικά διαγράμματα των εξόδων χρονιζόμενων D Φλιπ Φλοπ.

D Φλιπ Φλοπ

Το **D Φλιπ Φλοπ** προέρχεται συνήθως από ένα **SR Φλιπ Φλοπ** στο οποίο εξωτερικά η είσοδος **R** συνδέεται παράλληλα με την είσοδο **S** μέσω μιας πύλης **NOT**.



Ουσιαστικά το D Φλιπ Φλοπ προκύπτει από το SR Φλιπ Φλοπ όταν:

Είσοδοι	D = 1 ⇒	S = 1	R = 0 (Κατάσταση SET)	Q = 1
	D = 0 ⇒	S = 0	R = 1 (Κατάσταση RESET)	Q = 0

Έτσι το D Φλιπ Φλοπ έχει μόνο μια είσοδο, την είσοδο D και δύο καταστάσεις εξόδου, τη SET και τη RESET:

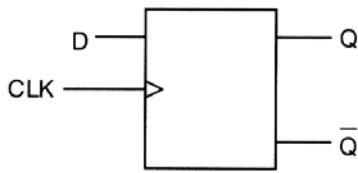
D = 1 ⇒	Κατάσταση SET	⇒	Q = 1
D = 0 ⇒	Κατάσταση RESET	⇒	Q = 0

Χρονιζόμενα D Φλιπ Φλοπ

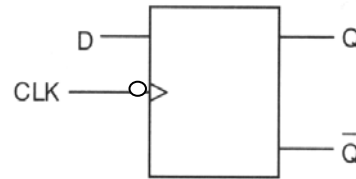
Συνήθως τα D Φλιπ Φλοπ είναι **χρονιζόμενα**, δηλαδή **συντονίζουν τη λειτουργία τους** με ένα **ρολόι (CLOCK)**, το οποίο είναι μια επιπρόσθετη είσοδος του Φλιπ Φλοπ.

Το D Φλιπ Φλοπ έχει μόνο μια είσοδο δεδομένων, τη D, επιπρόσθετα προς την **είσοδο χρονισμού, CLK**.

Έτσι η έξοδος του Φλιπ Φλοπ **αλλάζει** μόνο σε μια **συγκεκριμένη στιγμή** η οποία εξαρτάται από την **κατάσταση του CLOCK**.



Θετικά μέτωπα παλμών CLOCK



Αρνητικά μέτωπα παλμών CLOCK

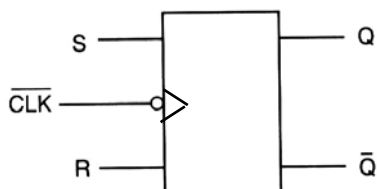
Παράδειγμα Πίνακα Λειτουργίας D Φλιπ Φλοπ χρονιζόμενου στα αρνητικά μέτωπα CLK

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		ΚΑΤΑΣΤΑΣΗ
CLK	D	Q_{N+1}	$\overline{Q_{N+1}}$	
↓	0	0	1	RESET
↓	1	1	0	SET
X	X	Q_N	$\overline{Q_N}$	MEMORY

Όλα τα χρονιζόμενα Φλιπ Φλοπ έχουν επίσης **δύο ασύγχρονες εισόδους PRESET και CLEAR**, οι οποίες είναι **ενεργές στο λογικό 0**, έχουν **προτεραιότητα** σε σχέση με τις υπόλοιπες εισόδους του Φλιπ Φλοπ και χρησιμοποιούνται για να τοποθετήσουν το Φλιπ Φλοπ αρχικά ή σε μια συγκεκριμένη στιγμή σε μια από τις δύο καταστάσεις εξόδου ανεξάρτητα από την κατάσταση των άλλων εισόδων.

ΑΣΚΗΣΕΙΣ

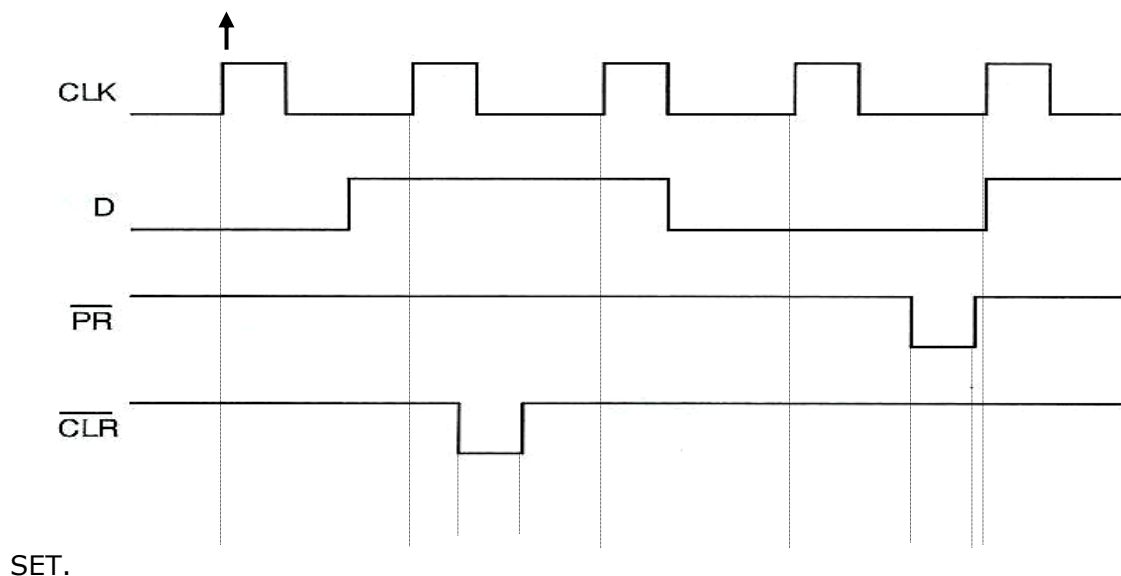
1. Με τη χρήση μιας πύλης NOT, να μετατρέψετε το πιο κάτω SR FF σε D FF.



2. Να σχεδιάσετε το σύμβολο του D FF το οποίο χρονίζεται στα θετικά μέτωπα παλμών του CLOCK και έχει επιπρόσθετες εισόδους PRESET και CLEAR ενεργές στο χαμηλό επίπεδο .
3. Να αναφέρετε ποια είναι η λογική κατάσταση των εξόδων του D FF της άσκησης 2, όταν η λογική κατάσταση των εισόδων είναι:

CLK	D	\overline{PR}	\overline{CLR}	Q	\overline{Q}	Κατάσταση
↑	1	1	0			
↑	1	1	1			
X	0	0	1			
↑	0	1	1			
↑	1	1	1			

4. Δίδονται τα χρονικά διαγράμματα των εισόδων για το D FF της άσκησης 2. Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων αν η αρχική κατάσταση του FF είναι η



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΑΤΑΧΩΡΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 -ΤΥΠΟΙ ΚΑΤΑΧΩΡΗΤΩΝ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να δίνει τον ορισμό του καταχωρητή.
- ✓ Να αναφέρει και να εξηγεί τα χαρακτηριστικά των καταχωρητών.

Οι καταχωρητές είναι ακολουθιακά λογικά κυκλώματα κατασκευασμένα από Φλιπ Φλοπ τα οποία χρησιμεύουν για την αποθήκευση και τη μεταφορά πληροφοριών σε ψηφιακά κυκλώματα.

ΚΑΤΑΧΩΡΗΤΗΣ N BITS \longrightarrow N FF's

Ο καταχωρητής με **δυνατότητα ολίσθησης** των δεδομένων ονομάζεται **ολισθητής (Shift Register)**.

Αντίθετα οι καταχωρητές που δεν έχουν τη δυνατότητα ολίσθησης ονομάζονται και **στατικοί καταχωρητές**.

- ✓ **Οι καταχωρητές** κατασκευάζονται από **Φλιπ Φλοπ τύπου D**. Τα D Φλιπ Φλοπ έχουν μια μόνο είσοδο για τις πληροφορίες πέραν της εισόδου χρονισμού.
- ✓ Ένα **D Φλιπ Φλοπ** μπορεί να αποθηκεύσει **1 bit**.

1. ΤΥΠΟΙ ΚΑΤΑΧΩΡΗΤΩΝ

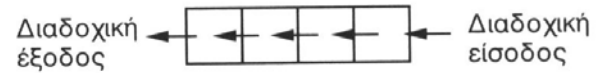
- **Καταχωρητες με διαδοχική είσοδο και διαδοχική έξοδο**
SISO - (Serial In - Serial Out)
- **Καταχωρητές με διαδοχική είσοδο και παράλληλη έξοδο**
SIPO - (Serial In - Parallel Out)
- **Καταχωρητές με παράλληλη είσοδο και διαδοχική έξοδο**
PISO - (Parallel In - Serial Out)
- **Καταχωρητές με παράλληλη είσοδο και παράλληλη έξοδο**
PIPO - (Parallel In - Parallel Out)

Η διαδοχική είσοδος των πληροφοριών στον καταχωρητή μπορεί να είναι από τα αριστερά ή από τα δεξιά.

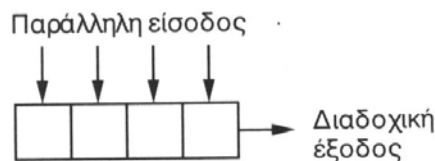
Η ολίσθηση των πληροφοριών στον καταχωρητή επίσης μπορεί να είναι από τα αριστερά ή από τα δεξιά.



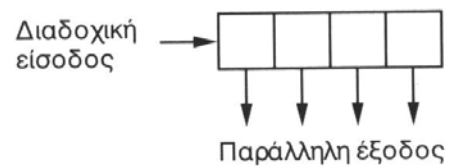
(α) Διαδοχική είσοδος και ολίσθηση προς τα δεξιά



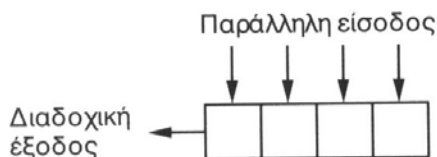
(β) Διαδοχική είσοδος και ολίσθηση προς τα αριστερά



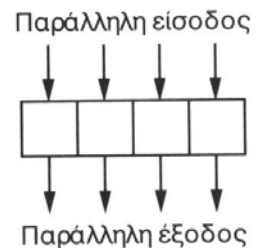
(γ) Παράλληλη είσοδος, ολίσθηση προς τα δεξιά και διαδοχική έξοδος



(δ) Διαδοχική είσοδος και παράλληλη έξοδος



(ε) Παράλληλη είσοδος, ολίσθηση προς τα αριστερά και διαδοχική έξοδος



(στ) Παράλληλη είσοδος και παράλληλη έξοδος

ΕΡΓΑΣΙΑ ΣΤΗΝ ΤΑΞΗ

Ενότητα 5 - "Καταχωρητές"

1. Από το βιβλίο σας στην **Ενότητα 5 - Καταχωρητές**, να διαβάσετε τα πιο κάτω:
 - **Εισαγωγή** **Σελίδα 168 - 169**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - **Ασκήσεις 1, 2, 3** **Σελίδα 184**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΑΤΑΧΩΡΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΚΑΤΑΧΩΡΗΤΕΣ ΜΕ ΔΙΑΔΟΧΙΚΗ ΕΙΣΟΔΟ ΚΑΙ ΔΙΑΔΟΧΙΚΗ ΕΞΟΔΟ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει κυκλώματα καταχωρητών με διαδοχική είσοδο και διαδοχική έξοδο και να εξηγεί τη λειτουργία τους.
- ✓ Να σχεδιάζει τα χρονικά διαγράμματα των εξόδων των καταχωρητών και να υπολογίζει το χρόνο που απαιτείται για την αποθήκευση των πληροφοριών.

• **Κανόνες Σύνδεσης Και Λειτουργίας Καταχωρητών**

Οι **καταχωρητές** είναι ακολουθιακά λογικά κυκλώματα που χρησιμεύουν για την **αποθήκευση** και τη μεταφορά / διαχείριση δεδομένων σε ψηφιακά συστήματα.

Οι καταχωρητές που έχουν τη **δυνατότητα ολίσθησης των δεδομένων** ονομάζονται **ολισθητές (Shift Registers)**.

Αντίθετα οι καταχωρητές που **δεν έχουν τη δυνατότητα ολίσθησης** ονομάζονται και **στατικοί καταχωρητές**.

• **Σύνδεση Καταχωρητών**

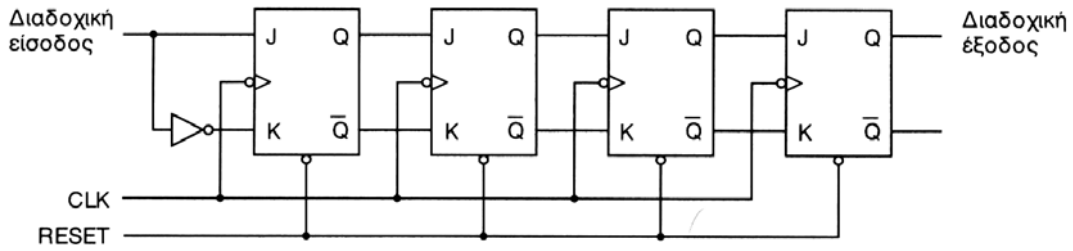
1. Οι καταχωρητές **κατασκευάζονται** από **Φλιπ Φλοπ τύπου D**. Τα D Φλιπ Φλοπ έχουν μια μόνο είσοδο για τις πληροφορίες πέραν της εισόδου χρονισμού.

Ο **τρόπος χρονισμού** των Φλιπ Φλοπ **δεν επηρεάζει τη λειτουργία** των Φλιπ Φλοπ και αυτά μπορούν να χρονίζονται είτε στα θετικά μέτωπα είτε στα αρνητικά μέτωπα των παλμών χρονισμού (CLOCK). Στα D Φλιπ Φλοπ με το παλμό χρονισμού η έξοδος Q ακολουθεί την είσοδο D μετά από μια μικρή καθυστέρηση (καθυστέρηση διάδοσης). Σε όλες τις άλλες περιπτώσεις το Φλιπ Φλοπ παραμένει σε κατάσταση μνήμης.

Ένα D Φλιπ Φλοπ μπορεί να αποθηκεύσει 1 bit.

2. Τα κυκλώματα των καταχωρητών **χρονίζονται ταυτόχρονα** (έχουν κοινό CLOCK) , άρα βασίζουν τη λειτουργία τους στην **καθυστέρηση διάδοσης** των Φλιπ Φλοπ.

Καταχωρητής 4-Bit με JK Φλιπ Φλοπ με Διαδοχική Είσοδο και Διαδοχική Έξοδο και ολίσθηση προς τα δεξιά



Να δικαιολογήσετε γιατί όλα τα JK Φλιπ Φλοπ στο πιο πάνω κύκλωμα είναι συνδεσμοποιημένα ώστε να λειτουργούν ως D Φλιπ Φλοπ.

.....

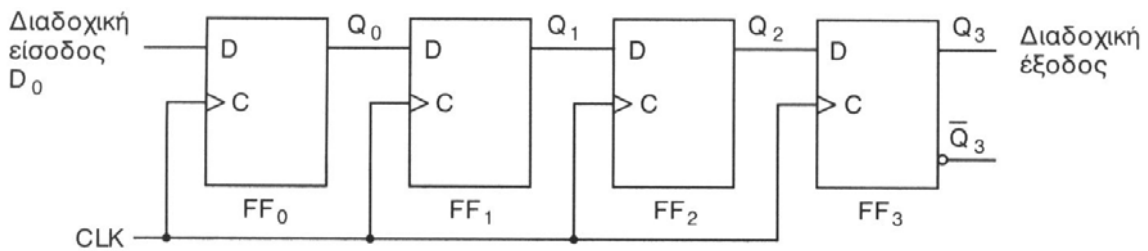
.....

.....

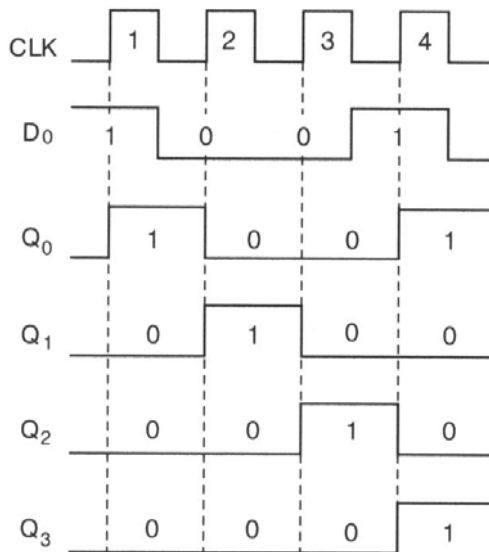
.....

.....

✓ **Καταχωρητής 4-Bit με D Φλιπ Φλοπ με Διαδοχική Είσοδο και Διαδοχική Έξοδο και ολίσθηση προς τα δεξιά**



Ο καταχωρητής χρονίζεται στα θετικά μέτωπα των παλμών του ωρολογίου



Ρολόι (CLK) A/A	Διαδοχική είσοδος	Q ₀	Q ₁	Q ₂	Q ₃
0	1	0	0	0	0
1	0	1	0	0	0
2	0	0	1	0	0
3	1	0	0	1	0
4	1	1	0	0	1

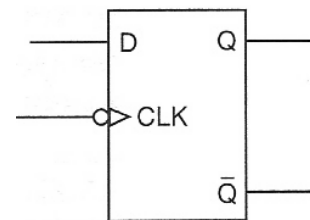
ΣΗΜΕΙΩΣΗ:

Στον καταχωρητή 4 bit χρειάζονται 4 χρονικοί παλμοί για αποθήκευση μιας κωδικής λέξης των 4 bit.

Για την έξοδο των πληροφοριών χρειάζονται αντίστοιχα ακόμη 4 χρονικοί παλμοί.

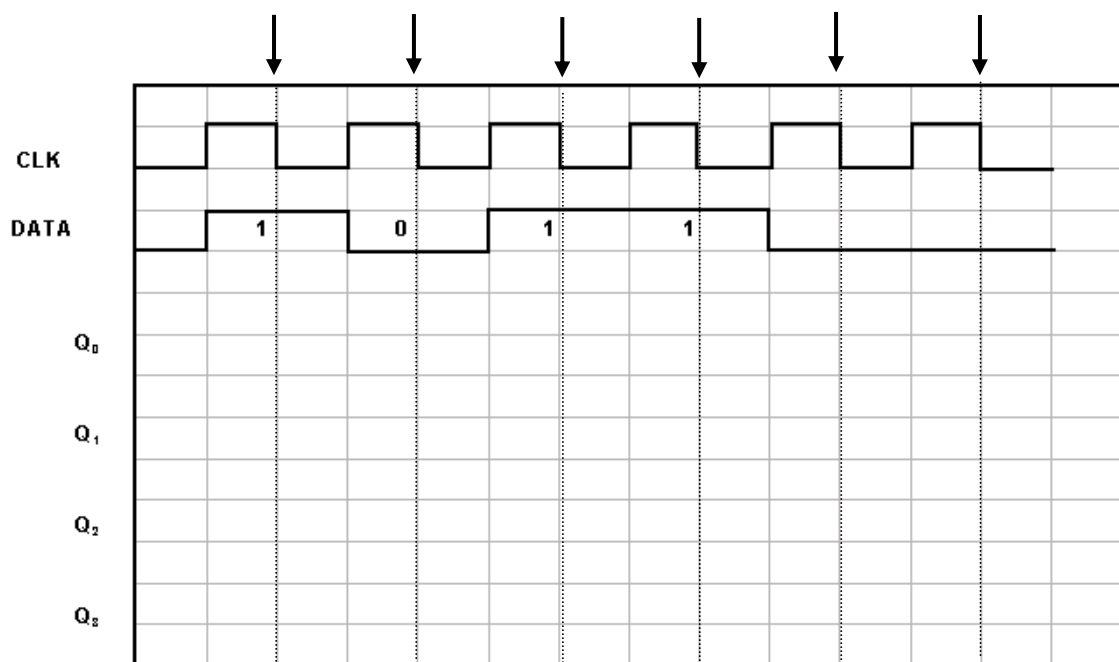
Ασκήσεις

Να σχεδιάσετε το λογικό διάγραμμα καταχωρητή 4 bit με διαδοχική είσοδο και διαδοχική έξοδο που χρονίζεται στο αρνητικό μέτωπο παλμών χρονισμού με τη χρήση του πιο κάτω D Φλιπ Φλοπ.



Να σχεδιάσετε τα χρονικά διαγράμματα των 4 εξόδων του καταχωρητή αν η αρχική του κατάσταση είναι 0000 και τα δεδομένα 1011

ΣΗΜΕΙΩΣΗ: Λάβετε υπ' όψη την καθυστέρηση διάδοσης των Φλιπ Φλοπ για την κάθε έξοδο.



Από τα χρονικά διαγράμματα του καταχωρητή να συμπληρώσετε τον Πίνακα Λειτουργίας του καταχωρητή:

Παλμός Χρονισμού	Q ₀	Q ₁	Q ₂	Q ₃
0	0	0	0	0
1				
2				
3				
4				
5				
6				

Αν η συχνότητα του CLK είναι 1 MHz, υπολογίστε το συνολικό χρόνο που χρειάζεται:

(α) Να αποθηκευτεί η πληροφορία.

.....

(β) Να εξέλθει η πληροφορία από τον καταχωρητή.

.....

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 5 - "Καταχωρητές"

- Από το βιβλίο σας στην **Ενότητα 5 - Καταχωρητές**, να διαβάσετε τα πιο κάτω:
 - Ενότητα 5.1 Καταχωρητές με Διαδοχική Είσοδο και Διαδοχική Έξοδο**
Σελίδα 169 - 171
- Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - Ασκήσεις 4, 6, 7**
Σελίδα 184

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΑΤΑΧΩΡΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΑΛΛΟΙ ΤΥΠΟΙ ΚΑΤΑΧΩΡΗΤΩΝ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

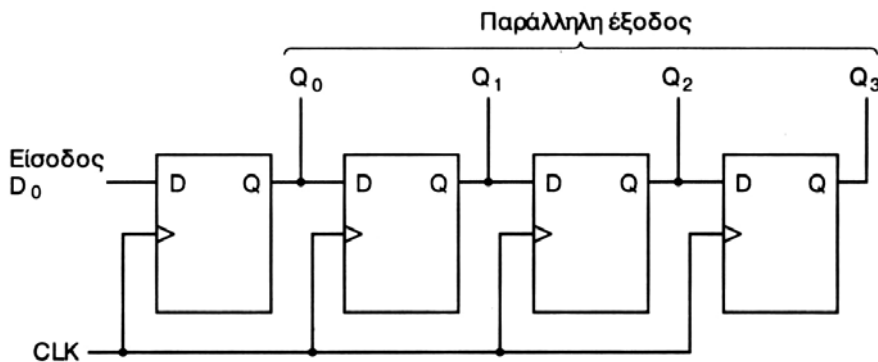
- ✓ Να σχεδιάζει κυκλώματα καταχωρητών με:
 - Διαδοχική είσοδο και παράλληλη έξοδο
 - Παράλληλη είσοδο και παράλληλη έξοδο
 - Παράλληλη είσοδο και διαδοχική έξοδο
- ✓ Να εξηγεί τη λειτουργία των πιο πάνω καταχωρητών και να σχεδιάζει τα χρονικά διαγράμματα των εξόδων του.
- ✓ Να εξηγεί την αρχή λειτουργίας των σημάτων ελέγχου LEFT/RIGHT & SHIFT/LOAD.

✓ **Καταχωρητής με Διαδοχική Είσοδο και Παράλληλη Έξοδο**

Διαφέρει από το κύκλωμα του καταχωρητή με διαδοχική είσοδο και διαδοχική έξοδο στο ότι οι έξοδοι όλων των FF's του κυκλώματος είναι διαθέσιμοι.

Μπορεί να χρησιμοποιηθεί και ως καταχωρητής με διαδοχική έξοδο.

Εφαρμογές: Ο καταχωρητής αυτός χρησιμοποιείται σε κυκλώματα μετατροπής σειριακού σήματος σε παράλληλο.



Άσκηση 1

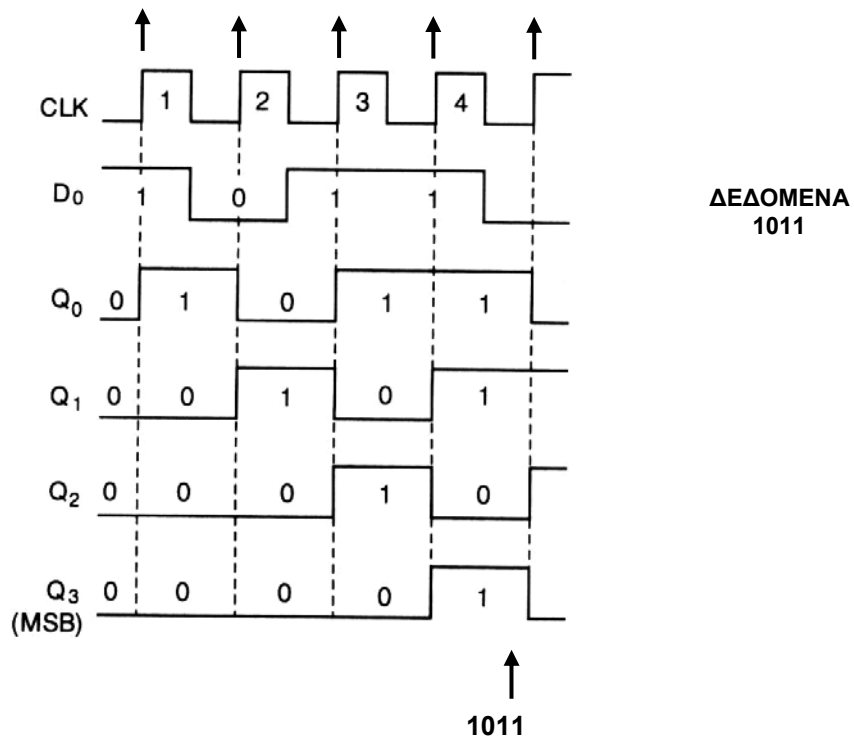
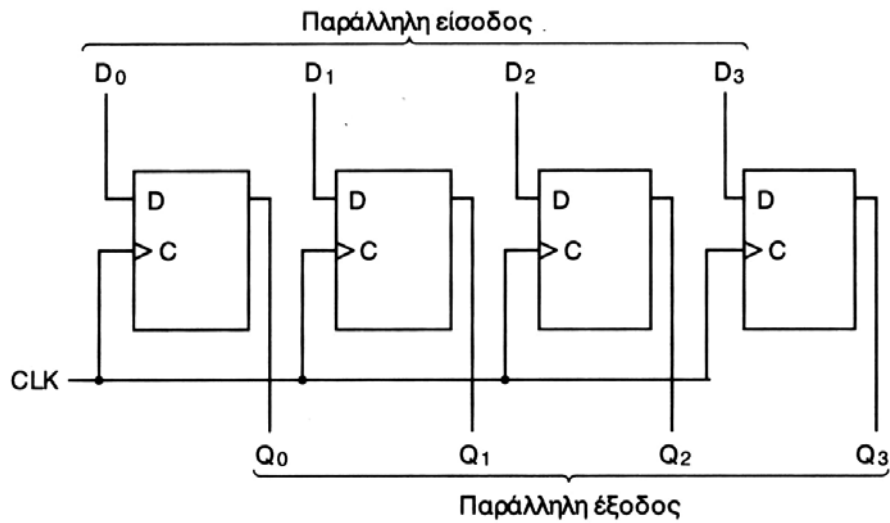
Καταχωρητής με 4 Φλιπ Φλοπ με διαδοχική είσοδο και παράλληλη έξοδο χρησιμοποιείται σε κύκλωμα μετατροπής σειριακού σήματος σε παράλληλο. Αν το παράλληλο σήμα είναι των 4-bit, να υπολογίσετε το χρόνο που θα χρειαστεί να ολοκληρωθεί η μετατροπή αν η συχνότητα των παλμών του CLOCK είναι 100 MHz.

.....

.....

.....

✓ **Καταχωρητής με Παράλληλη Είσοδο και Παράλληλη Έξοδο**

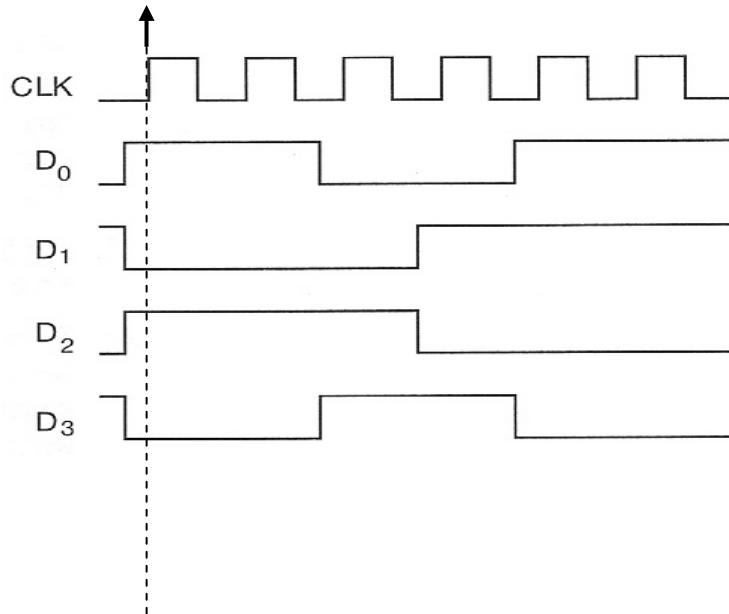


Ο πιο γρήγορος καταχωρητής εφόσον με ένα παλμό χρονισμού οι πληροφορίες που βρίσκονται στην είσοδο εμφανίζονται στην έξοδο του.

Δεν έχει τη δυνατότητα ολίσθησης των πληροφοριών γι' αυτό και λέγεται και **στατικός καταχωρητής**.

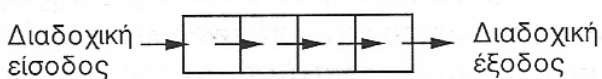
Άσκηση 2

Για το πιο πάνω κύκλωμα καταχωρητή των 4 - bit με παράλληλη είσοδο και παράλληλη έξοδο, να σχεδιάσετε τα χρονικά διαγράμματα των τεσσάρων εξόδων του καταχωρητή για τα πιο κάτω δεδομένα. Αρχικά όλα τα Φλιπ Φλοπ βρίσκονται στην κατάσταση RESET.

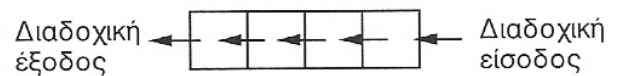


✓ ΑΜΦΙΔΡΟΜΟΣ ΟΛΙΣΘΗΤΗΣ

Έχει τη δυνατότητα ολίσθησης των πληροφοριών προς τα δεξιά και προς τα αριστερά.



(α) Διαδοχική είσοδος και ολίσθηση προς τα δεξιά



(β) Διαδοχική είσοδος και ολίσθηση προς τα αριστερά

ΕΙΣΟΔΟΣ ΕΛΕΓΧΟΥ $\text{RIGHT} / \overline{\text{LEFT}}$

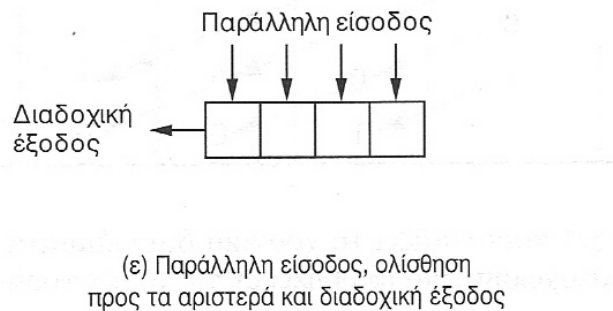
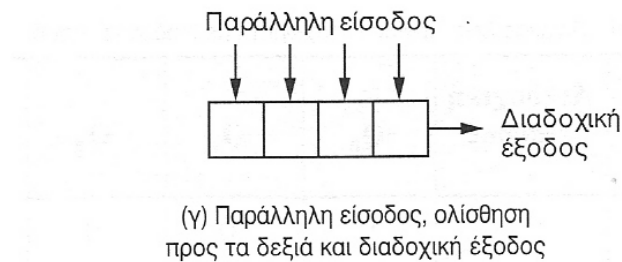
Ο ολισθητής αυτός έχει δύο διαφορετικές διαδοχικές εισόδους (από τα αριστερά ή από τα δεξιά) και επιλογή της κατεύθυνσης της ολίσθησης.

$\text{RIGHT} / \overline{\text{LEFT}} = 1$ ΦΟΡΤΩΣΗ ΑΠΟ ΤΟ ΠΡΩΤΟ FF ΚΑΙ ΟΛΙΣΘΗΣΗ ΠΡΟΣ ΤΑ ΔΕΞΙΑ

$\text{RIGHT} / \overline{\text{LEFT}} = 0$ ΦΟΡΤΩΣΗ ΑΠΟ ΤΟ ΤΕΛΕΥΤΑΙΟ FF ΟΛΙΣΘΗΣΗ ΠΡΟΣ ΤΑ ΑΡΙΣΤΕΡΑ

Εφαρμογές: Οι καταχωρητές αυτοί χρησιμοποιούνται σε κυκλώματα των αριθμητικών πράξεων πολλαπλασιασμού και διαίρεσης με τις δυνάμεις του 2.

✓ **Καταχωρητής με Παράλληλη Είσοδο και Διαδοχική Έξοδο**



Το κύκλωμα έχει μια είσοδο επιλογής λειτουργίας: **ΟΛΙΣΘΗΣΗ / ΦΟΡΤΙΣΗ ($\overline{\text{SHIFT}} / \overline{\text{LOAD}}$)**

$\overline{\text{SHIFT}} / \overline{\text{LOAD}} = 0$ Επιλέγεται η παράλληλη φόρτιση των πληροφοριών.

$\overline{\text{SHIFT}} / \overline{\text{LOAD}} = 1$ Επιλέγεται η ολίσθηση των πληροφοριών προς τα δεξιά.

Εφαρμογές: Ο καταχωρητής αυτός χρησιμοποιείται σε κυκλώματα μετατροπής παράλληλου σήματος σε σειριακό.

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 5 - "Καταχωρητές"

- Από το βιβλίο σας στην **Ενότητα 5 - Καταχωρητές**, να διαβάσετε τα πιο κάτω:
 - Ενότητα 5.2 Καταχωρητές με Διαδοχική Είσοδο και Παράλληλη Έξοδο Σελίδα 172**
 - Ενότητα 5.3 Καταχωρητές με Παράλληλη Είσοδο και Διαδοχική Έξοδο Σελίδα 174**
 - Ενότητα 5.4 Καταχωρητές με Παράλληλη Είσοδο και Παράλληλη Έξοδο Σελίδα 176**
 - Ενότητα 5.5 Αμφίδρομος Ολισθητής Σελίδα 177**
- Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - Ασκήσεις 13, 14, 15 Σελίδα 185**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΑΤΑΧΩΡΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΚΥΚΛΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει κυκλώματα κυκλικών απαριθμητών και απαριθμητών Johnson.
- ✓ Να εξηγεί τη λειτουργία και να σχεδιάζει τα χρονικά διαγράμματα των εξόδων των πιο πάνω καταχωρητών.
- ✓ Να αναφέρει εφαρμογές κυκλωμάτων κυκλικών απαριθμητών και απαριθμητών Johnson.

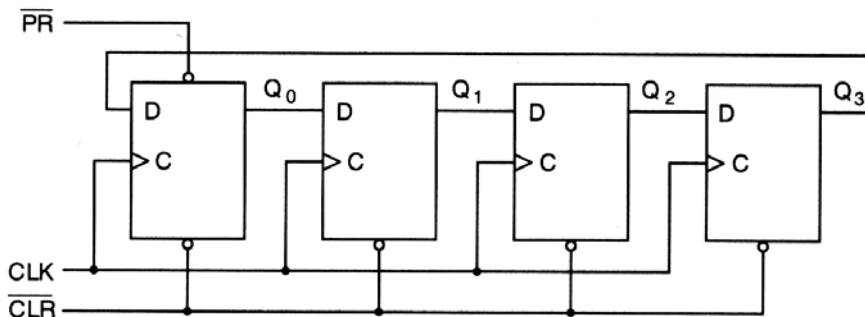
1. Κυκλικοί Ολισθητές

Ο κυκλικός ολισθητής είναι ο ολισθητής του οποίου η έξοδος από το τελευταίο Φλιπ Φλοπ είναι συνδεδεμένη με την είσοδο του πρώτου Φλιπ Φλοπ.

Οι πληροφορίες που είναι καταχωρημένες στον κυκλικό ολισθητή μετακινούνται από το ένα Φλιπ Φλοπ στο επόμενο για κάθε παλμό χρονισμού και εκτελούν κυκλική κίνηση.

Οι κυκλικοί ολισθητές μπορούν να χρησιμοποιηθούν για την παραγωγή συγκεκριμένων και ωρολογιακών παλμών σε κυκλώματα χρονισμού (CLOCK).

2. Κυκλικός Απαριθμητής - (Ring Counter)



Ο κυκλικός απαριθμητής είναι ένας κυκλικός ολισθητής στον οποίο η καταχωρημένη κωδική λέξη περιλαμβάνει μόνο ένα 1 και τα υπόλοιπα bit είναι 0.

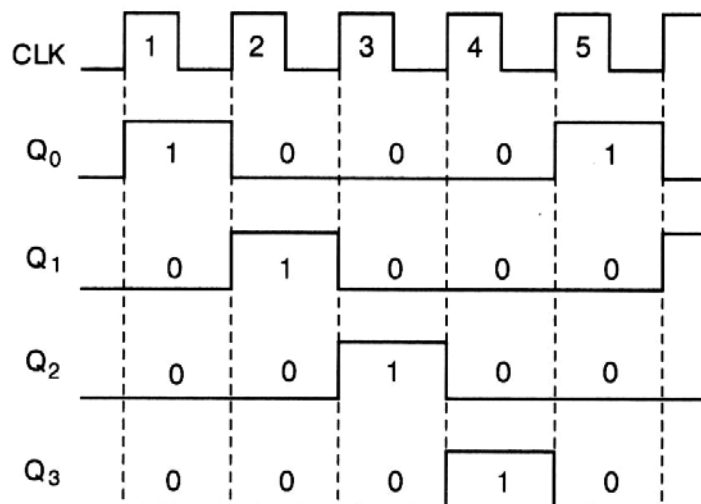
Αρχικά τα Φλιπ Φλοπς του κυκλικού ολισθητή μηδενίζονται (CLEAR) από την είσοδο CLR, που είναι ενεργή στο λογικό 0.

Ακολούθως η έξοδος του πρώτου Φλιπ Φλοπ τοποθετείται στο λογικό 1 (SET) από την είσοδο PR, που είναι επίσης ενεργή στο λογικό 0.

Αρχικά: **ΚΑΤΑΧΩΡΗΜΕΝΗ ΚΩΔΙΚΗ ΛΕΞΗ $Q_0Q_1Q_2Q_3 = 1000$**

✓ Χρονικά Διαγράμματα

Παλμός χρονισμού	Q_0	Q_1	Q_2	Q_3
1	1	0	0	0
2	0	1	0	0
3	0	0	1	0
4	0	0	0	1
5	·	·	·	·
·	·	·	·	·
·	·	·	·	·



Το κύκλωμα ονομάζεται **κυκλικός απαριθμητής** διότι κάνει αρίθμηση για κάθε παλμό χρονισμού με αποτέλεσμα π.χ. στο τρίτο παλμό χρονισμού η έξοδος του τρίτου Φλιπ Φλοπ να είναι στο λογικό 1 και τα υπόλοιπα Φλιπ Φλοπ στο λογικό 0.

✓ Συχνότητα Παλμών Εξόδου Κυκλικού Απαριθμητή

$$f_Q = \frac{f_{CLK}}{N}$$

Για απαριθμητή με **N Φλιπ Φλοπς**

$$\text{Για 4 Φλιπ Φλοπς} \Rightarrow f_Q = \frac{f_{CLK}}{4}$$

Άσκηση 1

Να υπολογίσετε την συχνότητα και τον κύκλο δράσης των παλμών στις εξόδους του πιο πάνω κυκλικού απαριθμητή με 4 Φλιπ Φλοπ αν η συχνότητα του CLK είναι 1 MHz.

Συχνότητα

Κύκλος Δράσης

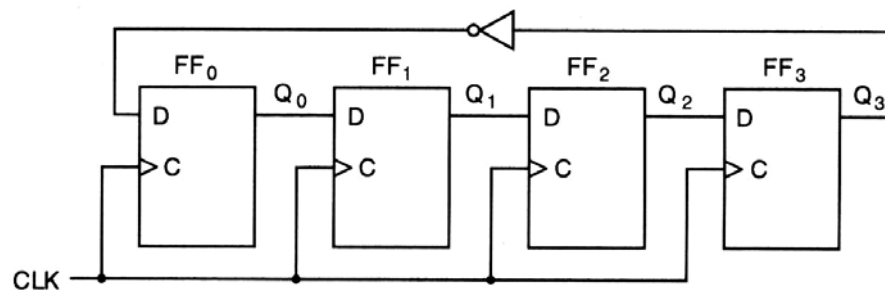
Να αναφέρετε μια πιθανή χρήση των κυκλωμάτων κυκλικών απαριθμητών

.....
.....
.....

Να υπολογίσετε πόσα Φλιπ Φλοπ θα χρειάζονταν για την παραγωγή ωρολογιακών παλμών με κύκλο δράσης 12, 5 %

.....
.....

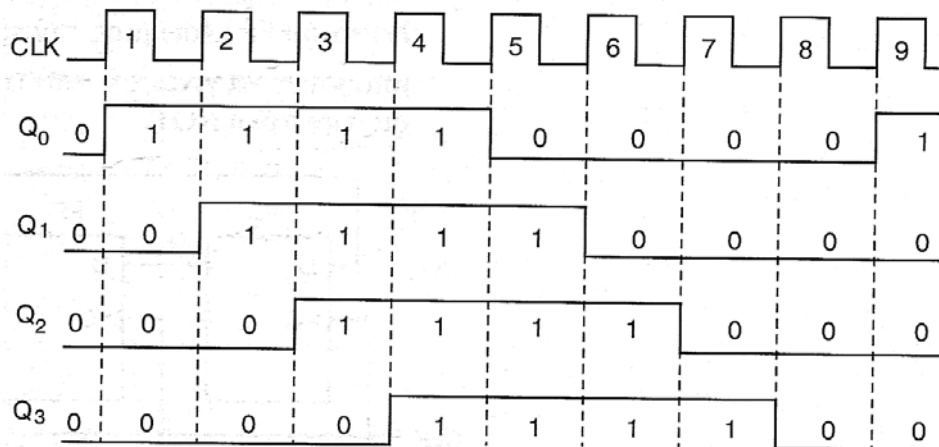
3. Απαριθμητής Τζόνσον - Johnson Counter



Στο κύκλωμα αυτό η ανασύζευξη στο πρώτο Φλιπ Φλοπ πραγματοποιείται από την έξοδο \bar{Q} του τελευταίου Φλιπ Φλοπ ή από την έξοδο Q μέσω μιας πύλης NOT.

Αν αρχικά η καταχωρημένη λέξη είναι 0000, τότε:

Παλμός χρονισμού	Q ₀	Q ₁	Q ₂	Q ₃
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1
8	0	0	0	0
9	1	0	0	0



✓ **Συχνότητα Παλμών Εξόδου Απαριθμητή Johnson**

$$f_Q = \frac{f_{CLK}}{2N}$$

Για απαριθμητή με N Φλιπ Φλοπς

Για 4 Φλιπ Φλοπ $\Rightarrow f_Q = \frac{f_{CLK}}{8}$

Άσκηση 2

Να υπολογίσετε την συχνότητα και τον κύκλο δράσης των παλμών στις εξόδους του πιο πάνω απαριθμητή Johnson με 4 Φλιπ Φλοπ αν η συχνότητα του CLK είναι 1 MHz.

Συχνότητα

Κύκλος Δράσης

Να αναφέρετε μια πιθανή χρήση των απαριθμητών Johnson

.....

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 5 - "Καταχωρητές"

1. Από το βιβλίο σας στην **Ενότητα 5 - Καταχωρητές**, να διαβάσετε τα πιο κάτω:

- **Ενότητα 5.6 Κυκλικός Ολισθητής** **Σελίδα 177 - 179**
- **Ενότητα 5.7 Απαριθμητής Johnson** **Σελίδα 179 - 181**

2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:

- **Ασκήσεις 23, 26**

Σελίδα 186

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΑΤΑΧΩΡΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 6 - ΕΦΑΡΜΟΓΕΣ ΚΑΤΑΧΩΡΗΤΩΝ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- √ Να αναφέρει πρακτικές εφαρμογές καταχωρητών.
- √ Να σχεδιάζει κυκλώματα πρακτικών εφαρμογών καταχωρητών και να εξηγεί την αρχή λειτουργίας τους.

• **Εφαρμογές Καταχωρητών**

- **ΣΤΟΙΧΕΙΑ ΜΝΗΜΗΣ**
- **ΚΥΚΛΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ**
- **ΚΥΚΛΩΜΑΤΑ ΧΡΟΝΙΚΗΣ ΚΑΘΥΣΤΕΡΗΣΗΣ**
- **ΚΥΚΛΩΜΑΤΑ ΜΕΤΑΤΡΟΠΗΣ ΣΕΙΡΙΑΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΠΑΡΑΛΛΗΛΟ ΚΑΙ ΑΝΤΙΣΤΡΟΦΑ**
- **ΕΚΤΕΛΕΣΗ ΤΩΝ ΑΡΙΘΜΗΤΙΚΩΝ ΠΡΑΞΕΩΝ ΤΟΥ ΠΟΛΛΑΠΛΑΣΙΑΣΜΟΥ ΚΑΙ ΤΗΣ ΔΙΑΙΡΕΣΗΣ**

◆ **ΣΤΟΙΧΕΙΑ ΜΝΗΜΗΣ**

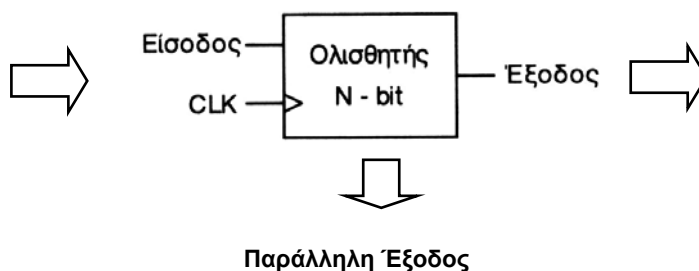
Κυκλώματα αποθήκευσης Πληροφοριών, δηλαδή κυκλώματα μνήμης.

◆ **ΚΥΚΛΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ**

Εφαρμογές στη μορφή κυκλωμάτων κυκλικού απαριθμητή και του απαριθμητή Johnson (Παραγωγή ωρολογιακών παλμών σε συγκεκριμένη μορφή και διαίρεση συχνότητας).

◆ **ΚΥΚΛΩΜΑΤΑ ΧΡΟΝΙΚΗΣ ΚΑΘΥΣΤΕΡΗΣΗΣ**

Στα ψηφιακά συστήματα είναι πολλές φορές ανάγκη να καθυστερήσουμε τη μεταφορά πληροφοριών για ορισμένο χρονικό διάστημα, έτσι ώστε να υπάρχει συγχρονισμός για την περαιτέρω επεξεργασία τους.



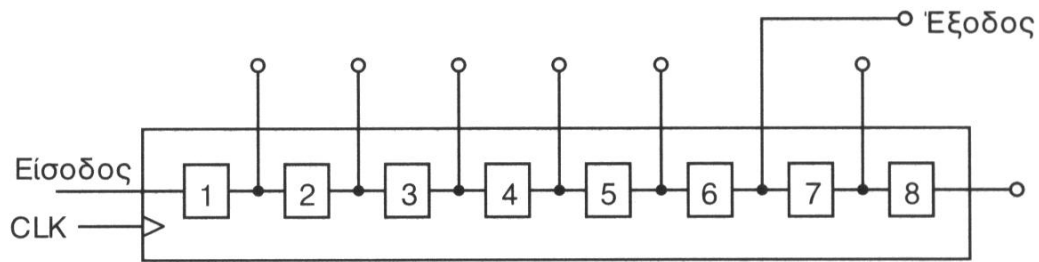
Για κάθε χρονικό παλμό του ωρολογίου αποθηκεύεται ένα bit. Έτσι ο χρόνος ο οποίος απαιτείται για την αποθήκευση κωδικής λέξης με N bits ισούται με:

$$t = NT = \frac{N}{f} \quad \mathbf{f = \text{συχνότητα } f_{CLK}} \quad f = 1/T$$

Η έξοδος του ψηφιακού σήματος γίνεται από την παράλληλη έξοδο του καταχωρητή με χρόνο καθυστέρησης ίσο με t.

ΠΑΡΑΔΕΙΓΜΑ:

Εξηγήστε πως ένας καταχωρητής των 8 bit με διαδοχική είσοδο και παράλληλη έξοδο μπορεί να χρησιμοποιηθεί για τη δημιουργία χρονικής καθυστέρησης σε ψηφιακό σήμα διάρκειας 6 μs, αν η συχνότητα του CLK είναι 1 MHz.



Η χρονική καθυστέρηση για κάθε FF του καταχωρητή είναι ίση με την περίοδο του CLK

$$T = \frac{1}{f} = \frac{1}{10^6} s = 1 \mu s$$

Για τη δημιουργία χρονικής καθυστέρησης 6 μs, θα πρέπει να πάρουμε την έξοδο του ψηφιακού σήματος στην έξοδο του έκτου Φλιπ Φλοπ.

Άσκηση 1

Ένας καταχωρητής των 16-bit με συχνότητα ωρολογιακών παλμών 1 MHz, με σειριακή είσοδο και παράλληλη έξοδο θα χρησιμοποιηθεί για την δημιουργία χρονικής καθυστέρησης δεδομένων κατά 12 μs.

Από τη συχνότητα του να υπολογίσετε το χρόνο που χρειάζεται για να φορτωθεί ένα bit (αντιστοιχεί με ένα χρονικό παλμό).

.....

Πόσους χρονικούς παλμούς χρειαζόμαστε να καθυστερήσουμε τα δεδομένα;

.....

Να εξηγήσετε από πια έξοδο του απαριθμητή θα πρέπει να ληφθούν τα δεδομένα ώστε να επιτευχθεί η απαιτούμενη χρονική καθυστέρηση

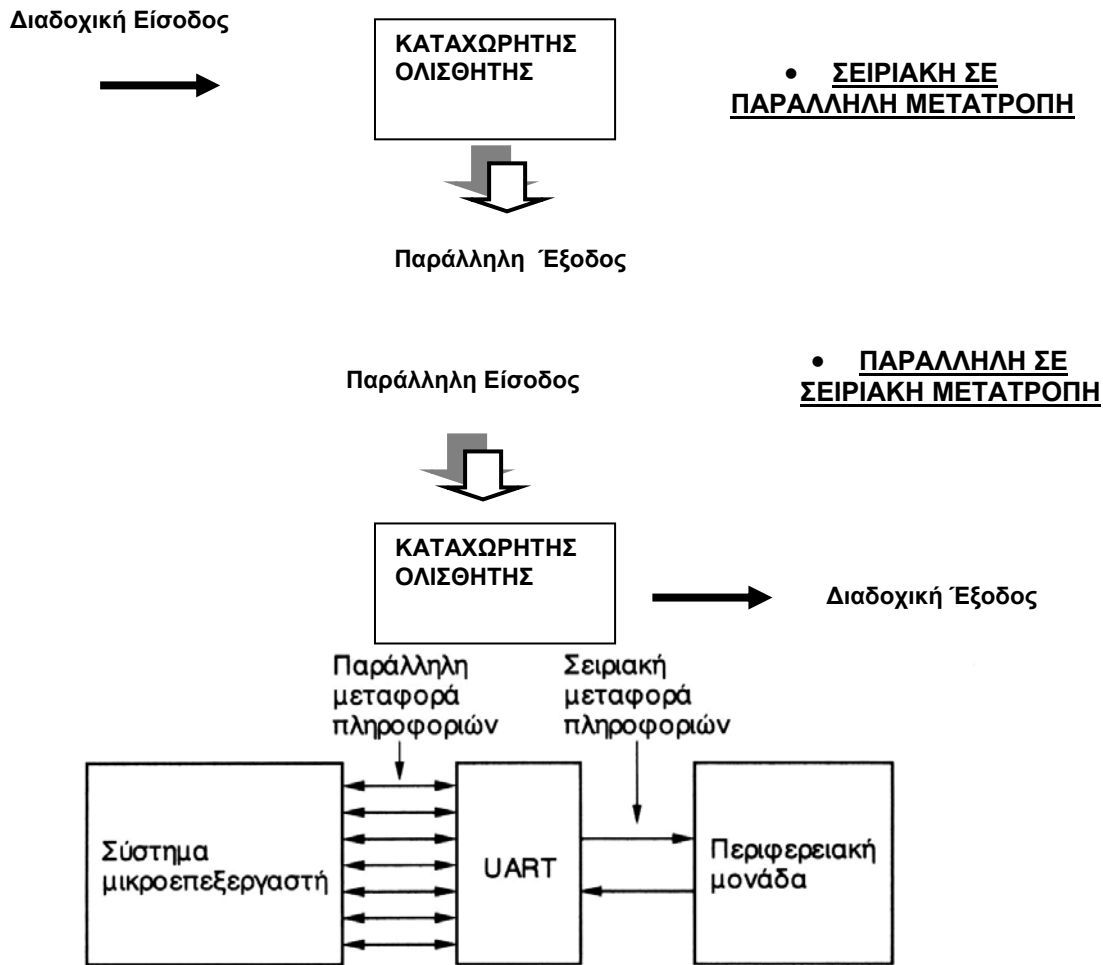
.....

.....

.....

♦ **Μετατροπή Σειριακού Σήματος Σε Παράλληλο Και Αντίστροφα**

Οι καταχωρητές μπορούν να μετατρέψουν ένα ψηφιακό σήμα από σειριακή μορφή σε παράλληλη και αντίστροφα



UART - Universal Asynchronous Receiver / Transmitter

Το κύκλωμα **UART (Καθολικού Ασύγχρονου Δέκτη / Πομπού)** περιλαμβάνει όλα τα απαραίτητα κυκλώματα καταχωρητών / ολισθητών και συγχρονισμού για τη μετατροπή των πληροφοριών από παράλληλη σε σειριακή μορφή και αντίστροφα.

♦ **ΕΚΤΕΛΕΣΗ ΤΩΝ ΑΡΙΘΜΗΤΙΚΩΝ ΠΡΑΞΕΩΝ ΤΟΥ ΠΟΛΛΑΠΛΑΣΙΑΣΜΟΥ ΚΑΙ ΤΗΣ ΔΙΑΙΡΕΣΗΣ**

Οι καταχωρητες με ολισθηση μπορούν να χρησιμοποιηθούν για την εκτέλεση των αριθμητικών του δυαδικού πολλαπλασιασμού και διαίρεσης.

ΟΛΙΣΘΗΣΗ ΠΡΟΣ ΤΑ ΑΡΙΣΤΕΡΑ ΚΑΤΑ ΜΙΑ ΘΕΣΗ Πολλαπλασιασμός επί 2
ΟΛΙΣΘΗΣΗ ΠΡΟΣ ΤΑ ΔΕΞΙΑ ΚΑΤΑ ΜΙΑ ΘΕΣΗ Διαίρεση δια 2

8 X 2 = 16

←	0	0	0	0	1	0	0	0	←	0
	0	0	0	1	0	0	0	0		

$$8 / 2 = 4$$

0	→	0	0	0	0	1	0	0	0	→
		0	0	0	0	0	1	0	0	

Άσκηση 2

Με την διαδοχική ολίσθηση των δεδομένων προς τα αριστερά να εκτελέσετε την μαθηματική πράξη του πολλαπλασιασμού του αριθμού 20 με τον αριθμό 8 (**20 X 8**), ο οποίος είναι καταχωρημένος στον καταχωρητή 8-bit.

Σημείωση:

Ο αριθμός 20 "εγγράφεται" στον καταχωρητή με την μέθοδο των 8-Bit.

Συμπληρώστε:

$$20_{10} = \dots\dots\dots_2$$

$$20 \times 8 = \dots\dots\dots_{10} = \dots\dots\dots_2$$

$8 = 2^3$ Άρα θα απαιτηθεί ολίσθηση των δεδομένων προς τα αριστερά κατά χρονικούς παλμούς.

ΣΗΜΕΙΩΣΗ: Για κάθε χρονικό παλμό κατά την ολίσθηση προς τα αριστερά θα πρέπει να φορτώνουμε μηδενικά στο πρώτο Φλιπ Φλοπ από τα δεξιά.

A/A Ολίσθηση	Πολλαπλ.	←							
	Αριθμός								
1	X 2								
2	X 2								
3	X 2								

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 5 - "Καταχωρητές"

- Από το βιβλίο σας στην **Ενότητα 5 - Καταχωρητές**, να διαβάσετε τα πιο κάτω:
 - Ενότητα 5.8 Εφαρμογές Καταχωρητών** **Σελίδα 181 - 183**
- Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - Ασκήσεις 17, 18, 19, 27, 28, 29, 30** **Σελίδα 185 - 186**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΑΤΑΧΩΡΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 7 - ΚΑΝΟΝΕΣ ΣΥΝΔΕΣΗΣ ΚΑΙ ΛΕΙΤΟΥΡΓΙΑΣ ΚΑΤΑΧΩΡΗΤΩΝ

ΟΝΟΜΑ : ΤΜΗΜΑ :

ΚΑΝΟΝΕΣ ΣΥΝΔΕΣΗΣ ΚΑΙ ΛΕΙΤΟΥΡΓΙΑΣ ΚΑΤΑΧΩΡΗΤΩΝ

Οι καταχωρητές είναι ακολουθιακά λογικά κυκλώματα που χρησιμεύουν για την αποθήκευση και τη μεταφορά / διαχείριση δεδομένων σε ψηφιακά συστήματα.

Οι καταχωρητές που έχουν τη δυνατότητα ολίσθησης των δεδομένων ονομάζονται ολισθητές (Shift Registers).

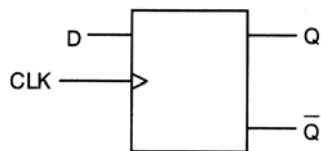
Τα κυκλώματα των καταχωρητών χρονίζονται ταυτόχρονα (έχουν κοινό CLOCK), άρα βασίζονται στη λειτουργία τους στην καθυστέρηση διάδοσης των FF.

ΣΥΝΔΕΣΗ ΚΑΤΑΧΩΡΗΤΩΝ

- Οι καταχωρητές κατασκευάζονται από FF τύπου D. Τα D FF έχουν μια μόνο είσοδο για τις πληροφορίες πέραν της εισόδου χρονισμού.

Ένα D FF μπορεί να αποθηκεύσει 1 bit.

Ο τρόπος χρονισμού των FF δεν επηρεάζει τη λειτουργία των FF και αυτά μπορούν να χρονίζονται είτε στα θετικά μέτωπα είτε στα αρνητικά μέτωπα των παλμών χρονισμού (CLOCK). Στα D FF με το παλμό χρονισμού η έξοδος Q ακολουθεί την είσοδο D μετά από μια μικρή καθυστέρηση (καθυστέρηση διάδοσης). Σε όλες τις άλλες περιπτώσεις το FF παραμένει σε κατάσταση μνήμης.



Συμπληρώστε το Πίνακα Λειτουργίας του FF

CLK	D	Q_{N+1}	\overline{Q}_{N+1}	ΚΑΤΑΣΤΑΣΗ
↑	0			
↑	1			
0	X			
1	X			

Σχεδιάστε ένα FF τύπου D που χρονίζεται στο θετικό μέτωπο παλμών χρονισμού χρησιμοποιώντας:

(α) SR FF

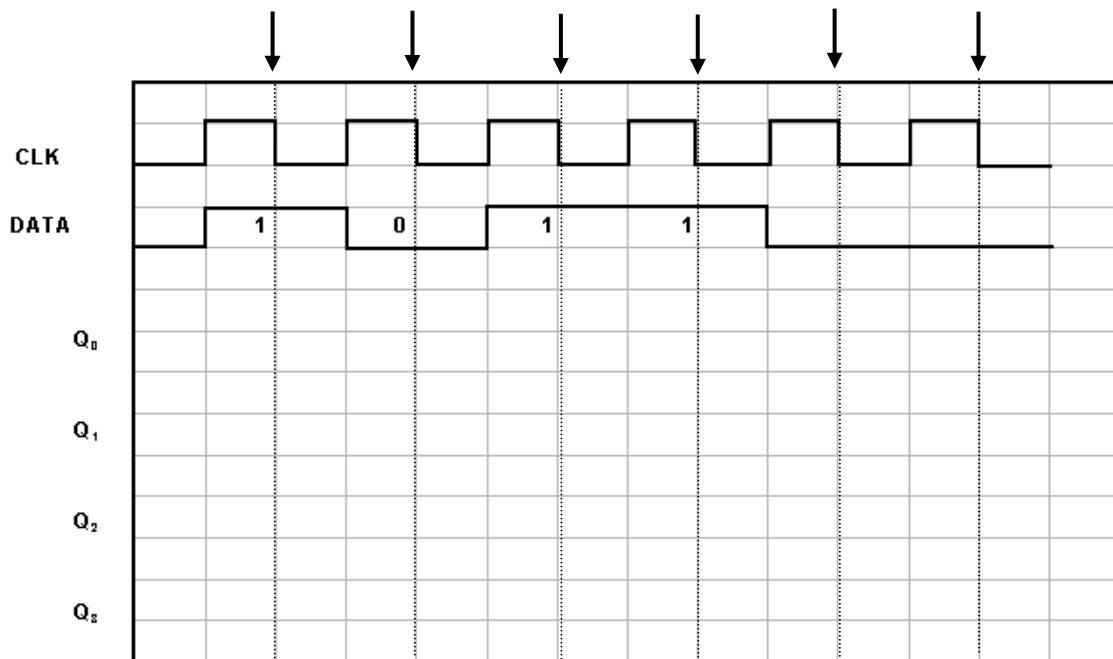
(β) JK FF

2. Τα κυκλώματα των καταχωρητών χρονίζονται ταυτόχρονα (έχουν κοινό CLOCK) , άρα βασίζουν τη λειτουργία τους στην καθυστέρηση διάδοσης των FF.

Σχεδιάστε το λογικό διάγραμμα (block diagram) καταχωρητή 4 bit με διαδοχική είσοδο και διαδοχική έξοδο που χρονίζεται στο αρνητικό μέτωπο παλμών χρονισμού με τη χρήση D FFs.

Σχεδιάστε τα χρονικά διαγράμματα των τεσσάρων εξόδων του καταχωρητή. Η αρχική κατάσταση του καταχωρητή είναι 0000 και τα δεδομένα 1011.

ΣΗΜΕΙΩΣΗ: Λάβετε υπ' όψη την καθυστέρηση διάδοσης των FF για την κάθε έξοδο.



3. Αν η συχνότητα του CLK είναι 1 MHz, υπολογίστε το συνολικό χρόνο που χρειάζεται:
- (α) Να αποθηκευτεί η πληροφορία.
 - (β) Να εξέλθει η πληροφορία από τον καταχωρητή.

Ενότητα 6 - Κωδικοποιητές/Αποκωδικοποιητές & Μετατροπείς Κώδικα

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΚΩΔΙΚΟΠΟΙΗΤΕΣ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΤΟ ΘΕΩΡΗΜΑ DE MORGAN

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΚΩΔΙΚΟΠΟΙΗΤΕΣ ΜΕ ΤΑ ΣΗΜΑΤΑ ΕΝΕΡΓΑ ΣΤΟ ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΛΟΓΙΚΕΣ ΣΥΝΑΡΤΗΣΕΙΣ, ΠΙΝΑΚΕΣ ΑΛΗΘΕΙΑΣ & ΧΑΡΤΕΣ KARNAUGH

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 6 - 7-ΤΜΗΜΑΤΙΚΗ ΜΟΝΑΔΑ ΕΝΔΕΙΞΗΣ

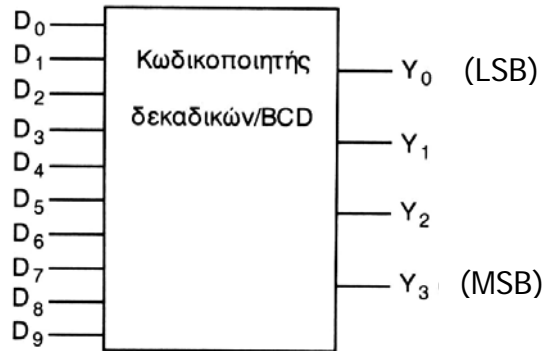
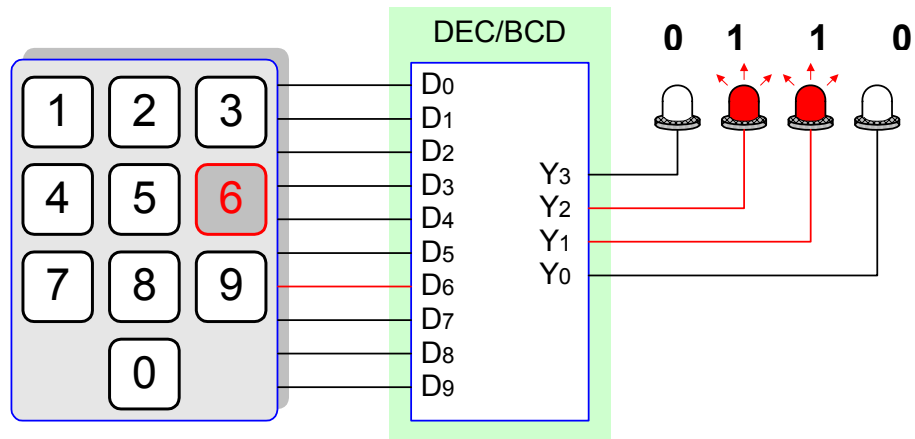
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 7 - ΜΕΤΑΤΡΟΠΕΙΣ ΚΩΔΙΚΑ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 8 - ΚΥΚΛΩΜΑΤΑ ΜΕΤΑΤΡΟΠΗΣ ΚΩΔΙΚΑ GRAY

Να υπολογίσετε τον ελάχιστο αριθμό Bit για την κωδικοποίηση 50 χαρακτήρων.

Να υπολογίσετε πόσους αριθμούς μπορώ να κωδικοποιήσω με 7 Bit.

Δίδεται το κύκλωμα **κωδικοποιητή** που μετατρέπει **δεκαδικούς αριθμούς στον κώδικα BCD**.



Συμπληρώστε τον **Πίνακα Αληθείας** για το κύκλωμα του **κωδικοποιητή**:

Δεκ Αρ	Εισόδοι										Εξόδοι			
	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	1
2														
3														
4														
5														
6														
7														
8														
9														

Από τον Πίνακα Αληθείας μπορούμε να γράψουμε τις λογικές συναρτήσεις για την κάθε έξοδο του κυκλώματος. Συμπληρώστε:

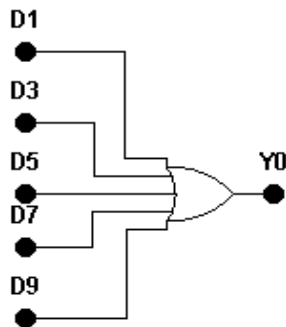
$$Y_0 = D_1 + D_3 + D_5 + D_7 + D_9$$

$$Y_1 = \dots\dots\dots$$

$$Y_2 = \dots\dots\dots$$

$$Y_3 = \dots\dots\dots$$

Η λογική συνάρτηση για την έξοδο Y_0 είναι:



$$Y_0 = D_1 + D_3 + D_5 + D_7 + D_9$$

Σχεδιάστε τα υπόλοιπα λογικά συνδυαστικά κυκλώματα για τις εξόδους Y_1 , Y_2 , και Y_3

Ανακεφαλαίωση - Βήματα για την επίλυση συνδυαστικών λογικών κυκλωμάτων

1. Σχεδιάζεται το λογικό σύμβολο που περιγράφει τη λειτουργία του συνδυαστικού κυκλώματος.
2. Συμπληρώνεται ο Πίνακας Λειτουργίας του κυκλώματος.
3. Γράφονται οι λογικές συναρτήσεις κυκλώματος από τον Πίνακα Λειτουργίας και όπου δυνατόν απλοποιούνται με τη χρήση χαρτών Karnaugh.
4. Σχεδιάζεται το λογικό κύκλωμα.

Κωδικοποιητής Δεκαδικών Αριθμών στον Κώδικα BCD με Προτεραιότητα

Το προηγούμενο κύκλωμα κωδικοποιητή μειονεκτεί στο ότι μια μόνο είσοδος σε μια δεδομένη στιγμή μπορεί να είναι ενεργοποιημένη, διαφορετικά θα δημιουργηθούν λάθη.

Το πιο κάτω κύκλωμα κωδικοποιεί κατά προτεραιότητα το μεγαλύτερο αριθμό από όλα τα πλήκτρα που πιέζονται ταυτόχρονα, έτσι ελαχιστοποιώντας τα σφάλματα στη κωδικοποίηση.

Αν για παράδειγμα πληκτρολογηθεί ταυτόχρονα ο αριθμός 3 και 5, τότε το κύκλωμα θα κωδικοποιήσει το 5 και θα αγνοήσει το 3.

Οι **είσοδοι και οι έξοδοι** του κυκλώματος είναι ενεργοί στο **χαμηλό σήμα**.



Να γράψετε τον κώδικα εξόδου αν πατηθούν ταυτόχρονα τα πιο πλήκτρα των εισόδων:

D ₁ και D ₃	Αριθμός =	Y ₃ Y ₂ Y ₁ Y ₀ =
D ₄ , D ₆ , και D ₇	Αριθμός =	Y ₃ Y ₂ Y ₁ Y ₀ =

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 6 - "Κωδικοποιητές / Αποκωδικοποιητές / Μετατροπείς Κώδικα"

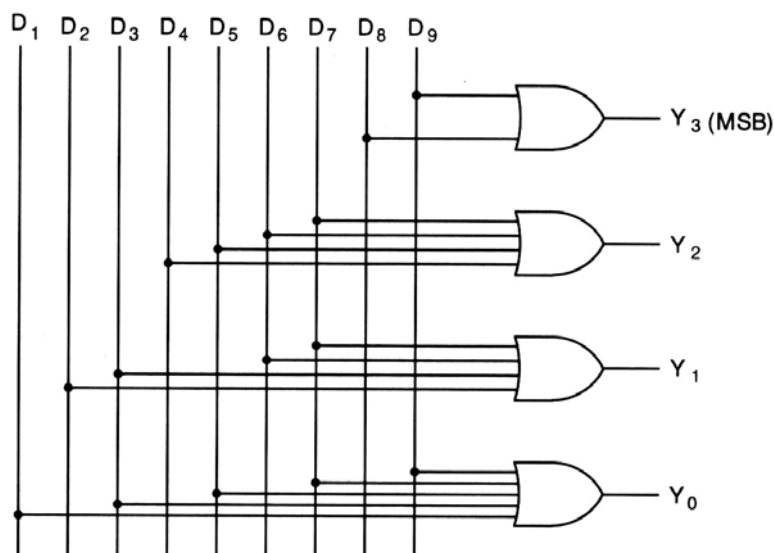
- Από το βιβλίο σας στην **Ενότητα 6** να διαβάσετε τα πιο κάτω:
 - Ενότητα 6.1 Κωδικοποιητές** **Σελίδα 195/6**
 - Ενότητα 6.1.1 Κυκλώματα Κωδικοποιητών** **Σελίδες 196/7**
- Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - Ασκήσεις 1, 2, 3, 5** **Σελίδα 217**

Σημειώσεις

- Πίνακας Αληθείας Κωδικοποιητή Δεκαδικών αριθμών στον κώδικα BCD

Δεκ Αρ	Εισόδοι										Εξόδοι			
	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	1
2	0	0	0	0	0	0	0	1	0	0	0	0	1	0
3	0	0	0	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	0	1	0	0	0	0	0	1	0	0
5	0	0	0	0	1	0	0	0	0	0	0	1	0	1
6	0	0	0	1	0	0	0	0	0	0	0	1	1	0
7	0	0	1	0	0	0	0	0	0	0	0	1	1	1
8	0	1	0	0	0	0	0	0	0	0	1	0	0	0
9	1	0	0	0	0	0	0	0	0	0	1	0	0	1

- Λογικό Κύκλωμα Κωδικοποιητή Δεκαδικών Αριθμών στον Κώδικα BCD



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΕΝΟΤΗΤΑ 5 ΚΩΔΙΚΟΠΟΙΗΤΕΣ / ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΤΟ ΘΕΩΡΗΜΑ DE MORGAN

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

♦ **ΘΕΩΡΗΜΑ DE MORGAN**

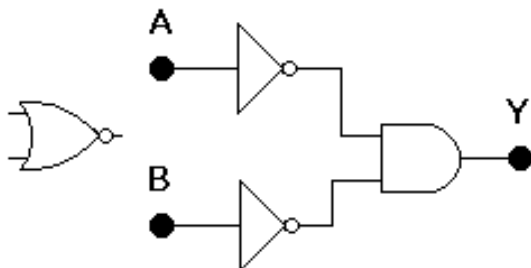
Στόχοι

Με τη συμπλήρωση του Φύλλου Εργασίας ο μαθητής θα πρέπει να μπορεί:

- ✓ Να αναφέρει και να εξηγήσει το Θεώρημα De Morgan.
- ✓ Να χρησιμοποιεί το Θεώρημα De Morgan για να απλοποιεί και να μετασχηματίζει λογικές συναρτήσεις.

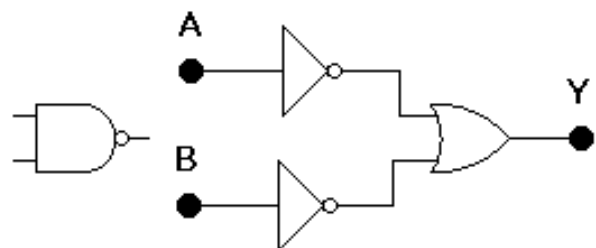
Το **Θεώρημα De Morgan** χρησιμοποιείται στο σχεδιασμό λογικών κυκλωμάτων για το μετασχηματισμό των λογικών συναρτήσεων.

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$



Μια πύλη NOR ισούται με μια πύλη AND που έχει τις δύο εισόδους ανάστροφες

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$



Μια πύλη NAND ισούται με μια πύλη OR που έχει τις δύο εισόδους ανάστροφες

Το Θεώρημα De Morgan για τρεις εισόδους

$$\overline{A + B + C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$$

$$\overline{A \cdot B \cdot C} = \overline{A} + \overline{B} + \overline{C}$$

Ασκήσεις

Εφαρμόστε τα Θεώρημα De Morgan για να μετασχηματίσετε τις πιο κάτω λογικές συναρτήσεις και σχεδιάστε τα αντίστοιχα λογικά διαγράμματα των αρχικών κυκλωμάτων και των κυκλωμάτων μετά τον μετασχηματισμό:

$$Y = \overline{A + B + C}$$

$$Y = \overline{\overline{A} + \overline{B}}$$

$$Y = \overline{A B C}$$

Συγκρίνετε τα δύο λογικά κυκλώματα πριν και μετά το μετασχηματισμό. Τι παρατηρείτε;

.....

.....

.....

.....

.....

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΕΝΟΤΗΤΑ 5 ΚΩΔΙΚΟΠΟΙΗΤΕΣ / ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΚΩΔΙΚΟΠΟΙΗΤΕΣ ΜΕ ΤΑ ΣΗΜΑΤΑ ΕΝΕΡΓΑ
ΣΤΟ ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

ΚΩΔΙΚΟΠΟΙΗΤΗΣ ΜΕ ΤΑ ΣΗΜΑΤΑ ΕΝΕΡΓΑ ΣΤΟ ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ

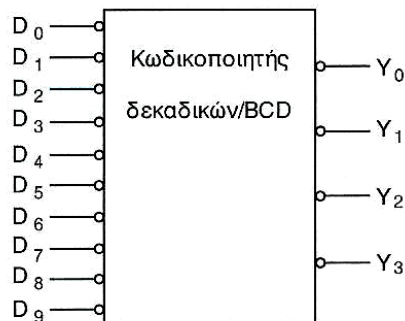
Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να κατανοεί το όρο "σήμα ενεργό στο χαμηλό επίπεδο"
- ✓ Να σχεδιάζει και να εξηγεί κύκλωμα κωδικοποιητή δεκαδικών αριθμών στον κώδικα BCD με τα σήματα ενεργά στο χαμηλό επίπεδο.

Ο **κωδικοποιητής** είναι ένα **συνδυαστικό λογικό κύκλωμα** με M εισόδους, από τις οποίες ενεργοποιείται μόνο μια κάθε φορά η οποία δίδει στην έξοδο του κυκλώματος ένα συνδυασμό από δυαδικά ψηφία (0 και 1) δηλαδή ένα κώδικα από N bits.

Δίδεται το σύμβολο κυκλώματος κωδικοποιητή δεκαδικών αριθμών στο κώδικα BCD, με τα σήματα εισόδου και εξόδου **ενεργά στο χαμηλό επίπεδο** :



1. Με αναφορά στο σύμβολο του πιο πάνω κωδικοποιητή, να εξηγήσετε τι εννοούμε με τον όρο **"σήμα ενεργό στο χαμηλό επίπεδο"**:

.....

.....

.....

.....

.....

2. Να αναφέρετε τον κώδικα εξόδου για τον αριθμό 5 $Y_3Y_2Y_1Y_0 = \dots\dots\dots$

3. Αν ο κώδικας εξόδου είναι $Y_3Y_2Y_1Y_0 = 0\ 0\ 0\ 1$, ποια είσοδος έχει ενεργοποιηθεί;

4. Συμπληρώστε τον Πίνακα Αληθείας του κωδικοποιητή:

Είσοδοι											Έξοδοι (Κώδικας BCD)			
Αριθμός	D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	Y ₃	Y ₂	Y ₁	Y ₀
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1		0									1	1	1	0
2														
3														
4														
5														
6														
7														
8														
9														

5. Από τον πίνακα αληθείας να γράψετε τις λογικές συναρτήσεις για την κάθε έξοδο του κυκλώματος. Συμπληρώστε:

$$\overline{Y_0} = \dots\dots\dots$$

$$\overline{Y_1} = \dots\dots\dots$$

$$\overline{Y_2} = \dots\dots\dots$$

$$\overline{Y_3} = \dots\dots\dots$$

6. Σχεδιάστε τις τέσσερις λογικές συναρτήσεις να σχεδιάστε τα αντίστοιχα λογικά κυκλώματα του κωδικοποιητή:

$$Y_0 = \dots\dots\dots$$

$$Y_1 = \dots\dots\dots$$

$$Y_2 = \dots\dots\dots$$

$$Y_3 = \dots\dots\dots$$

Αξιολόγηση

Χρησιμοποιώντας το **Θεώρημα De Morgan** μετασχηματίστε τις πιο πάνω λογικές συναρτήσεις των εξόδων:

$Y_0 = \dots\dots\dots$

$Y_1 = \dots\dots\dots$

$Y_2 = \dots\dots\dots$

$Y_3 = \dots\dots\dots$

Συγκρίνετε τις λογικές συναρτήσεις και το κύκλωμα του κωδικοποιητή σε σχέση με το κύκλωμα το οποίο έχει ενεργές τις εισόδους και τις εξόδους στο λογικό 1 στο Φύλλο Εργασίας 1 και γράψετε τις παρατηρήσεις σας:

.....
.....
.....
.....
.....

♦ **Επιπλέον (Κατ' Οίκον) εργασία**

Ενότητα 6 Κωδικοποιητές / Αποκωδικοποιητές

1. Απαντήστε την άσκηση 6 της Αξιολόγησης στη σελίδα 217 στο τετράδιο σας.

Σημειώσεις

Πίνακας Αληθείας κωδικοποιητή με τις εισόδους και εξόδους ενεργές στο λογικό 1

Είσοδοι											Έξοδοι (Κώδικας BCD)			
Αριθμός	D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	Y ₃	Y ₂	Y ₁	Y ₀
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1	0
2	1	1	0	1	1	1	1	1	1	1	1	1	0	1
3	1	1	1	0	1	1	1	1	1	1	1	1	0	0
4	1	1	1	1	0	1	1	1	1	1	1	0	1	1
5	1	1	1	1	1	0	1	1	1	1	1	0	1	0
6	1	1	1	1	1	1	0	1	1	1	1	0	0	1
7	1	1	1	1	1	1	1	0		1	1	0	0	0
8	1	1	1	1	1	1	1	1	0	1	0	1	1	1
9	1	1	1	1	1	1	1	1	1	0	0	1	1	0

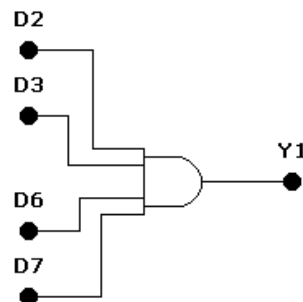
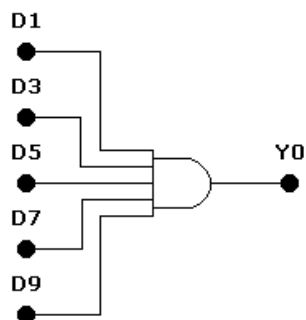
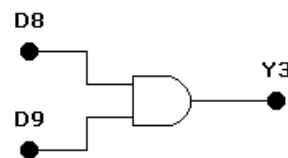
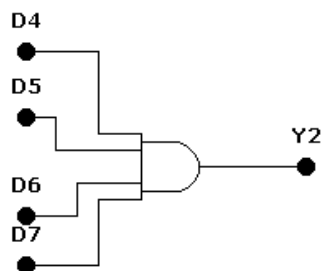
Λογικές Συναρτήσεις

$$Y_0 = D_1 \cdot D_3 \cdot D_5 \cdot D_7 \cdot D_9$$

$$Y_1 = D_2 \cdot D_3 \cdot D_6 \cdot D_7$$

$$Y_2 = D_4 \cdot D_5 \cdot D_6 \cdot D_7$$

$$Y_3 = D_8 \cdot D_9$$



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΩΔΙΚΟΠΟΙΗΤΕΣ / ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ - DECODERS

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει και να εξηγεί κύκλωμα αποκωδικοποιητή 2-bit σε 4 γραμμές.
- ✓ Να σχεδιάζει και να εξηγεί κύκλωμα αποκωδικοποιητή 3-bit σε 8 γραμμές.
- ✓ Να σχεδιάζει και να εξηγεί κύκλωμα αποκωδικοποιητή από τον κώδικα BCD στο δεκαδικό.

Ο **αποκωδικοποιητής** είναι ένα συνδυαστικό λογικό κύκλωμα που αναγνωρίζει την παρουσία ορισμένου κώδικα από N bits στις εισόδους του και ενεργοποιεί μια μόνο έξοδο που αντιστοιχεί στο συγκεκριμένο κωδικα εισόδου.



ΜΕΓΙΣΤΟΣ ΑΡΙΘΜΟΣ ΕΞΟΔΩΝ $M_{MAX} = 2^N$

1. **Κώδικας Εισόδου** με: **4 Bits** - Δίδει μέγιστο αριθμό εξόδων :
- 7 Bits** - Δίδει μέγιστο αριθμό εξόδων :
- 8 Bits** - Δίδει μέγιστο αριθμό εξόδων :

♦ **ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2 ΒΙΤ ΣΕ 4 ΓΡΑΜΜΕΣ**



$$N = 2$$

$$M = 2^2 = 4$$

2. Συμπληρώστε τον Πίνακα Αληθείας και γράψτε τις λογικές συναρτήσεις των εξόδων:

A/A	ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			
	A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	1
1						
2						
3						

$Y_0 = \dots\dots\dots$
 $Y_1 = \dots\dots\dots$
 $Y_2 = \dots\dots\dots$
 $Y_4 = \dots\dots\dots$

3. Σχεδιάστε το αντίστοιχο λογικό κύκλωμα του αποκωδικοποιητή

♦ **ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2 ΒΙΤ ΣΕ 4 ΓΡΑΜΜΕΣ - ΕΞΟΔΟΙ ΕΝΕΡΓΕΣ ΣΤΟ ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ**



4. Συμπληρώστε τον Πίνακα Αληθείας και γράψτε τις λογικές συναρτήσεις των εξόδων.

ΣΗΜΕΙΩΣΗ: Χρησιμοποιήστε το **Θεώρημα De Morgan** για να απλοποιήσετε τις λογικές συναρτήσεις

A/A	ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			
	A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	1	1	1	0
1	0	1				
2	1	0				
3	1	1				

$\overline{Y_0} = \overline{A_1} \cdot \overline{A_0}$ $Y_0 = \dots\dots\dots$
 $\overline{Y_1} = \dots\dots\dots$ $Y_1 = \dots\dots\dots$
 $\overline{Y_2} = \dots\dots\dots$ $Y_2 = \dots\dots\dots$
 $\overline{Y_3} = \dots\dots\dots$ $Y_3 = \dots\dots\dots$

5. Τι παρατηρείτε σε σχέση με τις λογικές συναρτήσεις με τις εξόδους ενεργές στο ψηλό επίπεδο;

.....

Αξιολόγηση

Να γράψετε τη λογική συνάρτηση για την έξοδο Y_5 κυκλώματος αποκωδικοποιητή 3 Bit σε 8 Γραμμές με τις εισόδους και εξόδους ενεργές στο λογικό 1:

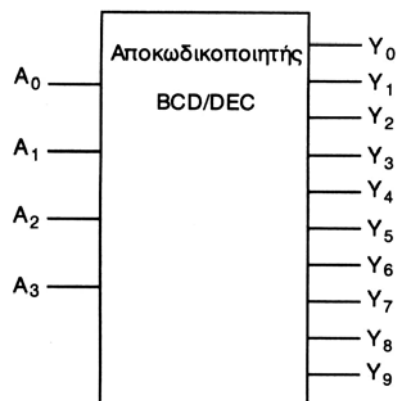
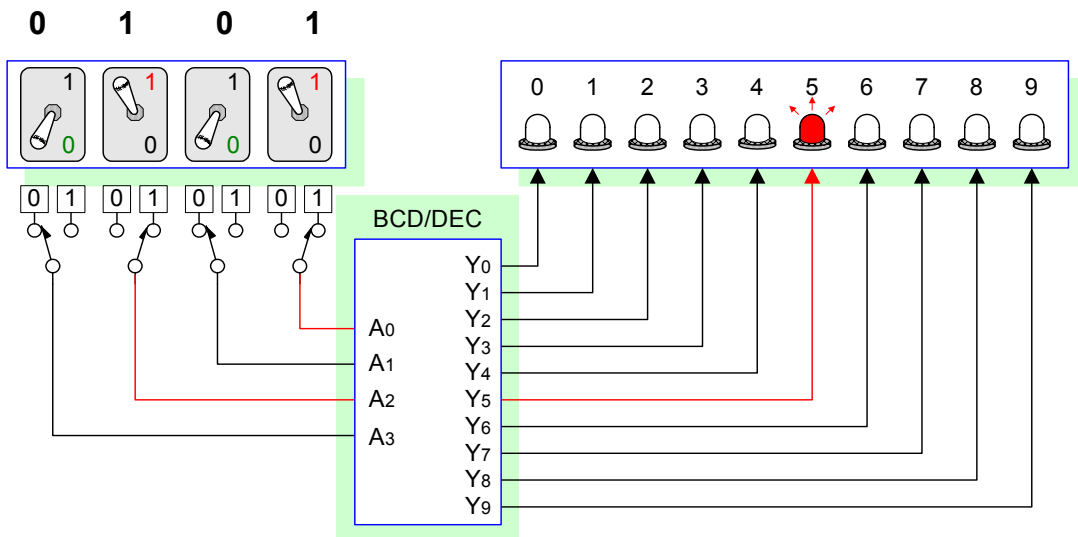
$A_2A_1A_0 = \dots\dots\dots$

$Y_5 = \dots\dots\dots$

Να γράψετε ποια έξοδος θα ενεργοποιηθεί αν ο κώδικας εισόδου είναι $A_2A_1A_0 = 100$:

.....

♦ **ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ BCD ΣΕ ΔΕΚΑΔΙΚΟ**



6. Συμπληρώστε τον Πίνακα Αληθείας:

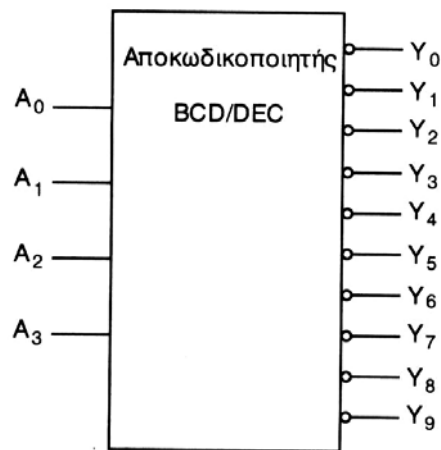
A/A	ΕΙΣΟΔΟΙ				ΕΞΟΔΟΙ										
	A ₃	A ₂	A ₁	A ₀	Y ₉	Y ₈	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
2	0	0	1	0											
3															
4															
5															
6															
7															
8															
9	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0

7. Γράψτε τη λογική συνάρτηση για τις εξόδους Y₄ και Y₆

<p>Y₄ =</p> <p>Y₆ =</p>

8. Σχεδιάστε το λογικό κύκλωμα για την έξοδο Y₆

♦ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ BCD ΣΕ ΔΕΚΑΔΙΚΟ - ΕΞΟΔΟΙ ΕΝΕΡΓΕΣ ΣΤΟ ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ



9. Γράψτε τη λογική συνάρτηση για τις εξόδους Y₃ και Y₈ όταν οι εξόδοι είναι ενεργές στο χαμηλό επίπεδο:

$\overline{Y_3} = \dots\dots\dots$	$Y_3 = \dots\dots\dots$
$\overline{Y_8} = \dots\dots\dots$	$Y_8 = \dots\dots\dots$

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 6 - "Κωδικοποιητές / Αποκωδικοποιητές / Μετατροπείς Κώδικα "

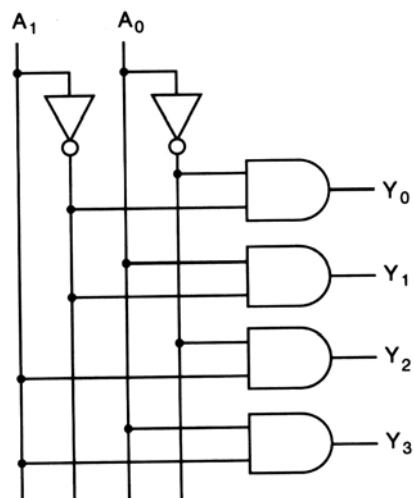
1. Από το βιβλίο σας στην **Ενότητα 6** να διαβάσετε τα πιο κάτω:
 - **Ενότητα 6.2 Αποκωδικοποιητές** **Σελίδα 200 - 204**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - **Ασκήσεις 7, 8, 10, 11,** **Σελίδα 218**

♦ **ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2 ΒΙΤ ΣΕ 4 ΓΡΑΜΜΕΣ**



Α/Α	ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			
	A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	1
1	0	1	0	0	1	0
2	1	0	0	1	0	0
3	1	1	1	0	0	0

$$\begin{aligned}
 Y_0 &= \overline{A_1} \cdot \overline{A_0} \\
 Y_1 &= \overline{A_1} \cdot A_0 \\
 Y_2 &= A_1 \cdot \overline{A_0} \\
 Y_3 &= A_1 \cdot A_0
 \end{aligned}$$

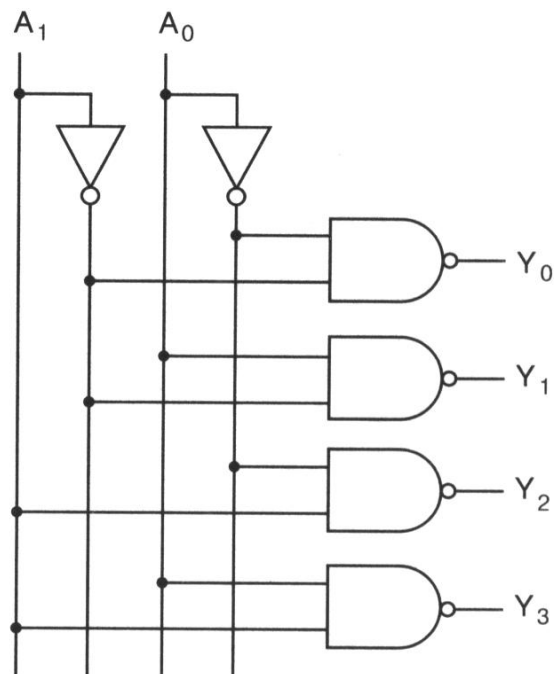


♦ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2 ΒΙΤ ΣΕ 4 ΓΡΑΜΜΕΣ - ΕΞΟΔΟΙ ΕΝΕΡΓΕΣ ΣΤΟ ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ

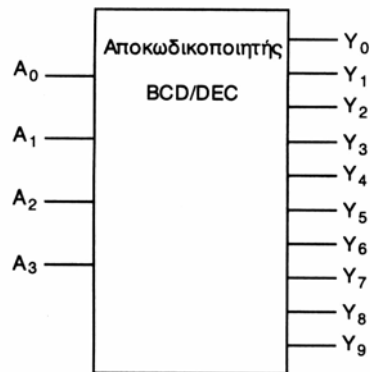


A/A	ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			
	A ₁	A ₀	Y	Y ₂	Y ₁	Y ₀
0	0	0	1	1	1	0
1	0	1	1	1	0	1
2	1	0	1	0	1	1
3	1	1	0	1	1	1

$$\begin{array}{ll} \overline{Y_0} = \overline{A_1} \overline{A_0} & (0, 0) & Y_0 = \overline{\overline{A_1} \overline{A_0}} \\ \overline{Y_1} = \overline{A_1} A_0 & (0, 1) & Y_1 = \overline{\overline{A_1} A_0} \\ \overline{Y_2} = A_1 \overline{A_0} & (1, 0) & Y_2 = \overline{A_1 \overline{A_0}} \\ \overline{Y_3} = A_1 A_0 & (1, 1) & Y_3 = \overline{A_1 A_0} \end{array}$$



♦ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ BCD ΣΕ ΔΕΚΑΔΙΚΟ

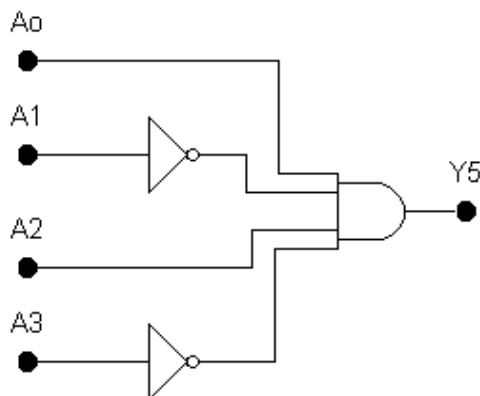


A/A	ΕΙΣΟΔΟΙ				ΕΞΟΔΟΙ										
	A ₃	A ₂	A ₁	A ₀	Y ₉	Y ₈	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
2	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0
3	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0
4	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0	0	1	0	0	0	0	0	0
6	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0
7	0	1	1	1	0	0	1	0	0	0	0	0	0	0	0
8	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0
9	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0

$$\begin{aligned}
 Y_0 &= \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 \\
 Y_1 &= \bar{A}_3 \bar{A}_2 \bar{A}_1 A_0 \\
 Y_2 &= \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0 \\
 Y_3 &= \bar{A}_3 \bar{A}_2 A_1 A_0 \\
 Y_4 &= \bar{A}_3 A_2 \bar{A}_1 \bar{A}_0
 \end{aligned}$$



$$\begin{aligned}
 Y_5 &= \bar{A}_3 A_2 \bar{A}_1 A_0 \\
 Y_6 &= \bar{A}_3 A_2 A_1 \bar{A}_0 \\
 Y_7 &= \bar{A}_3 A_2 A_1 A_0 \\
 Y_8 &= A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 \\
 Y_9 &= A_3 \bar{A}_2 \bar{A}_1 A_0
 \end{aligned}$$



Για το κώδικα 0101 (5), τότε:

$$Y = \bar{A}_3 \bar{A}_2 \bar{A}_1 A_0$$

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ**ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΩΔΙΚΟΠΟΙΗΤΕΣ / ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΛΟΓΙΚΕΣ ΣΥΝΑΡΤΗΣΕΙΣ, ΠΙΝΑΚΕΣ ΑΛΗΘΕΙΑΣ & ΧΑΡΤΕΣ
KARNAUGH**

ΟΝΟΜΑ : ΤΜΗΜΑ :

ΧΑΡΤΕΣ KARNAUGH**Στόχοι**

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να χρησιμοποιεί τους χάρτες Karnaugh για να απλοποιεί συναρτήσεις της συνδυαστικής λογικής.
- ✓ Να κατανοεί τον όρο "Αδιάφοροι Όροι" και να μπορεί να τους αξιοποιεί στους χάρτες Karnaugh.

Απαντήστε τις ερωτήσεις

1. Δίδεται ο Πίνακας Αληθείας λογικού κυκλώματος με τρεις μεταβλητές εισόδου A, B και C. Να δώσετε τη λογική συνάρτηση της εξόδου Y.

ΕΙΣΟΔΟΙ			ΕΞΟΔΟΣ
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Y =

.....

2. Συμπληρώσετε το χάρτη Karnaugh και απλοποιήστε τη λογική συνάρτηση.

AB \ C	0	1
00		
01		
11		
10		

Απλοποιημένη λογική συνάρτηση

Y =

3. Σχεδιάστε το αντίστοιχο απλοποιημένο λογικό διάγραμμα της λογικής συνάρτησης.

4. Ομαδοποιήστε και απλοποιήστε τις πιο κάτω λογικές συναρτήσεις με τη χρήση του Χάρτη Karnaugh:

AB \ CD	00	01	11	10
00	1	1	0	0
01	1	1	1	1
11	0	0	0	0
10	0	1	1	0

Y =

AB \ CD	00	01	11	10
00	1	0	1	1
01	1	0	0	1
11	1	0	0	1
10	1	0	1	1

Y =

AB \ CD	00	01	11	10
00	1	0	1	1
01	0	0	0	1
11	0	0	0	1
10	X	0	0	X

Y =

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΩΔΙΚΟΠΟΙΗΤΕΣ / ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 6 7-ΤΜΗΜΑΤΙΚΗ ΜΟΝΑΔΑ ΕΝΔΕΙΞΗΣ

ΟΝΟΜΑ : ΤΜΗΜΑ :

7-ΤΜΗΜΑΤΙΚΗ ΜΟΝΑΔΑ ΕΝΔΕΙΞΗΣ

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να εξηγεί την παράσταση αριθμών με την 7-τμηματική μονάδα ένδειξης με LED και LCD.
- ✓ Να αναφέρει χαρακτηριστικά και διαφορές των LED και LCD.

Μετατροπείς Κώδικα

Τα κυκλώματα **μετατροπής κώδικα μετατρέπουν** τα κωδικοποιημένα δεδομένα από ένα κώδικα σε ένα άλλο ώστε να γίνει δυνατή η επεξεργασία των από άλλα λογικά κυκλώματα.

Ο αριθμός των εισόδων του μετατροπέα ισούται με τον αριθμό των δυαδικών ψηφίων του κώδικα εισόδου και ο αριθμός των εξόδων ισούται με τον αριθμό των δυαδικών ψηφίων του κώδικα εξόδου.

Χαρακτηριστικό κύκλωμα μετατροπέα κώδικα είναι το κύκλωμα που **μετατρέπει τον κώδικα BCD στον κώδικα 7 τμηματικής μονάδας ένδειξης** για παράσταση των αριθμών.

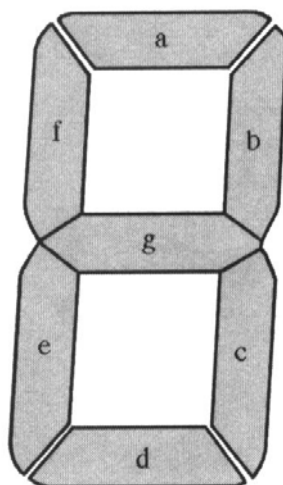
7 Τμηματική Μονάδα Ένδειξης - Seven Segment Display

Μπορούμε να παραστήσουμε δεκαδικούς αριθμούς από το 0 μέχρι το 9 καθώς επίσης και άλλους χαρακτήρες.. Είναι κατασκευασμένη από:

LEDs - **L**ight **E**mitting **D**iodes Δίοδοι Φωτοεκπομπής

LCDs - **L**iquid **C**rystal **D**isplays Οθόνη Υγρών Κρυστάλλων

Αποτελείται από 7 τμήματα:

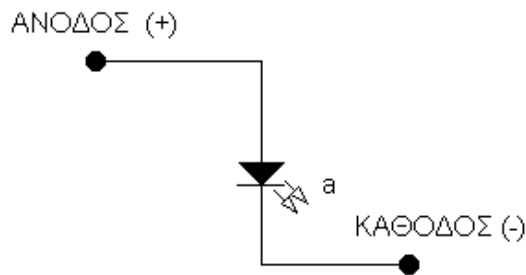
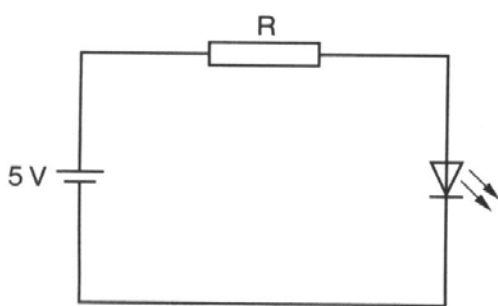


Άσκηση 1 Να παραστήσετε τους αριθμούς 0 - 9 με τη χρήση ενδεικτής 7 τμημάτων και συμπληρώστε ποια τμήματα της οθόνης "ανάβουν":

0	1	2	3	4	5	6	7	8	9	

Οθόνη με Διόδους Φωτοεκπομπής

Αποτελείται από 7 διόδους φωτοεκπομπής. Οι διόδοι εκπέμπουν φως όταν πολωθούν ορθά.



Τυπικά στοιχεία

$I_F = 10 \text{ mA}$
 $V_F = 2 \text{ V}$

Υπολογισμός Προστατευτικής Αντίστασης

$$R = \frac{5 \text{ V} - 2 \text{ V}}{10 \text{ mA}} = \frac{3 \text{ V}}{10 \text{ mA}} = 300 \Omega$$

Να αναφέρετε το ρόλο της προστατευτικής αντίστασης στο κύκλωμα της διόδου και να εξηγήσετε γιατί είναι απαραίτητη

.....

.....

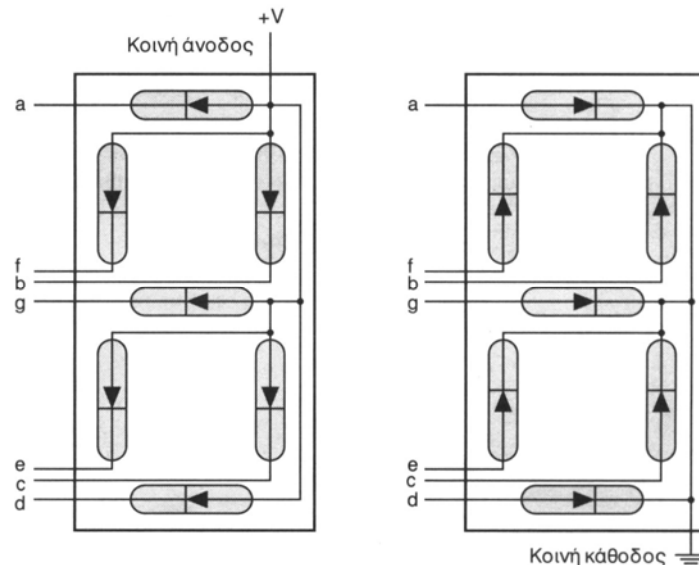
.....

Άσκηση 2 Να υπολογίσετε την προστατευτική αντίσταση για ένα κύκλωμα διόδου, αν η τάση τροφοδοσίας είναι 5V και τα χαρακτηριστικά της διόδου φωτοεκπομπής είναι:

$I_F = 20 \text{ mA}$ $V_F = 2 \text{ V}$

Χαρακτηριστικά 7 Τμηματικής Οθόνης ένδειξης με LEDs:

- ✓ Κοινής Ανόδου ή Κοινής Καθόδου
- ✓ Χρώματα Κόκκινο, Πράσινο, Κίτρινο
- ✓ Απαντάται σε διάφορα μεγέθη
- ✓ Αποτελείται από ένα ή περισσότερα ψηφία (Digits), με κάθε ψηφίο να περιλαμβάνει το δεκαδικό σημείο (decimal point)



Οθόνη Υγρών Κρυστάλλων

Βασίζουν τη λειτουργία τους στην ιδιότητα ορισμένων υγρών κρυστάλλων να προσανατολίζονται κάτω από την επίδραση ενός ηλεκτρικού πεδίου, ώστε να απορροφούν το φως που προσπίπτει σε αυτές αντί να το αντανακλούν.

- ✓ Πολύ μικρή κατανάλωση ισχύος
- ✓ Δεν ακτινοβολούν φως (ανάγκη για εξωτερικό φωτισμό για να είναι ορατές)
- ✓ Είναι κατασκευασμένες από ένα σώμα και δεν συναρμολογούνται

Να εξηγήσετε την διαδεδομένη χρήση οθονών LCD σε φορητούς υπολογιστές και ψηφιακά ρολόγια.

.....

.....

.....

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 6 - "Κωδικοποιητές / Αποκωδικοποιητές / Μετατροπείς Κώδικα "

1. Από το βιβλίο σας στην **Ενότητα 6** να διαβάσετε τα πιο κάτω:
 - **Ενότητα 6.3** **Μετατροπείς Κώδικα** **Σελίδα 206**
 - **Ενότητα 6.3** **7-Τμηματική Μονάδα Ένδειξης** **Σελίδα 207 - 209**
 - **Ενότητα 6.3.1.4** **Οθόνη Υγρών Κρυστάλλων** **Σελίδα 209/210**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - **Ασκήσεις 13, 18, 20** **Σελίδα 218**

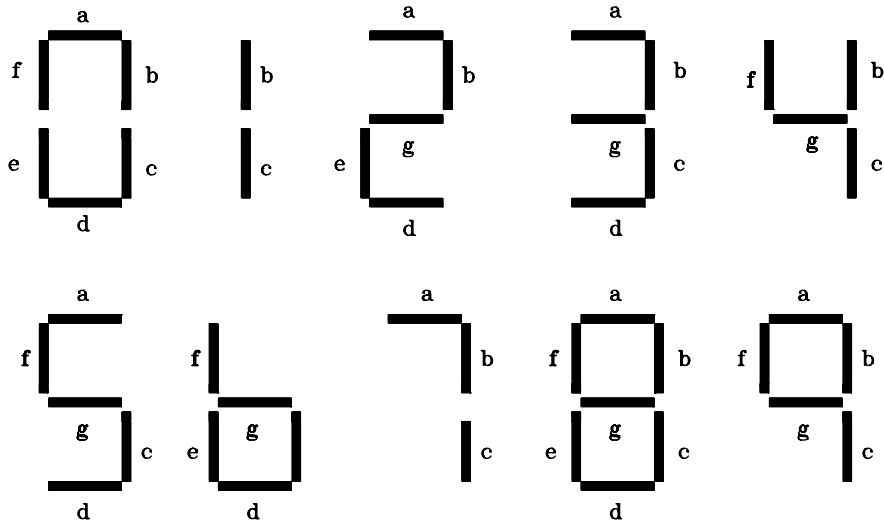
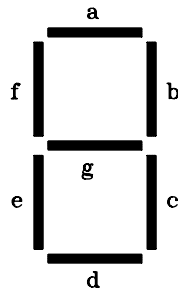
Σημειώσεις - Λύσεις

7 Τμηματική Μονάδα Ένδειξης - Seven Segment Display

Μπορούμε να παραστήσουμε δεκαδικούς αριθμούς από το 0 μέχρι το 9 καθώς επίσης και άλλους χαρακτήρες.. Είναι κατασκευασμένη από:

LEDs - Light Emitting Diodes Δίοδοι Φωτοεκπομπής
LCDs - Liquid Crystal Displays Οθόνη Υγρών Κρυστάλλων

Αποτελείται από 7 τμήματα:



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΩΔΙΚΟΠΟΙΗΤΕΣ / ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 7 - ΜΕΤΑΤΡΟΠΕΙΣ ΚΩΔΙΚΑ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Μετατροπείς Κώδικα

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει και να εξηγεί κύκλωμα μετατροπής από τον κώδικα BCD στον κώδικα ελέγχου της 7-τμηματικής μονάδας ένδειξης.
- ✓ Να επιλέγει τι σωστή 7-τμηματική μονάδας ένδειξης (κοινής ανόδου ή κοινής καθόδου ανάλογα με τις εξόδους του κυκλώματος μετατροπής κώδικα ενεργές στο λογικό 1 και λογικό 0.

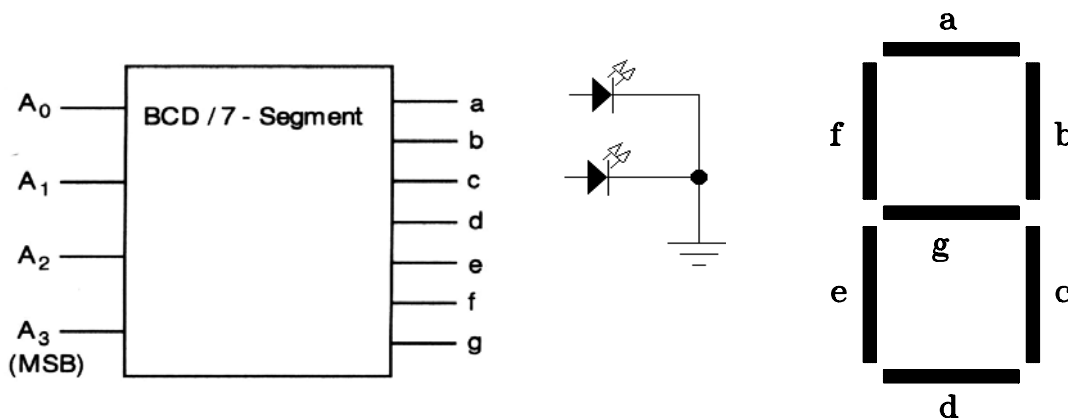
Τα κυκλώματα **μετατροπής κώδικα μετατρέπουν** τα κωδικοποιημένα δεδομένα από ένα κώδικα σε ένα άλλο ώστε να γίνει δυνατή η επεξεργασία των από άλλα λογικά κυκλώματα.

Ο αριθμός των εισόδων του μετατροπέα ισούται με τον αριθμό των δυαδικών ψηφίων του κώδικα εισόδου και ο αριθμός των εξόδων ισούται με τον αριθμό των δυαδικών ψηφίων του κώδικα εξόδου.

Χαρακτηριστικό κύκλωμα μετατροπέα κώδικα είναι το κύκλωμα που **μετατρέπει τον κώδικα BCD στον κώδικα 7 τμηματικής μονάδας ένδειξης** για παράσταση των αριθμών.

♦ **Κύκλωμα Μετατροπέα από τον Κώδικα BCD σε 7 Τμήματα**

ΚΥΚΛΩΜΑ ΜΕ ΤΙΣ ΕΞΟΔΟΥΣ ΕΝΕΡΓΕΣ ΣΤΟ ΨΗΛΟ ΕΠΙΠΕΔΟ



1. Να εξηγήσετε τον όρο "**εξόδοι ενεργές στο ψηλό επίπεδο**" σε σχέση με τους ενδείκτες LED.

.....

.....

.....

.....

2. Συμπληρώστε τον Πίνακα Αληθείας του κυκλώματος Αποκωδικοποιητή από BCD σε 7 Τμήματα:

Σημείωση: Να χρησιμοποιήσετε την παράσταση των δεκαδικών αριθμών στην 7-Τμηματική Μονάδα Ένδειξης όπως δίδεται στο Σχήμα 6/21 της σελίδας 207 του βιβλίου σας.

ΕΙΣΟΔΟΙ					ΕΞΟΔΟΙ						
A/A	BCD				a	b	c	d	e	f	g
	A ₃	A ₂	A ₁	A ₀							
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1							
2											
3											
4											
5											
6											
7											
8											
9											

3. Σημειώστε τους κώδικες που δε χρησιμοποιούνται (από το δεκαδικό 10 - 15) :

10 **11** **12**

13 **14** **15**

ΣΗΜΕΙΩΣΗ : ΟΙ ΣΥΝΔΥΑΣΜΟΙ ΑΥΤΟΙ ΘΑ ΧΡΗΣΙΜΟΠΟΙΗΘΟΥΝ ΩΝ ΑΔΙΑΦΟΡΟΙ ΟΡΟΙ ΣΤΟ ΧΑΡΤΗ KARNAUGH ΑΦΟΥ ΔΕΝ ΧΡΗΣΙΜΟΠΟΙΟΥΝΤΑΙ

4. Από τον Πίνακα Αληθείας δώστε τη λογική συνάρτηση για τη έξοδο **e** του κυκλώματος:

e =

.....

5. Απλοποιήστε τη λογική συνάρτηση χρησιμοποιώντας χάρτη Karnaugh εκμεταλλευόμενοι τους αδιάφορους όρους:

A_1A_0 A_3A_2	00	01	11	10
00				
01				
11				
10				

e =

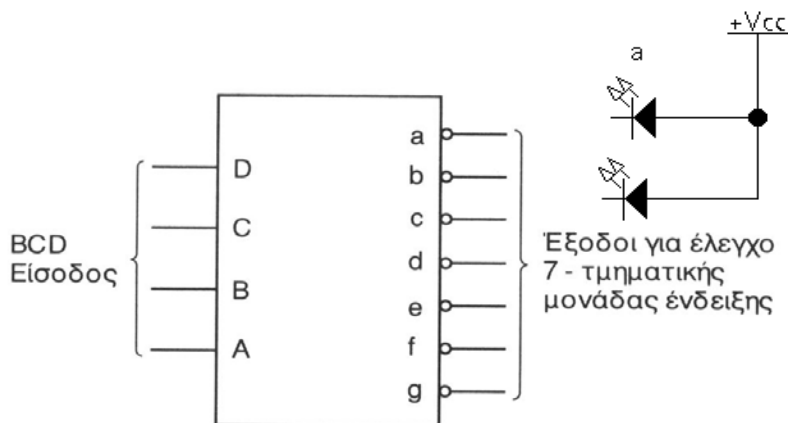
6. Σχεδιάστε το λογικό κύκλωμα του τμήματος e για τις εξόδους του μετατροπέα ενεργές στο λογικό 1.

7. Ποια 7 - Τμηματική Μονάδα Ένδειξης πρέπει να χρησιμοποιηθεί στην περίπτωση αυτή;

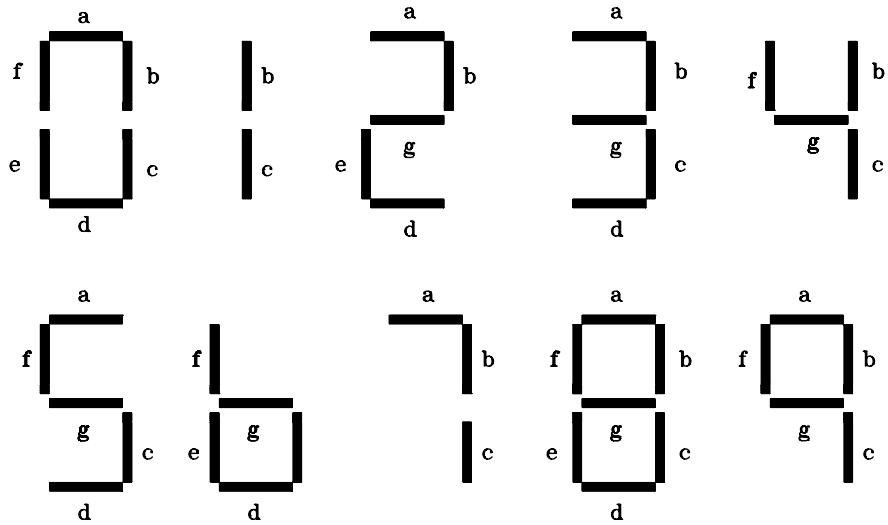
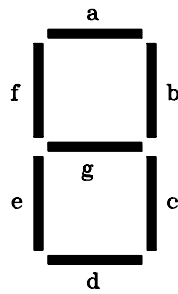
.....

♦ **Κύκλωμα Μετατροπέα από τον Κώδικα BCD σε 7 Τμήματα**

ΚΥΚΛΩΜΑ ΜΕ ΤΙΣ ΕΞΟΔΟΥΣ ΕΝΕΡΓΕΣ ΣΤΟ ΧΑΜΗΛΟ ΕΠΙΠΕΔΟ



Σημειώσεις - Λύσεις

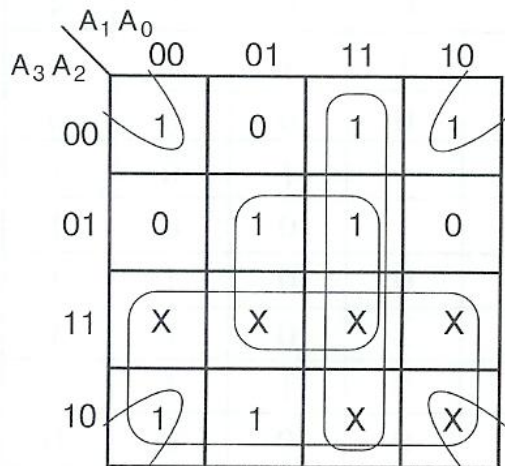


Δεκ/κό ψηφίο	Είσοδοι				Έξοδοι						
	8 - 4 - 2 - 1 BCD				a	b	c	d	e	f	g
	A ₃	A ₂	A ₁	A ₀							
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1

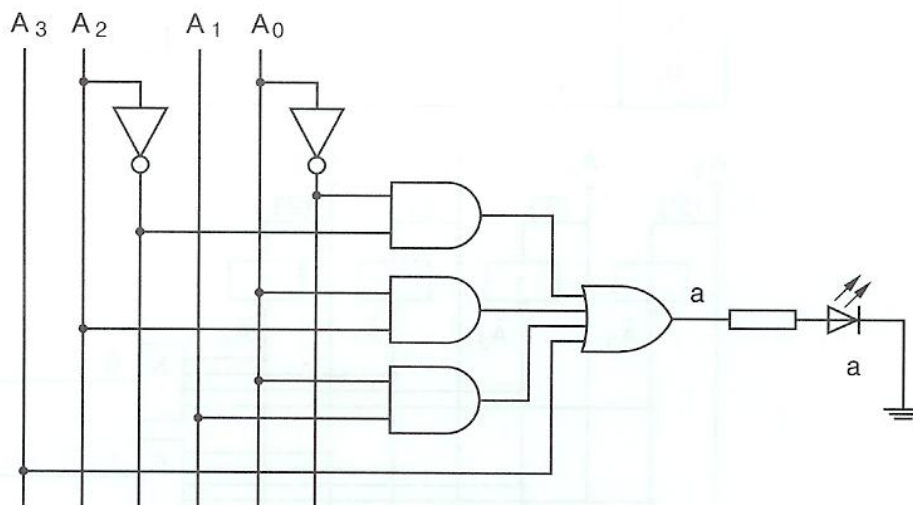
Για το τμήμα α, έχουμε τη λογική συνάρτηση:

$$a = \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 + \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0 + \bar{A}_3 \bar{A}_2 A_1 A_0 + \bar{A}_3 A_2 \bar{A}_1 A_0 + \bar{A}_3 A_2 A_1 A_0 + A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 + A_3 \bar{A}_2 \bar{A}_1 A_0$$

Χρησιμοποιώντας το χάρτη Karnaugh, αυτή απλοποιείται:



$$a = \bar{A}_2 \bar{A}_0 + A_2 A_0 + A_1 A_0 + A_3$$



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΚΩΔΙΚΟΠΟΙΗΤΕΣ / ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 8 -ΚΥΚΛΩΜΑΤΑ ΜΕΤΑΤΡΟΠΗΣ ΚΩΔΙΚΑ GRAY

ΟΝΟΜΑ : ΤΜΗΜΑ :

ΚΥΚΛΩΜΑΤΑ ΜΕΤΑΤΡΟΠΗΣ ΚΩΔΙΚΑ GRAY

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει και να εξηγεί κύκλωμα μετατροπής από το δυαδικό κώδικα στο κώδικα Grey.
- ✓ Να σχεδιάζει και να εξηγεί κύκλωμα μετατροπής από το κώδικα Grey στο δυαδικό κώδικα.

Κώδικας Grey

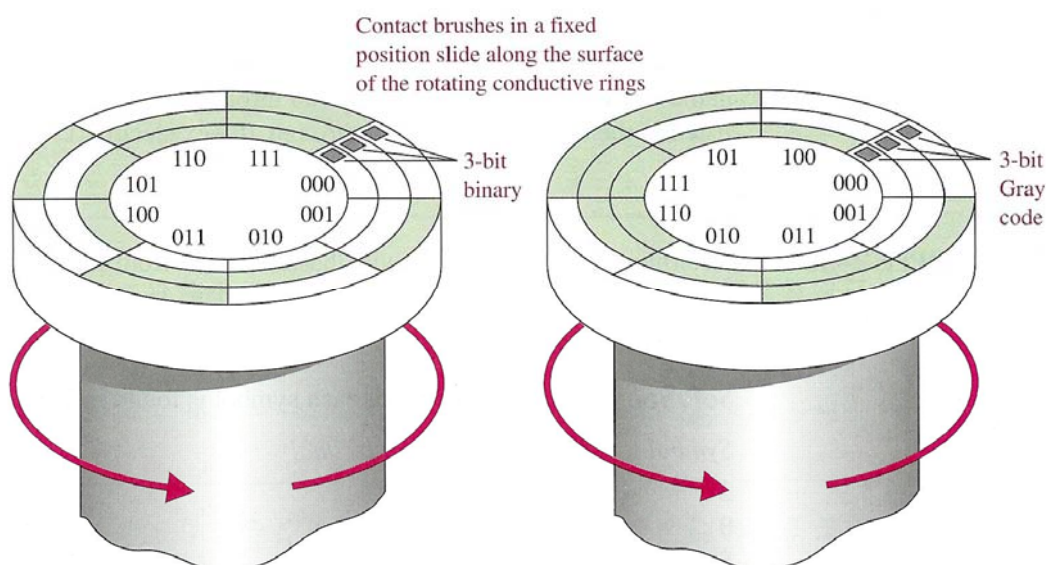
Ο ΚΩΔΙΚΑΣ GRAY ΕΧΕΙ ΤΗΝ ΙΔΙΟΤΗΤΑ ΝΑ ΑΛΛΑΖΕΙ ΜΟΝΟ ΕΝΑ ΨΗΦΙΟ ΑΠΟ ΤΟΝ ΕΝΑ ΚΩΔΙΚΟ ΑΡΙΘΜΟ ΣΤΟΝ ΕΠΟΜΕΝΟ ΚΑΙ ΕΧΕΙ ΧΡΗΣΗ ΣΕ ΣΥΣΤΗΜΑΤΑ ΕΛΕΓΧΟΥ Π. Χ. ΜΗΧΑΝΙΣΜΟΥΣ ΚΩΔΙΚΟΠΟΙΗΣΗΣ ΑΞΟΝΙΚΗΣ ΘΕΣΗΣ ΕΝΟΣ ΚΙΝΗΤΗΡΑ.

Κυκλώματα Μετατροπής Κώδικα Gray

Στον κώδικα GRAY η αξία των ψηφίων δεν έχει καμία σχέση με τη θέση που έχουν μέσα στη λέξη.

Ο κώδικας GRAY έχει την ιδιότητα να αλλάζει μόνο ένα ψηφίο από την μια κωδική λέξη στην επόμενη. Αυτό βρίσκει εφαρμογές σε συστήματα ελέγχου με επανατροφοδότηση όπως π.χ. στην κωδικοποίηση της αξονικής θέσης ενός κινητήρα.

Ο κώδικας GRAY δεν είναι αριθμητικός κώδικας και μπορεί να έχει οποιοδήποτε αριθμό ψηφίων.



Απλοποιημένη εικονογράφηση πως ο κώδικας Gray λύει τα προβλήματα λάθους στους κωδικοποιητές αξονικής θέσης

➤ ΠΑΡΑΔΕΙΓΜΑ 4 ΨΗΦΙΟΥ ΚΩΔΙΚΑ GRAY

ΔΕΚΑΔΙΚΟΣ ΚΩΔΙΚΑΣ	ΔΥΑΔΙΚΟΣ ΚΩΔΙΚΑΣ	ΚΩΔΙΚΑΣ GRAY
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

1. ΑΣΚΗΣΗ 1

Συμπληρώστε τον Πίνακα για τον πιο κάτω κώδικες GRAY των δύο και των τριών bit:

ΔΕΚΑΔΙΚΟΣ	ΔΥΑΔΙΚΟΣ	ΚΩΔ GRAY
0	00	00
1	01	
2	10	
3	11	

ΔΕΚΑΔΙΚΟΣ	ΔΥΑΔΙΚΟΣ	ΚΩΔ GRAY
0	000	000
1	001	001
2	010	011
3		
4		
5		
6		
7		

ΜΕΤΑΤΡΟΠΗ ΑΠΟ ΤΟ ΔΥΑΔΙΚΟ ΚΩΔΙΚΑ ΣΤΟΝ ΚΩΔΙΚΑ GRAY

- ΤΟ MSB ΤΟΥ ΚΩΔΙΚΑ GRAY ΙΣΟΥΤΑΙ ΜΕ ΤΟ MSB ΤΟΥ ΔΥΑΔΙΚΟΥ ΚΩΔΙΚΑ
- ΤΟ ΔΕΥΤΕΡΟ ΒΙΤ ΤΟΥ ΚΩΔΙΚΑ GRAY ΕΙΝΑΙ ΤΟ ΑΠΟΤΕΛΕΣΜΑ ΤΗΣ ΛΟΓΙΚΗΣ ΠΡΑΞΗΣ EX OR ΜΕΤΑΞΥ ΤΟΥ 1^{ΟΥ} ΚΑΙ ΤΟΥ 2^{ΟΥ} ΔΥΑΔΙΚΟΥ ΨΗΦΙΟΥ
- ΤΟ ΤΡΙΤΟ ΒΙΤ ΤΟΥ ΚΩΔΙΚΑ GRAY ΕΙΝΑΙ ΤΟ ΑΠΟΤΕΛΕΣΜΑ ΤΗΣ ΛΟΓΙΚΗΣ ΠΡΑΞΗΣ EX OR ΜΕΤΑΞΥ ΤΟΥ 2^{ΟΥ} ΚΑΙ ΤΟΥ 3^{ΟΥ} ΔΥΑΔΙΚΟΥ ΨΗΦΙΟΥ Κ. Ο. Κ.

ΕΑΝ Ο ΔΥΑΔΙΚΟΣ ΚΩΔΙΚΑΣ = $A_3A_2A_1A_0$ ΚΑΙ Ο ΚΩΔΙΚΑΣ GRAY = $B_3B_2B_1B_0$ ΤΟΤΕ:

$A_3A_2A_1A_0$ → $B_3B_2B_1B_0$

$$\begin{aligned} B_3 &= A_3 \\ B_2 &= A_3 \oplus A_2 \\ B_1 &= A_2 \oplus A_1 \\ B_0 &= A_1 \oplus A_0 \end{aligned}$$

• ΠΑΡΑΔΕΙΓΜΑ ΜΕΘΟΔΟΥ ΜΕΤΑΤΡΟΠΗΣ 5 ΨΗΦΙΟΥ ΔΥΑΔΙΚΟΥ ΚΩΔΙΚΑ ΣΤΟ GRAY

Δυαδικός κώδικας: 1 – ⊕ → 0 – ⊕ → 0 – ⊕ → 1 – ⊕ → 1

↓ ↓ ↓ ↓ ↓

Κώδικας Γκρέν: 1 1 0 1 0

2. ΑΣΚΗΣΗ 2

Σχεδιάστε το αντίστοιχο λογικό κύκλωμα του μετατροπέα από το δυαδικό αριθμό στον κώδικα GRAY των τεσσάρων bit:

ΑΣΚΗΣΗ 3

Μετατρέψτε το πενταψήφιο δυαδικό κώδικα 10010 στον κώδικα GRAY και σχεδιάστε το αντίστοιχο λογικό κύκλωμα :

ΜΕΤΑΤΡΟΠΗ ΑΠΟ ΤΟΝ ΚΩΔΙΚΑ GRAY ΣΤΟ ΔΥΑΔΙΚΟ ΚΩΔΙΚΑ

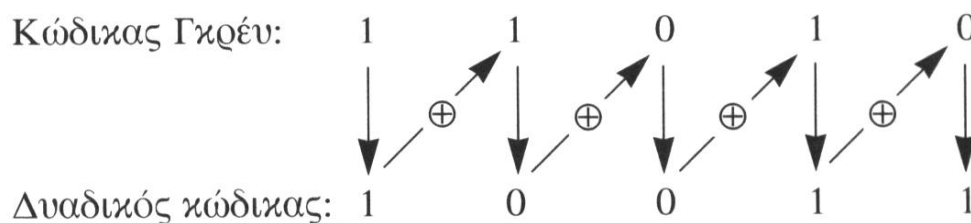
- ΤΟ MSB ΤΟΥ ΔΥΑΔΙΚΟΥ ΚΩΔΙΚΑ ΙΣΟΥΤΑΙ ΜΕ ΤΟ MSB ΤΟΥ ΚΩΔΙΚΑ GRAY.
- ΤΟ ΔΕΥΤΕΡΟ ΒΙΤ ΤΟΥ ΔΥΑΔΙΚΟΥ ΑΡΙΘΜΟΥ ΕΙΝΑΙ ΤΟ ΑΠΟΤΕΛΕΣΜΑ ΤΗΣ ΛΟΓΙΚΗΣ ΠΡΑΞΗΣ EX OR ΜΕΤΑΞΥ ΤΟΥ 1^{ΟΥ} ΔΥΑΔΙΚΟΥ ΒΙΤ ΚΑΙ ΤΟΥ 2^{ΟΥ} ΒΙΤ ΤΟΥ ΚΩΔΙΚΑ GRAY.
- ΤΟ ΤΡΙΤΟ ΒΙΤ ΤΟΥ ΔΥΑΔΙΚΟΥ ΑΡΙΘΜΟΥ ΕΙΝΑΙ ΤΟ ΑΠΟΤΕΛΕΣΜΑ ΤΗΣ ΛΟΓΙΚΗΣ ΠΡΑΞΗΣ EX OR ΜΕΤΑΞΥ ΤΟΥ 2^{ΟΥ} ΔΥΑΔΙΚΟΥ ΒΙΤ ΚΑΙ ΤΟΥ 3^{ΟΥ} ΒΙΤ ΤΟΥ ΚΩΔΙΚΑ GRAY Κ. Ο. Κ.

ΕΑΝ Ο ΔΥΑΔΙΚΟΣ ΚΩΔΙΚΑΣ = $A_3A_2A_1A_0$ ΚΑΙ Ο ΚΩΔΙΚΑΣ GRAY = $B_3B_2B_1B_0$ ΤΟΤΕ:

$B_3B_2B_1B_0 \rightarrow A_3A_2A_1A_0$

$$\begin{aligned} A_3 &= B_3 \\ A_2 &= A_3 \oplus B_2 \\ A_1 &= A_2 \oplus B_1 \\ A_0 &= A_1 \oplus B_0 \end{aligned}$$

• ΠΑΡΑΔΕΙΓΜΑ ΜΕΘΟΔΟΥ ΜΕΤΑΤΡΟΠΗΣ 5 ΨΗΦΙΟΥ ΚΩΔΙΚΑ GRAY ΣΤΟ ΔΥΑΔΙΚΟ



Ενότητα 7 - Συγκριτές

- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΣΥΓΚΡΙΤΕΣ ΤΑΣΗΣ
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΠΥΛΕΣ EX OR & EX NOR
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΨΗΦΙΑΚΟΙ ΣΥΓΚΡΙΤΕΣ
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΨΗΦΙΑΚΟΣ ΣΥΓΚΡΙΤΗΣ 1 -BIT
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΨΗΦΙΑΚΟΣ ΣΥΓΚΡΙΤΗΣ 2 -BIT
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 6 - ΨΗΦΙΑΚΟΣ ΣΥΓΚΡΙΤΗΣ 2 BIT ΜΕ ΤΗ ΧΡΗΣΗ ΠΙΝΑΚΑ ΑΛΗΘΕΙΑΣ ΚΑΙ ΧΑΡΤΗ KARNAUGH
- ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 7 - ΧΡΟΝΙΚΑ ΔΙΑΓΡΑΜΜΑΤΑ ΚΥΚΛΩΜΑΤΩΝ ΣΥΓΚΡΙΤΩΝ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Κυκλώματα Συγκριτών Τάσης

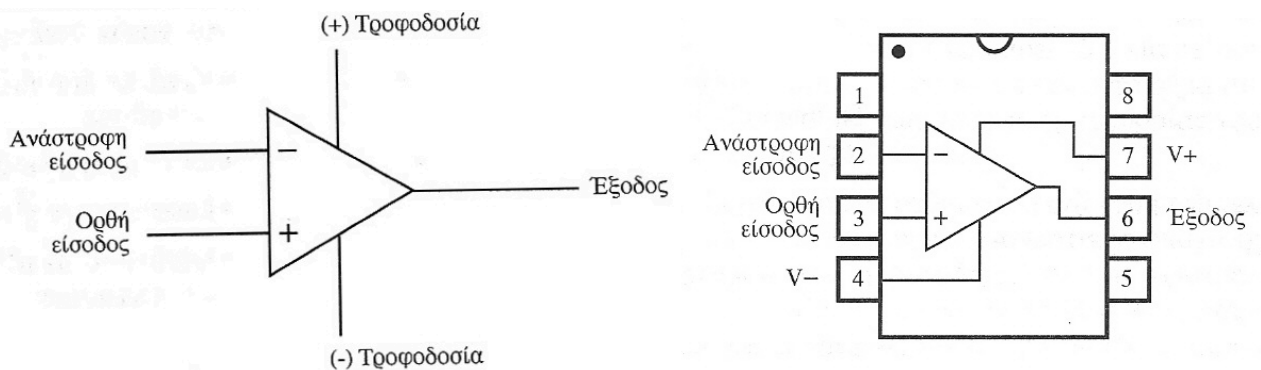
Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να αναγνωρίζει και να εξηγεί το σύμβολο του τελεστικού ενισχυτή.
- ✓ Να αναγνωρίζει την αρχή λειτουργίας κυκλωμάτων τελεστικού ενισχυτή.
- ✓ Να αναφέρει τον ορισμό του συγκριτή τάσης.
- ✓ Να σχεδιάζει και να εξηγεί το κύκλωμα συγκριτή τάσης με τελεστικό ενισχυτή.

Ο Τελεστικός Ενισχυτής

Οι **τελεστικοί ενισχυτές** είναι βασικά κυκλώματα των αναλογικών ηλεκτρονικών, κατασκευάζονται σε ολοκληρωμένη μορφή και αποτελούν τον πυρήνα για την κατασκευή πολλών άλλων ηλεκτρονικών κυκλωμάτων. Οι τελεστικοί ενισχυτές είναι, για τα αναλογικά ηλεκτρονικά, ό,τι είναι οι πύλες για τα ψηφιακά ηλεκτρονικά.



Ο τελεστικός ενισχυτής έχει **δύο εισόδους**. Η μια είσοδος χαρακτηρίζεται με το **-** και ονομάζεται **αρνητική ή ανάστροφος είσοδος**. Η άλλη έξοδος χαρακτηρίζεται με το **+** και ονομάζεται **θετική ή ορθή είσοδος**.

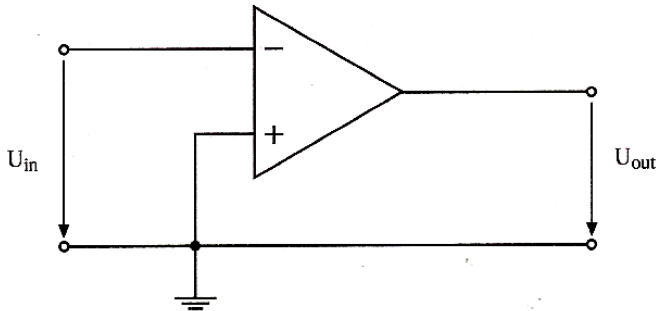
Ο τελεστικός ενισχυτής έχει δύο ακροδέκτες για την τροφοδοσίας των κυκλωμάτων του, τη **θετική τάση τροφοδοσίας V₊** και την **αρνητική τάση τροφοδοσίας, V₋**.

Κυκλώματα με τελεστική ενισχυτή

✓ Εφαρμογή σήματος στην αρνητική είσοδο

Το σήμα εφαρμόζεται στην **αρνητική είσοδο** του τελεστικού ενισχυτή και η **θετική είσοδος γειώνεται**.

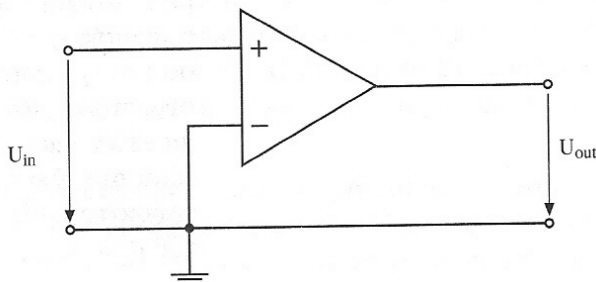
Το σήμα εξόδου **αντιστρέφεται**.



✓ Εφαρμογή σήματος στη θετική είσοδο

Το σήμα εφαρμόζεται στη **θετική είσοδο** του τελεστικού ενισχυτή και η **αρνητική είσοδος γειώνεται**.

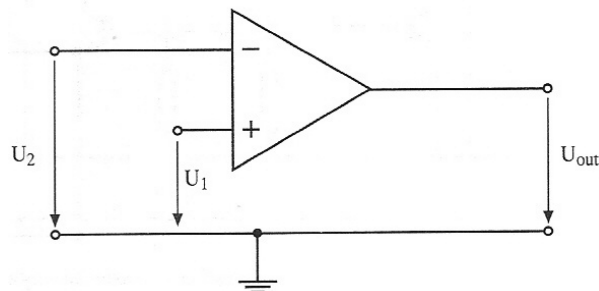
Το σήμα εξόδου βρίσκεται **σε φάση** με το σήμα εισόδου.



✓ Εφαρμογή σημάτων και στις δύο εισόδους

Ένα σήμα εφαρμόζεται στην αρνητική είσοδο και το άλλο σήμα στη θετική είσοδο.

Το κύκλωμα ενεργεί ως **διαφορικός ενισχυτής** και ενισχύει τη διαφορά μεταξύ των δύο σημάτων.

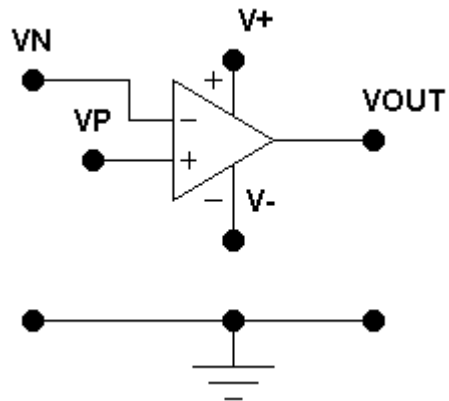


Συγκριτής Τάσης

Ο **Συγκριτής Τάσης** συγκρίνει τις τάσεις στις δυο εισόδους του και η έξοδος του παίρνει τη ψηλή ή τη χαμηλή τάση ανάλογα με το τρόπο λειτουργίας του κυκλώματος.

Συγκριτής Τάσης με Τελεστικό Ενισχυτή Ανοικτού Βρόχου

1. $V_P > V_N$ τότε $V_{OUT} = V_+$
2. $V_N > V_P$ τότε $V_{OUT} = V_-$



Επειδή η ενίσχυση του τελεστικού ενισχυτή **χωρίς επανατροφοδότηση** (δηλαδή με ανοικτό βρόχο) είναι πολύ μεγάλη, η έξοδος του παίρνει μόνο δύο τιμές, την **ψηλή και τη χαμηλή (ανάλογα με τη διαφορά στις τάσεις εισόδου)**, οι οποίες πλησιάζουν και πρακτικά είναι ίσες με τις δύο τάσεις τροφοδοσίας του κυκλώματος.

Στην πράξη το κύκλωμα του συγκριτή τάσης **συγκρίνει τις τάσεις στις δύο εισόδους** του, στη θετική και αρνητική είσοδο και ισχύουν τα ακόλουθα:

(a) Η τιμή της τάσης στη θετική είσοδο είναι πιο ψηλή από την τιμή της τάσης στην αρνητική είσοδο:

Η έξοδος οδηγείται

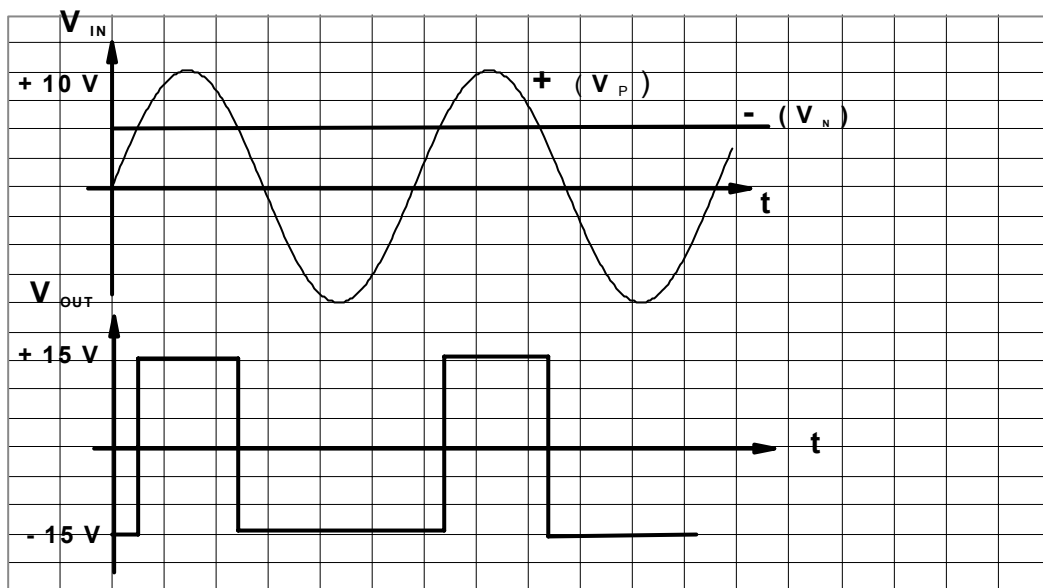
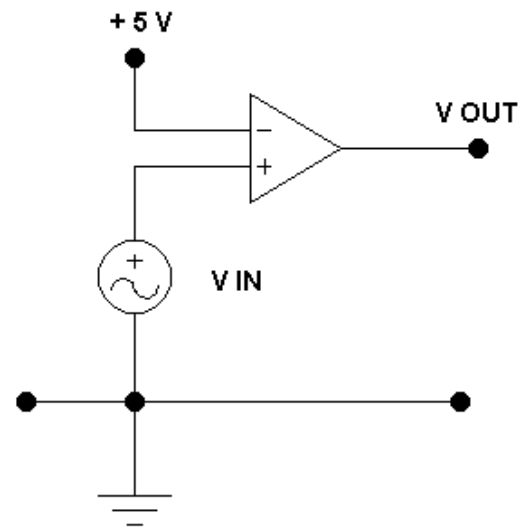
(a) Η τιμή της τάσης στην αρνητική είσοδο είναι πιο ψηλή από την τιμή της τάσης στη θετική:

Η έξοδος οδηγείται

♦ ΠΑΡΑΔΕΙΓΜΑ

Τροφοδοσία

ΨΗΛΗ ΤΙΜΗ ΕΞΟΔΟΥ, $V_+ = +15\text{ V}$
 ΧΑΜΗΛΗ ΤΙΜΗ ΕΞΟΔΟΥ, $V_- = -15\text{ V}$

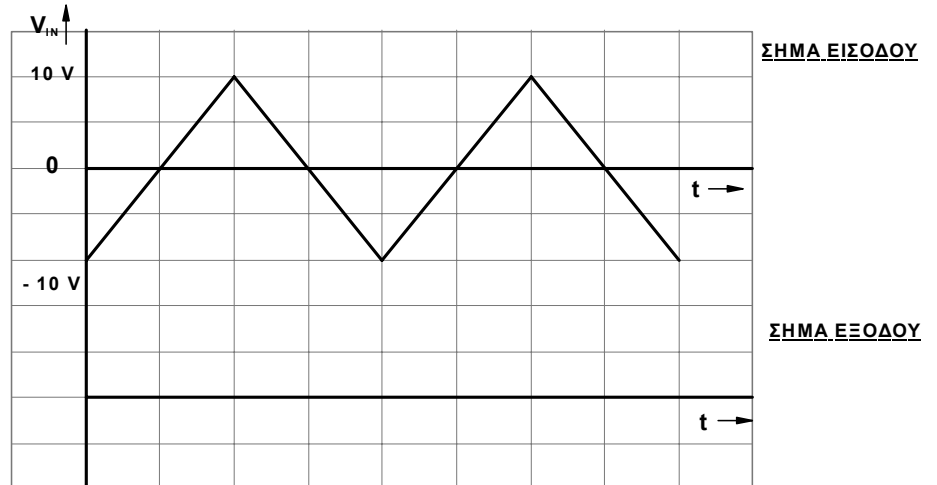
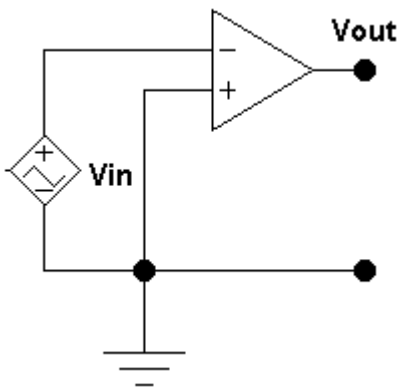


Σχεδιάστε το σήμα εξόδου για τα πιο κάτω κυκλώματα συγκριτη τάσης:

ΑΣΚΗΣΗ 1

ΨΗΛΗ ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ $V_+ = +5\text{ V}$

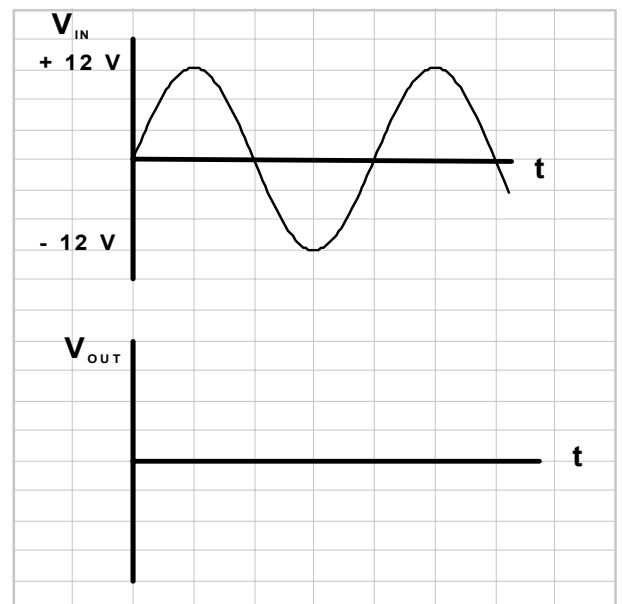
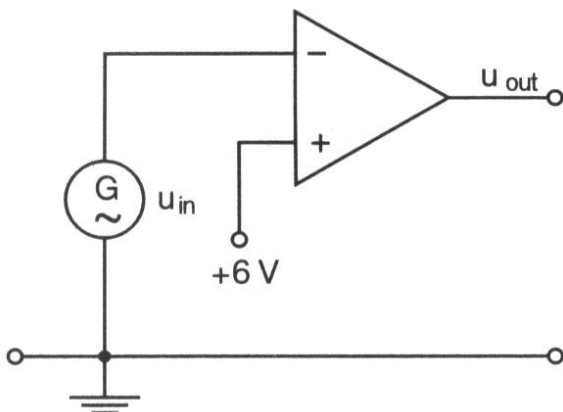
ΧΑΜΗΛΗ ΤΑΣΗ ΤΡΟΦΟΔΟΣΙΑΣ $V_- = -5\text{ V}$



ΑΣΚΗΣΗ 2

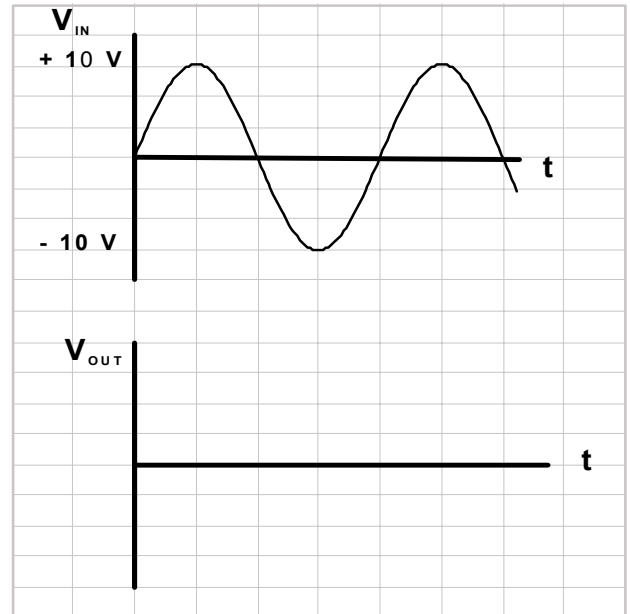
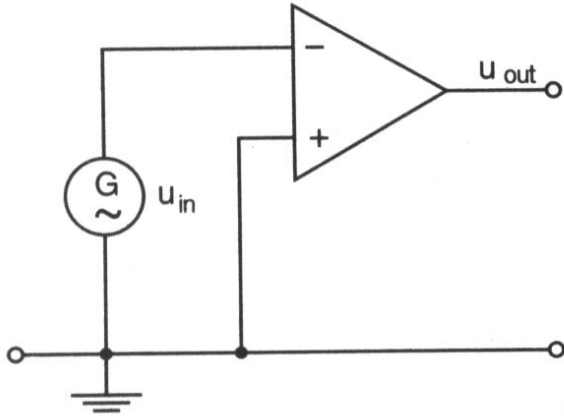
ΨΗΛΗ ΤΙΜΗ ΕΞΟΔΟΥ $V_+ = +5\text{ V}$

ΧΑΜΗΛΗ ΤΙΜΗ ΕΞΟΔΟΥ $V_- = -0\text{ V}$



ΑΣΚΗΣΗ 3

ΨΗΛΗ ΤΙΜΗ ΕΞΟΔΟΥ $V_+ = +5\text{ V}$
ΧΑΜΗΛΗ ΤΙΜΗ ΕΞΟΔΟΥ $V_- = -5\text{ V}$



ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 7 - "Συγκριτές "

- Από το βιβλίο σας στην **Ενότητα 7** να διαβάσετε τα πιο κάτω:
 - Ενότητα 7.1 Συγκριτής Τάσης** **Σελίδες 228 - 232**
204
- Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - Ασκήσεις 2, 3** **Σελίδα 238**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ2 - ΠΥΛΕΣ EX OR & EX NOR

ΟΝΟΜΑ : ΤΜΗΜΑ :

Πύλες EX OR και EX NOR

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να χρησιμοποιεί τις πύλες EX OR σε κυκλώματα δυαδικής πρόσθεσης.
- ✓ Να χρησιμοποιεί τις πύλες EX NOR για να συγκρίνει δύο bits.

ΟΙ ΠΥΛΕΣ EX OR & EX NOR ΕΚΦΡΑΖΟΥΝ ΤΗΝ ΙΔΙΟΤΗΤΑ ΤΗΣ ΑΠΟΚΛΕΙΣΤΙΚΟΤΗΤΑΣ ΚΑΙ ΑΡΑ ΕΧΟΥΝ ΜΟΝΟ ΔΥΟ ΕΙΣΟΔΟΥΣ .

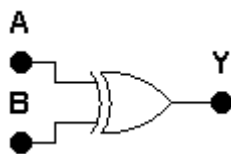
EX OR

Η ΕΞΟΔΟΣ Y ΕΙΝΑΙ 1, ΟΤΑΝ ΑΠΟΚΛΕΙΣΤΙΚΑ Η ΜΙΑ ΕΚ ΤΩΝ ΔΥΟ ΕΙΣΟΔΩΝ ΒΡΙΣΚΕΤΑΙ ΣΤΟ ΛΟΓΙΚΟ 1 (ΟΙ ΔΥΟ ΕΙΣΟΔΟΙ ΕΙΝΑΙ ΔΙΑΦΟΡΕΤΙΚΕΣ).

EX NOR

Η ΕΞΟΔΟΣ Y ΕΙΝΑΙ 1, ΟΤΑΝ ΚΑΙ ΟΙ ΔΥΟ ΕΙΣΟΔΟΙ ΕΙΝΑΙ ΙΣΕΣ ΔΗΛΑΔΗ ΕΙΤΕ ΚΑΙ ΟΙ ΔΥΟ 0 ΕΙΤΕ ΚΑΙ ΟΙ ΔΥΟ 1.

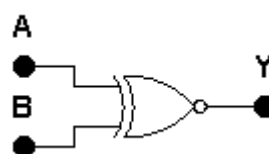
1. ΣΥΜΠΛΗΡΩΣΤΕ ΤΟΝ ΑΝΤΙΣΤΟΙΧΟ ΠΙΝΑΚΑ ΑΛΗΘΕΙΑΣ ΚΑΙ ΑΠΟ ΑΥΤΟ ΔΩΣΤΕ ΤΗΝ ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ ΤΗΣ ΚΑΘΕ ΠΥΛΗΣ



ΠΥΛΗ EX OR

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΣ
A	B	Y
0	0	
0	1	
1	0	
1	1	

$Y = A \oplus B = \dots\dots\dots$



ΠΥΛΗ EX NOR

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΣ
A	B	Y
0	0	
0	1	
1	0	
1	1	

$Y = A \oplus B = \dots\dots\dots$

2. ΣΥΜΠΛΗΡΩΣΤΕ ΤΙΣ ΠΙΟ ΚΑΤΩ ΠΡΟΣΘΕΣΕΙΣ ΣΤΟ ΔΥΑΔΙΚΟ ΣΥΣΤΗΜΑ ΑΡΙΘΜΗΣΗΣ ΑΓΝΟΩΝΤΑΣ ΤΟ ΚΡΑΤΟΥΜΕΝΟ:

$$0 + 0 =$$

$$0 + 1 =$$

$$1 + 0 =$$

$$1 + 1 =$$

3. ΣΥΓΚΡΙΝΕΤΕ ΤΑ ΠΙΟ ΚΑΤΩ BITS ΜΕΤΑΞΥ ΤΟΥ (ΤΟ ΑΠΟΤΕΛΕΣΜΑ ΕΙΝΑΙ 1 ΑΝ ΤΑ BITS ΕΙΝΑΙ ΙΣΑ ΚΑΙ 0 ΑΝ ΔΙΑΦΕΡΟΥΝ:

$$0, 0 =$$

$$0, 1 =$$

$$1, 0 =$$

$$1, 1 =$$

ΣΥΜΠΕΡΑΣΜΑΤΑ

1. ΝΑ ΑΝΑΦΕΡΕΤΕ ΠΙΑ ΑΠΟ ΤΙΣ ΛΟΓΙΚΕΣ ΠΥΛΕΣ ΜΠΟΡΕΙ ΝΑ ΧΡΗΣΙΜΟΠΟΙΗΘΕΙ ΓΙΑ ΝΑ ΣΥΓΚΡΙΝΕΙ 2 BITS ΑΝ ΕΙΝΑΙ ΙΣΑ Ή ΟΧΙ:

2. ΝΑ ΑΝΑΦΕΡΕΤΕ ΠΙΑ ΑΠΟ ΤΙΣ ΛΟΓΙΚΕΣ ΠΥΛΕΣ ΜΠΟΡΕΙ ΝΑ ΧΡΗΣΙΜΟΠΟΙΗΘΕΙ ΓΙΑ ΝΑ ΠΡΟΣΘΕΤΕΙ ΔΥΟ ΔΥΑΔΙΚΟΥΣ ΑΡΙΘΜΟΥΣ:

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΣΥΓΚΡΙΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΨΗΦΙΑΚΟΙ ΣΥΓΚΡΙΤΕΣ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

♦ **Ψηφιακοί Συγκριτές (Comparators)**

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να αναφέρει τον ορισμό του ψηφιακού συγκριτή.
- ✓ Να σχεδιάζει και να εξηγεί το λογικό κύκλωμα συγκριτή, ο οποίος συγκρίνει 2-bit.
- ✓ Να σχεδιάζει και να εξηγεί το κύκλωμα συγκριτή, που συγκρίνει δύο ψηφιακές λέξεις των 2-bit.

Ο ΨΗΦΙΑΚΟΣ ΣΥΓΚΡΙΤΗΣ ΕΙΝΑΙ ΕΝΑ ΣΥΝΔΥΑΣΤΙΚΟ ΚΥΚΛΩΜΑ, ΠΟΥ ΣΥΓΚΡΙΝΕΙ ΔΥΟ ΑΡΙΘΜΟΥΣ, ΓΙΑ ΠΑΡΑΔΕΙΓΜΑ, A & B ΚΑΙ ΒΡΙΣΚΕΙ ΑΝ ΕΙΝΑΙ ΙΣΟΙ Ή ΠΟΙΟΣ ΑΠΟ ΤΟΥΣ ΔΥΟ ΕΙΝΑΙ Ο ΠΙΟ ΜΕΓΑΛΟΣ:

A > B

A = B

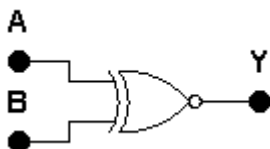
A < B

Το λογικό συνδυαστικό κύκλωμα που συγκρίνει δυο ψηφία είναι η πύλη EX NOR.

EX NOR

Η ΕΞΟΔΟΣ Y ΕΙΝΑΙ '1', ΟΤΑΝ ΚΑΙ ΟΙ ΔΥΟ ΕΙΣΟΔΟΙ ΕΙΝΑΙ ΙΣΕΣ ΔΗΛΑΔΗ ΕΙΤΕ ΕΙΝΑΙ ΚΑΙ ΟΙ ΔΥΟ '0' ΕΙΤΕ ΕΙΝΑΙ ΚΑΙ ΟΙ ΔΥΟ '1'.

Συμπληρώστε τον αντίστοιχο πίνακα αληθείας και από αυτό δώστε την λογική συνάρτηση της πύλης EX NOR:

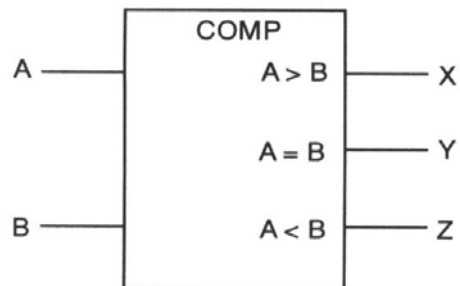


ΕΙΣΟΔΟΙ		ΕΞΟΔΟΣ
A	B	Y
0	0	
0	1	
1	0	
1	1	

♦ **Ψηφιακός Συγκριτής 1 Bit**

Ο Ψηφιακός Συγκριτής 1 Bit συγκρίνει δύο δυαδικούς αριθμούς 1-Bit, A και B, ως ακολούθως:

X = 1 A > B
Y = 1 A = B
Z = 1 A < B



ΑΣΚΗΣΗ 1 ΣΥΓΚΡΙΤΗΣ 1 - BIT

Συμπληρώστε τον Πίνακα Αληθείας για το Ψηφιακό Συγκριτή 1 - Bit και συμπληρώστε τις λογικές συναρτήσεις για τις τρεις εξόδους X, Y και Z:

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			ΣΥΝΘΗΚΗ
A	B	X	Y	Z	

X =

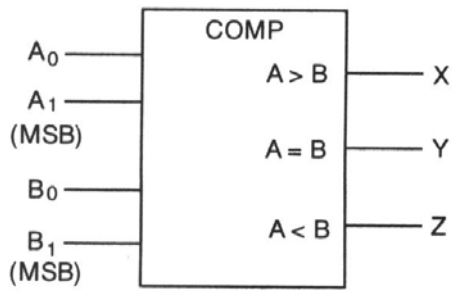
Y =

Z =

ΑΣΚΗΣΗ 2 ΛΟΓΙΚΕΣ ΚΥΚΛΩΜΑΤΑ

Από τις πιο πάνω λογικές συναρτήσεις , σχεδιάστε τα συνδυαστικά λογικά κυκλώματα για τις τρεις εξόδους του Ψηφιακού Συγκριτή 1 - Bit.

ΑΣΚΗΣΗ 3 ΣΥΓΚΡΙΤΗΣ 2 - ΒΙΤ



$$A = A_1 A_0$$

$$B = B_1 B_0$$

Συμπληρώστε τις περιπτώσεις όπου:

(α) $X = 1$ $A > B$

Ο αριθμός A είναι μεγαλύτερος του B, όταν:

Δώστε τη λογική συνάρτηση **X =**

(β) $Y = 1$ $A = B$

Ο αριθμός A είναι ίσος με το αριθμό B, όταν:

Δώστε τη λογική συνάρτηση **Y =**

- (γ) **Z = 1** **B > A**
Ο αριθμός B είναι μεγαλύτερος του αριθμού A, όταν:

Δώστε τη λογική συνάρτηση **Z =**

ΑΣΚΗΣΗ 4 Λογικά Κυκλώματα

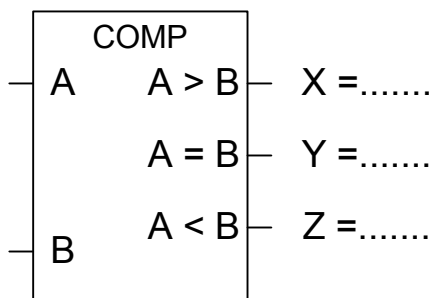
Από τις πιο πάνω λογικές συναρτήσεις , σχεδιάστε τα συνδυαστικά λογικά κυκλώματα για τις τρεις εξόδους του Ψηφιακού Συγκριτή 2 - Bit

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 7 - "Συγκριτές "

- Από το βιβλίο σας στην **Ενότητα 7** να διαβάσετε τα πιο κάτω:
 - Ενότητα 7.2 Ψηφιακός Συγκριτής** **Σελίδες 232**
 - Ενότητα 7.2.1 Ψηφιακός Συγκριτής 1-Bit** **Σελίδες 232 - 234**
 - Ενότητα 7.2.2 Ψηφιακός Συγκριτής 2-Bit** **Σελίδες 234 - 235**
 -
- Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - Ασκήσεις 1, 6** **Σελίδα 239**

1. Συμπληρώστε τον Πίνακα Λειτουργίας του συγκριτή.



Είσοδοι		Έξοδοι		
A	B	X	Y	Z
0	0			
0	1			
1	0			
1	1			

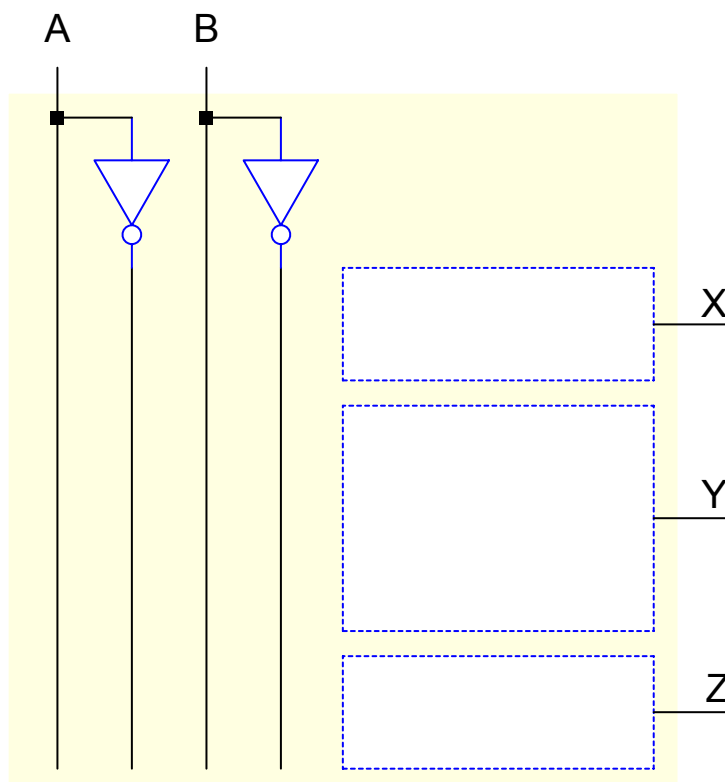
2. Γράψτε τις λογικές συναρτήσεις των τριών εξόδων του συγκριτή:

X =

Y =

Z =

3. Σχεδιάστε τα αντίστοιχα λογικά διαγράμματα για τις 3 εξόδους του κυκλώματος του απαριθμητή.



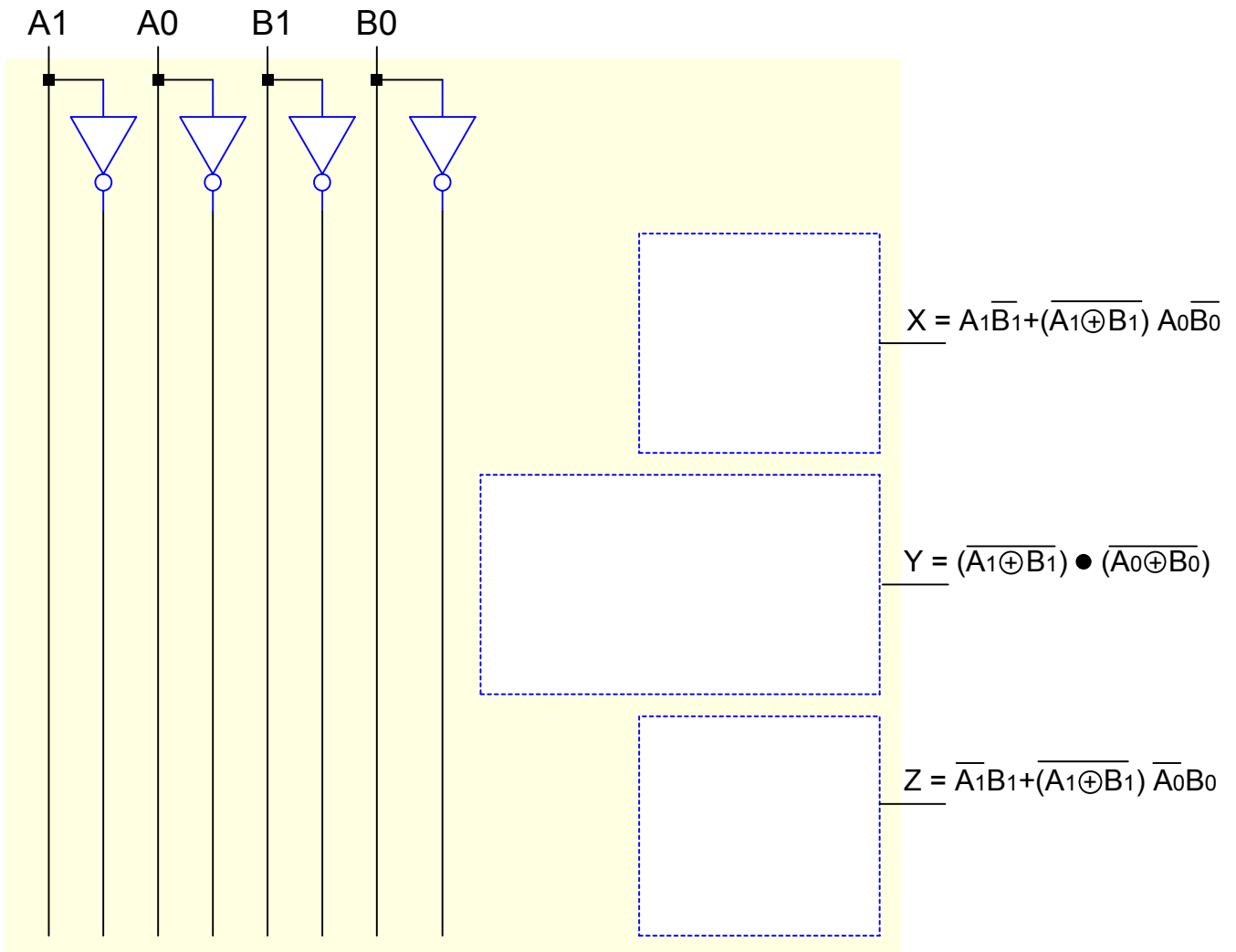
2. Γράψτε τις λογικές συναρτήσεις των τριών εξόδων του συγκριτή:

X =

Y =

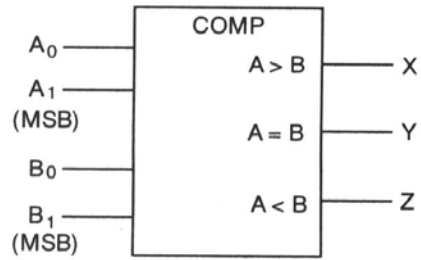
Z =

3. Συμπληρώστε το λογικό κύκλωμα του συγκριτή:



Λύσεις: Συγκριτής 2 - BIT

- Λογικό Κύκλωμα**



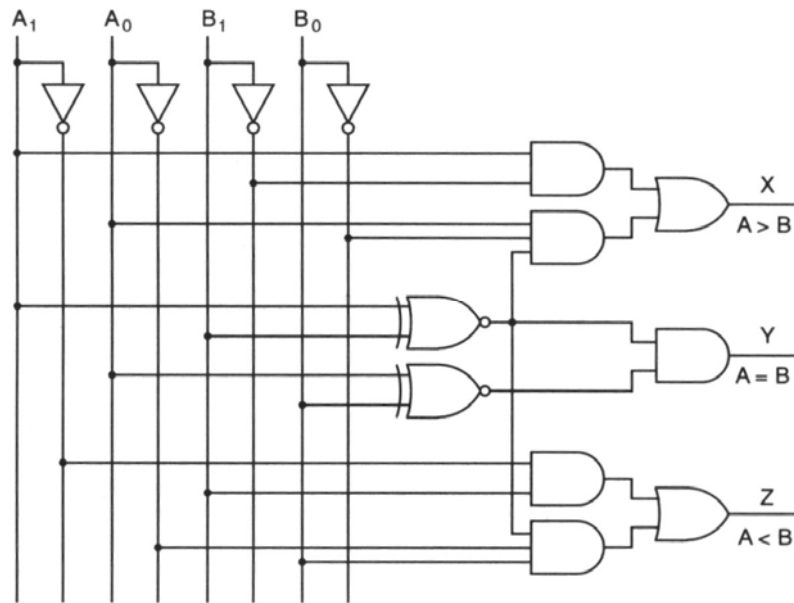
$$A = A_1 A_0$$

$$B = B_1 B_0$$

- Συνθήκη Λειτουργίας Συγκριτή**

A > B X = 1	A₁ > B₁	A₁ = 1 B₁ = 0	$X = A_1 \cdot \overline{B_1} + \{ \overline{A_1} \oplus \overline{B_1} \cdot A_0 \cdot \overline{B_0} \}$
	ΕΙΤΕ		
	A₁ = B₁ ΚΑΙ A₀ > B₀	A₁ = B₁ = 0 A₁ = B₁ = 1	
		ΚΑΙ A₀ = 1 B₀ = 0	
A = B Y = 1	A₁ = B₁ ΚΑΙ A₀ = B₀	A₁ = B₁ = 0 A₁ = B₁ = 1	$Y = \overline{A_0 \oplus B_0} \cdot \overline{A_1 \oplus B_1}$
		ΚΑΙ	
	A₀ = B₀ = 0 A₀ = B₀ = 1		
	ΕΙΤΕ		
A < B Z = 1	B₁ > A₁	A₁ = 0 B₁ = 1	$X = \overline{A_1} \cdot B_1 + \{ \overline{A_1} \oplus \overline{B_1} \cdot \overline{A_0} \cdot B_0 \}$
	ΕΙΤΕ		
	A₁ = B₁ ΚΑΙ B₀ > A₀	A₁ = B₁ = 0 A₁ = B₁ = 1	
		ΚΑΙ A₀ = 0 B₀ = 1	

- **Λογικό Κύκλωμα**



Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΣΥΓΚΡΙΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 6 - ΨΗΦΙΑΚΟΣ ΣΥΓΚΡΙΤΗΣ 2 BIT ΜΕ ΤΗ ΧΡΗΣΗ ΠΙΝΑΚΑ
ΑΛΗΘΕΙΑΣ ΚΑΙ ΧΑΡΤΗ KARNAUGH

ΟΝΟΜΑ : ΤΜΗΜΑ :

Ψηφιακός Συγκριτής 2 Bit με τη Χρήση Πίνακα Αληθείας Και Χάρτη Karnaugh

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

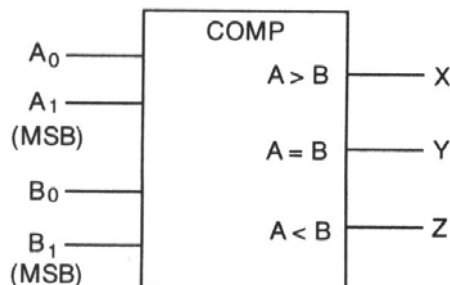
- ✓ Να αναφέρει τον ορισμό του ψηφιακού συγκριτή.
- ✓ Να σχεδιάζει το λογικό κύκλωμα συγκριτή, ο οποίος συγκρίνει 2-bit, με τη χρήση χάρτη Karnaugh.

Ο ΨΗΦΙΑΚΟΣ ΣΥΓΚΡΙΤΗΣ ΕΙΝΑΙ ΕΝΑ ΣΥΝΔΥΑΣΤΙΚΟ ΚΥΚΛΩΜΑ, ΠΟΥ ΣΥΓΚΡΙΝΕΙ ΔΥΟ ΑΡΙΘΜΟΥΣ, ΓΙΑ ΠΑΡΑΔΕΙΓΜΑ, A & B ΚΑΙ ΒΡΙΣΚΕΙ ΑΝ ΕΙΝΑΙ ΙΣΟΙ Ή ΠΟΙΟΣ ΑΠΟ ΤΟΥΣ ΔΥΟ ΕΙΝΑΙ Ο ΠΙΟ ΜΕΓΑΛΟΣ:

X = 1	Y = 1	Z = 1
A > B	A = B	A < B

ΨΗΦΙΑΚΟΣ ΣΥΓΚΡΙΤΗΣ 2 BIT

Στο παράδειγμα θα συμπεράνετε τις λογικές συναρτήσεις ενός Ψηφιακού Συγκριτή 2 Bit, με τη μέθοδο του Πίνακα Αληθείας και με τη χρήση χαρτών Karnaugh θα υπολογίσετε τις απλοποιημένες λογικές συναρτήσεις για τις τρεις εξόδους X, Y και Z.



Κωδικές Λέξεις:

A₁A₀

B₁B₀

ΣΗΜΕΙΩΣΗ: Οι κωδικές λέξεις που συγκρίνονται αποτελούνται από 2 bit έκαστη, A_1A_0 και B_1B_0 , δηλαδή αυτό αντιστοιχεί με τη σύγκριση 2 αριθμών στο δεκαδικό σύστημα μέχρι το 4 (0 - 3).

1. Για τον κάθε συνδυασμό, συμπληρώστε τον Πίνακα Αληθείας για τις τρεις εξόδους X, Y και Z.

$$X = 1$$

$$Y = 1$$

$$Z = 1$$

$$A > B$$

$$A = B$$

$$A < B$$

Κωδικές Λέξεις:

$$A = A_1A_0$$

$$B = B_1B_0$$

Πίνακας Αληθείας Συγκριτή 2 Bit										
A/A	Αριθμοί στο Δεκαδικό Σύστημα Αρίθμησης		Είσοδοι				Έξοδοι			Συνθήκη
			Κωδική Λέξη A		Κωδική Λέξη B					
	A	B	A_1	A_0	B_1	B_0	X	Y	Z	
0.	0	0	0	0	0	0	0	1	0	A = B
1.	0	1	0	0	0	1	0	0	1	B > A
2.	0	2	0	0	1	0	0	0	1	B > A
3.	0	3	0	0	1	1	0	0	1	B > A
4.	1	0	0	1	0	0	1	0	0	
5.	1	1	0	1	0	1				
6.	1	2								
7.										
8.										
9.										
10.										
11.										
12.										
13.										
14.										
15.	3	3	1	1	1	1	0	1	0	A = B

2. Από τον Πίνακα Αληθείας συμπληρώστε τους χάρτες Karnaugh για τις τρεις εξόδους X, Y και Z και να εκφράσετε την αντίστοιχη απλοποιημένη λογική συνάρτηση.

(α) $A > B$, $X = 1$

B_1B_0 A_1A_0	00	01	11	10
00				
01				
11				
10				

X =

(β) $A = B$, $Y = 1$

B_1B_0 A_1A_0	00	01	11	10
00				
01				
11				
10				

ΣΗΜΕΙΩΣΗ:

Παρατηρούμε ότι οι περιπτώσεις των 1 είναι τοποθετημένα διαγωνίως στο χάρτη Karnaugh και δεν μπορούμε να απλοποιήσουμε τη συνάρτηση. Εφόσον $A = B$ και η πύλη EX NOR χρησιμοποιείται για να συγκρίνονται δύο αριθμοί, τότε η λογική συνάρτηση θα πρέπει έχει τη μορφή της EX NOR. Ξεκινώντας από αυτό να εξάγετε τη λογική συνάρτηση:

Y =

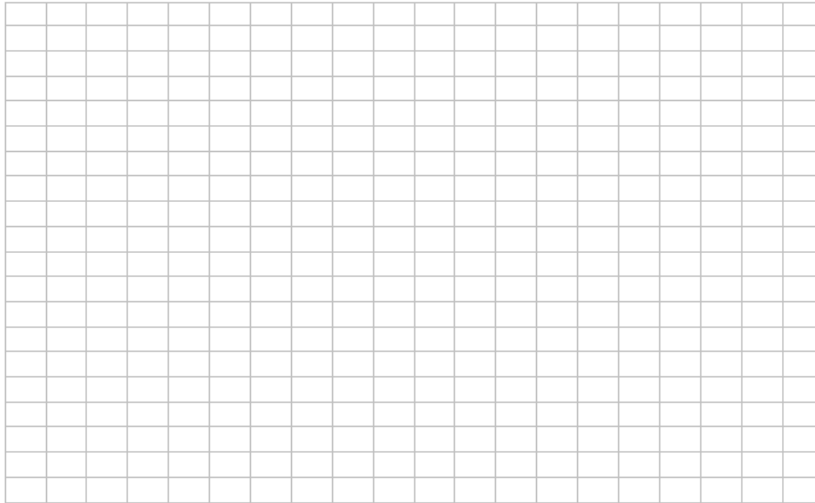
(γ) $B > A$, $Z = 1$

B_1B_0 A_1A_0	00	01	11	10
00				
01				
11				
10				

Z =

3. Σχεδιάστε τα αντίστοιχα λογικά κυκλώματα για την κάθε έξοδο.

ΕΞΟΔΟΣ X = 1



ΕΞΟΔΟΣ Y = 1



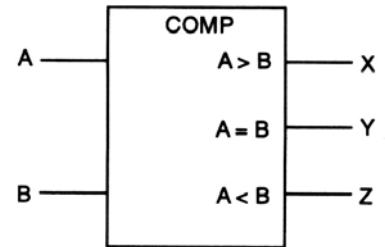
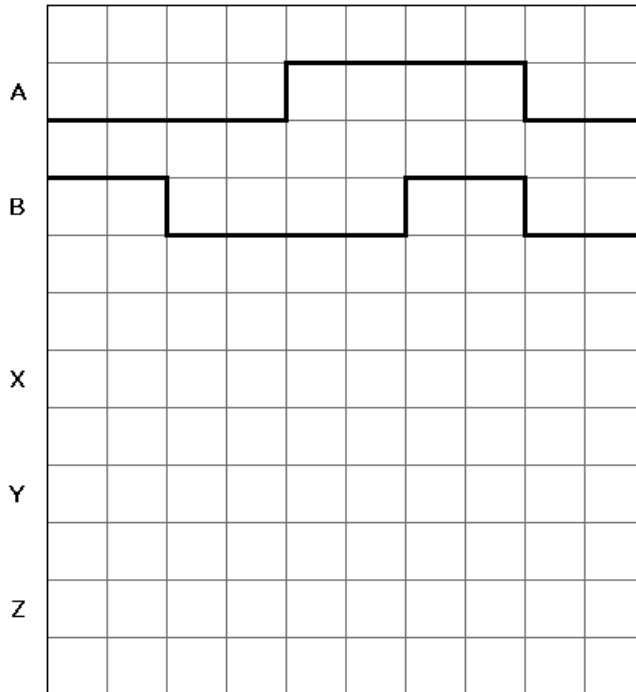
ΕΞΟΔΟΣ Z = 1



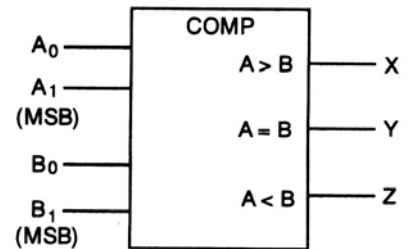
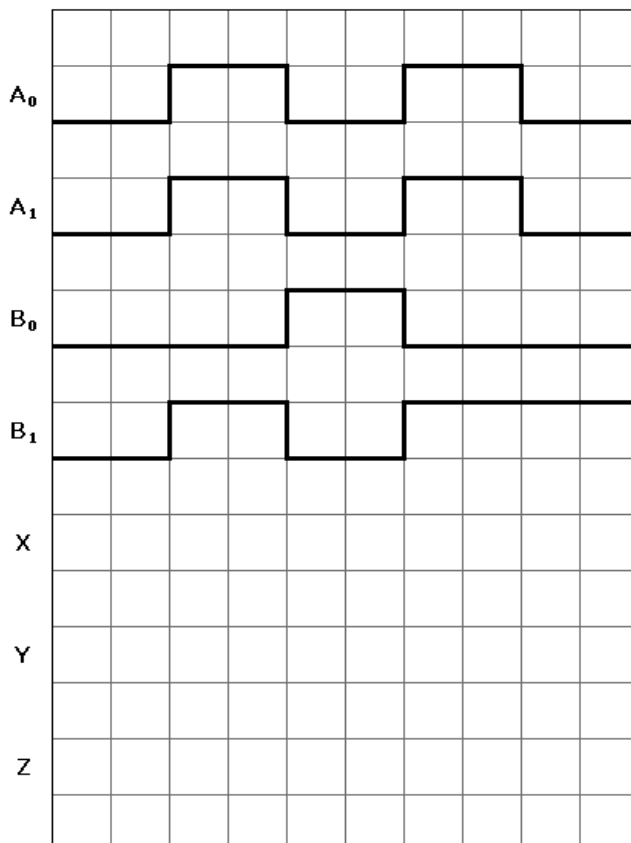
Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ – ΨΗΦΙΑΚΟΙ ΣΥΓΚΡΙΤΕΣ
ΦΥΛΟ ΕΡΓΑΣΙΑΣ 7 - ΧΡΟΝΙΚΑ ΔΙΑΓΡΑΜΜΑΤΑ ΚΥΚΛΩΜΑΤΩΝ ΣΥΓΚΡΙΤΩΝ

Να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων των πιο κάτω κυκλωμάτων ψηφιακών συγκριτών:

- **Ψηφιακός συγκριτής 1-bit**



- **Ψηφιακός Συγκριτής 2-bit**



Ενότητα 8 - Ψηφίο Ισοτιμίας

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΚΥΚΛΩΜΑΤΑ ΨΗΦΙΟΥ ΙΣΟΤΙΜΙΑΣ

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ (PARITY BIT)

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να γνωρίζει τι είναι το ψηφίο ισοτιμίας και σε τι χρησιμεύει.
- ✓ Να εξηγήει τη λειτουργία κυκλωμάτων παραγωγής και ελέγχου μονού και ζυγού ψηφίου ισοτιμίας.



ΣΤΗ ΜΕΤΑΦΟΡΑ ΚΑΙ ΕΠΕΞΕΡΓΑΣΙΑ ΔΕΔΟΜΕΝΩΝ ΣΕ ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ ΕΙΝΑΙ ΔΥΝΑΤΟΝ ΝΑ ΣΥΜΒΟΥΝ ΛΑΘΗ, ΔΗΛΑΔΗ ΝΑ ΑΛΛΑΞΕΙ ΜΙΑ ΛΟΓΙΚΗ ΚΑΤΑΣΤΑΣΗ ΚΑΙ ΝΑ ΜΕΤΑΤΡΑΠΕΙ ΕΝΑ 1 ΣΕ 0 Ή ΕΝΑ 0 ΣΕ 1, ΛΟΓΩ ΕΛΑΤΤΩΜΑΤΙΚΗΣ ΛΕΙΤΟΥΡΓΙΑΣ ΤΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ ΚΥΚΛΩΜΑΤΩΝ, ΕΙΤΕ ΛΟΓΩ ΗΛΕΚΤΡΟΝΙΚΟΥ ΘΟΡΥΒΟΥ.

ΕΝΑ ΚΑΛΟ ΨΗΦΙΑΚΟ ΣΥΣΤΗΜΑ ΘΑ ΠΡΕΠΕΙ ΝΑ ΜΠΟΡΕΙ ΝΑ ΑΝΑΓΝΩΡΙΣΕΙ ΤΗΝ ΥΠΑΡΞΗ ΛΑΘΩΝ ΚΑΙ, ΕΑΝ ΕΙΝΑΙ ΔΥΝΑΤΟ, ΝΑ ΤΑ ΔΙΟΡΘΩΝΕΙ.

ΕΤΣΙ ΧΡΗΣΙΜΟΠΟΙΟΥΜΕ ΤΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ ΓΙΑ ΝΑ ΜΠΟΡΕΣΟΥΜΕ ΝΑ ΑΝΑΓΝΩΡΙΣΟΥΜΕ ΑΝ Σ' ΕΝΑ ΨΗΦΙΑΚΟ ΚΩΔΙΚΑ ΥΠΑΡΧΕΙ ΚΑΠΟΙΟ ΛΑΘΟΣ, ΔΗΛΑΔΗ ΑΝ ΕΝΑ BIT ΕΧΕΙ ΑΛΛΑΞΕΙ ΚΑΤΑΣΤΑΣΗ.

ΤΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ (PARITY BIT) ΕΙΝΑΙ ΕΝΑ ΕΠΙΠΡΟΣΘΕΤΟ BIT ΤΟ ΟΠΟΙΟ ΠΡΟΣΤΙΘΕΤΑΙ ΣΤΟΝ ΚΩΔΙΚΑ ΔΕΔΟΜΕΝΩΝ ΓΙΑ ΣΚΟΠΟΥΣ ΕΛΕΓΧΟΥ, ΕΤΣΙ ΩΣΤΕ Ο ΣΥΝΟΛΙΚΟΣ ΑΡΙΘΜΟΣ ΤΩΝ 1 ΝΑ ΕΙΝΑΙ ΠΑΝΤΟΤΕ ΕΙΤΕ ΜΟΝΟΣ ΑΡΙΘΜΟΣ (ODD PARITY), ΕΙΤΕ ΖΥΓΟΣ, (EVEN PARITY):

ΣΥΝΟΛΙΚΟΣ ΑΡΙΘΜΟΣ 1

ΖΥΓΟΣ ΑΡΙΘΜΟΣ
ΜΟΝΟΣ ΑΡΙΘΜΟΣ

ΙΣΟΤΙΜΙΑ

ΖΥΓΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ (EVEN PARITY)
ΜΟΝΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ (ODD PARITY)

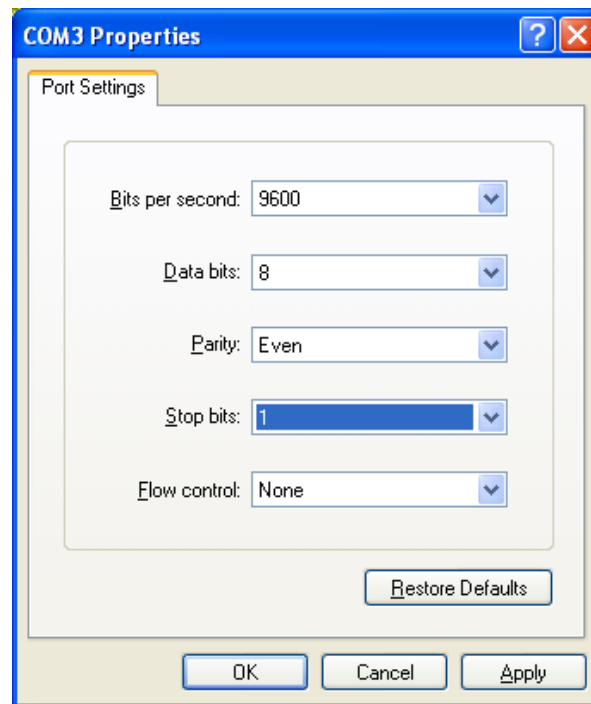
ΤΟ ΨΗΦΙΑΚΟ ΣΥΣΤΗΜΑ ΕΛΕΓΧΕΙ ΤΟΝ ΑΡΙΘΜΟ ΤΩΝ 1 ΣΕ ΜΙΑ ΚΩΔΙΚΗ ΛΕΞΗ ΓΙΑ ΝΑ ΑΠΟΦΑΣΙΣΕΙ ΑΝ ΥΠΑΡΧΕΙ ΛΑΘΟΣ ΣΤΗ ΛΗΨΗ ΤΩΝ ΔΕΔΟΜΕΝΩΝ

ΣΤΟ ΔΥΑΔΙΚΟ ΣΥΣΤΗΜΑ ΑΡΙΘΜΗΣΗΣ ΤΟ ΑΘΡΟΙΣΜΑ ΔΥΟ ΔΥΑΔΙΚΩΝ ΑΡΙΘΜΩΝ 1 BIT, ΧΩΡΙΣ ΝΑ ΛΑΜΒΑΝΕΤΑΙ ΥΠ' ΟΨΗ ΤΟ ΚΡΑΤΟΥΜΕΝΟ ΙΣΟΥΤΑΙ ΜΕ:

0 ΟΤΑΝ ΕΧΟΥΜΕ ΖΥΓΟ ΑΡΙΘΜΟ ΑΠΟ 1
1 ΟΤΑΝ ΕΧΟΥΜΕ ΜΟΝΟ ΑΡΙΘΜΟ ΑΠΟ 1

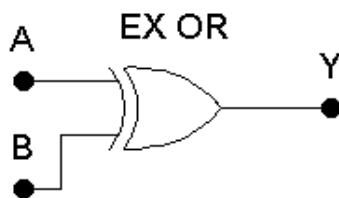
ΑΡΑ ΤΑ ΚΥΚΛΩΜΑΤΑ ΠΑΡΑΓΩΓΗΣ ΚΑΙ ΕΛΕΓΧΟΥ ΤΟΥ ΨΗΦΙΟΥ ΙΣΟΤΙΜΙΑΣ
ΑΠΟΤΕΛΟΥΝΤΑΙ ΑΠΟ ΠΥΛΕΣ EX OR

Παράδειγμα από τη ρύθμιση των παραμέτρων του λογισμικού Hyper Terminal στη σειριακή επικοινωνία μεταξύ ενός Ηλεκτρονικού Υπολογιστή και περιφερειακών Συσκευών



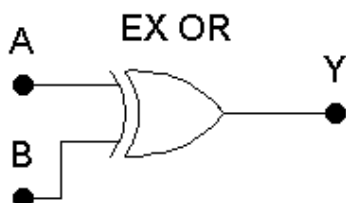
1. Συμπληρώστε τον Πίνακα Αληθείας της λογικής πύλης EX OR:

$$Y = A \oplus B$$



A	B	Y
0	0	
0	1	
1	0	
1	1	

2. Συμπληρώστε τον Πίνακα της δυαδικής πρόσθεσης (αγνοώντας το κρατούμενο), που υλοποιείται με τη χρήση λογικών πυλών EX OR:



$$\begin{aligned} 0 + 0 &= \\ 0 + 1 &= \\ 1 + 0 &= \\ 1 + 1 &= \end{aligned}$$

Επιβεβαιώστε ότι η πύλη EX OR μπορεί να χρησιμοποιηθεί σε κυκλώματα παραγωγής ψηφίου ισοτιμίας αφού έχει τη δυνατότητα να εκτελέσει την αριθμητική πράξη της πρόσθεσης στο δυαδικό σύστημα αρίθμησης.

3. Δώστε το **μονό και το ζυγό ψηφίο ισοτιμίας** για τους πιο κάτω δυαδικούς κώδικες:

(α) 1010 (β) 1110 000 (γ) 1000 1110

Μονό Ψηφίο Ισοτιμίας
 Ζυγό Ψηφίο Ισοτιμίας

4. Ένα κύκλωμα ελέγχου **μονού ψηφίου ισοτιμίας** δέχεται τις πιο κάτω λέξεις δυαδικών αριθμών. Ποιες απ' αυτές είναι ορθές και ποιες είναι λανθασμένες;

(α) 1010 (β) 1110 000 (δ) 1000 1110

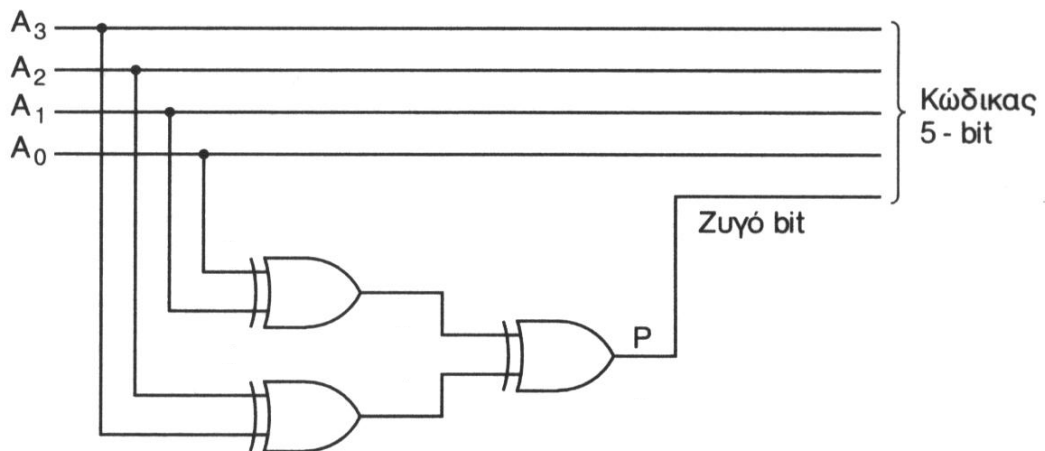
Σωστό/Λάθος

5. Ένα κύκλωμα ελέγχου **ζυγού ψηφίου ισοτιμίας** δέχεται τις πιο κάτω λέξεις δυαδικών αριθμών. Ποιες απ' αυτές είναι ορθές και ποιες είναι λανθασμένες;

(α) 1000 (β) 1110 001 (δ) 1010 1110

Σωστό/Λάθος

6. Στο σχήμα πιο κάτω φαίνονται οι γραφικές παραστάσεις που εφαρμόζονται στην είσοδο κυκλώματος παραγωγής ζυγού ψηφίου ισοτιμίας (Parity Bit) μια κωδική λέξη των 4 -bit:

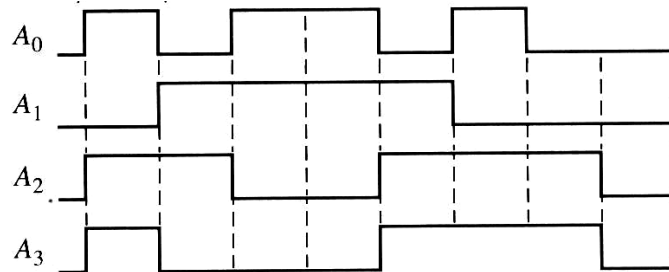


Να περιγράψετε τη λειτουργία του κυκλώματος αν εφαρμόσουμε στην είσοδο τον κώδικα 1001.

.....

(α) Σχεδιάστε τη γραφική παράσταση της εξόδου σε συνάρτηση με αυτές της εισόδου.

(β) Επιβεβαιώστε τις απαντήσεις εφαρμόζοντας τις κωδικές λέξεις στην είσοδο του κυκλώματος και υπολογίστε την έξοδο.



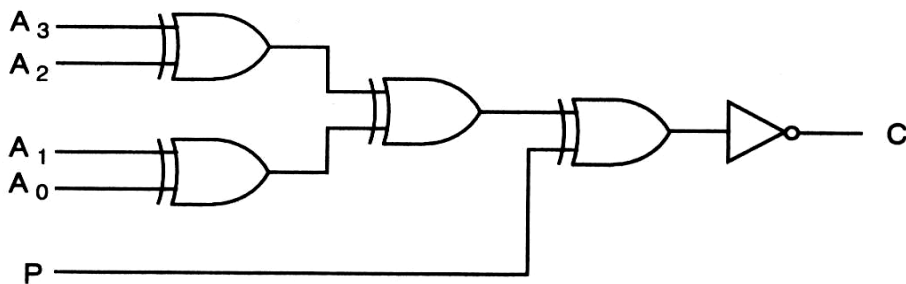
Ψηφίο Ισοτιμίας

7. Στο πιο κάτω σχήμα δίδεται το κύκλωμα ελέγχου **μονού ψηφίου ισοτιμίας** για τον κώδικα BCD.

Να αναφέρετε ποια κωδική λέξη είναι σωστή και ποια είναι λανθασμένη:

(α) 10010 (β) 11001

Σωστό/Λάθος



Εφαρμόστε τις λέξεις στο λογικό κύκλωμα ελέγχου και επιβεβαιώστε τις απαντήσεις σας.

ΣΗΜΕΙΩΣΗ:

ΓΙΑ ΣΚΟΠΟΥΣ ΟΜΟΙΟΜΟΡΦΙΑΣ ΤΑ ΚΥΚΛΩΜΑΤΑ ΠΑΡΑΓΩΓΗΣ ΚΑΙ ΕΛΕΓΧΟΥ ΨΗΦΙΟΥ ΙΣΟΤΙΜΙΑΣ ΕΙΝΑΙ ΠΑΝΟΜΟΙΟΤΥΠΑ.

ΕΤΣΙ ΓΙΑ ΝΑ ΧΡΗΣΙΜΟΠΟΙΗΣΟΥΜΕ ΤΟ ΙΔΙΟ ΚΥΚΛΩΜΑ ΓΙΑ ΤΟΝ ΕΛΕΓΧΟ ΤΟΥ ΨΗΦΙΟΥ ΙΣΟΤΙΜΙΑΣ ΘΑ ΠΡΕΠΕΙ Η ΕΞΟΔΟΣ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ ΕΛΕΓΧΟΥ ΝΑ ΕΙΝΑΙ 1, ΟΤΑΝ ΥΠΑΡΧΕΙ ΛΑΘΟΣ ΣΤΗΝ ΙΣΟΤΙΜΙΑ.

ΣΤΗΝ ΠΕΡΙΠΤΩΣΗ ΤΟΥ Η ΕΞΟΔΟΣ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ ΕΙΝΑΙ 0, ΤΟΤΕ Ο ΚΩΔΙΚΑΣ ΕΙΝΑΙ ΣΩΣΤΟΣ.

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 8 - "Ψηφίο Ισοτιμίας "

1. Από το βιβλίο σας στην **Ενότητα 8** να διαβάσετε τα πιο κάτω:
 - **Εισαγωγή** **Σελίδα 242**
 - **Ενότητα 8.1 Τι είναι το Ψηφίο Ισοτιμίας** **Σελίδες 242 - 2244**

2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - **Ασκήσεις 1, 2, 3, 4** **Σελίδα 248**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΚΥΚΛΩΜΑΤΑ ΨΗΦΙΟΥ ΙΣΟΤΙΜΙΑΣ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Κυκλώματα Παραγωγής και Ελέγχου Ψηφίου Ισοτιμίας

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- √ Να σχεδιάζει και να εξηγεί τη λειτουργία κυκλώματος παραγωγής μονού και ζυγού ψηφίου ισοτιμίας.
- √ Να σχεδιάζει και εξηγεί τη λειτουργία κυκλώματος ελέγχου μονού και ζυγού ψηφίου ισοτιμίας.

ΤΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ (PARITY BIT) ΕΙΝΑΙ ΕΝΑ ΕΠΙΠΡΟΣΘΕΤΟ BIT ΣΤΟΝ ΚΩΔΙΚΑ ΔΕΔΟΜΕΝΩΝ, ΕΤΣΙ ΠΟΥ Ο ΣΥΝΟΛΙΚΟΣ ΑΡΙΘΜΟΣ ΤΩΝ 1 ΝΑ ΕΙΝΑΙ ΠΑΝΤΟΤΕ ΕΙΤΕ ΜΟΝΟΣ (ΠΕΡΙΤΤΟΣ) ΑΡΙΘΜΟΣ (ODD PARITY), ΕΙΤΕ ΖΥΓΟΣ (ΑΡΤΙΟΣ) ΑΡΙΘΜΟΣ, (EVEN PARITY)

ΣΥΝΟΛΙΚΟΣ ΑΡΙΘΜΟΣ 1

ΖΥΓΟΣ ΑΡΙΘΜΟΣ

ΜΟΝΟΣ ΑΡΙΘΜΟΣ

ΙΣΟΤΙΜΙΑ

ΖΥΓΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ (EVEN PARITY)

ΜΟΝΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ (ODD PARITY)

ΣΤΟ ΔΥΑΔΙΚΟ ΣΥΣΤΗΜΑ ΑΡΙΘΜΗΣΗΣ ΤΟ ΑΘΡΟΙΣΜΑ ΔΥΟ ΔΥΑΔΙΚΩΝ ΑΡΙΘΜΩΝ 1 BIT, ΧΩΡΙΣ ΝΑ ΛΑΜΒΑΝΕΤΑΙ ΥΠ' ΟΨΗ ΤΟ ΚΡΑΤΟΥΜΕΝΟ ΙΣΟΥΤΑΙ ΜΕ:

- 2 ΟΤΑΝ ΕΧΟΥΜΕ ΖΥΓΟ ΑΡΙΘΜΟ ΑΠΟ 1
- 3 ΟΤΑΝ ΕΧΟΥΜΕ ΜΟΝΟ ΑΡΙΘΜΟ ΑΠΟ 1

ΑΡΑ ΤΑ ΚΥΚΛΩΜΑΤΑ ΠΑΡΑΓΩΓΗΣ ΚΑΙ ΕΛΕΓΧΟΥ ΤΟΥ ΨΗΦΙΟΥ ΙΣΟΤΙΜΙΑΣ ΑΠΟΤΕΛΟΥΝΤΑΙ ΑΠΟ **ΠΥΛΕΣ EX OR**:

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$$1 + 1 = 0$$

ΚΥΚΛΩΜΑΤΑ ΠΑΡΑΓΩΓΗΣ ΨΗΦΙΟΥ ΙΣΟΤΙΜΙΑΣ

1. ΑΣΚΗΣΗ 1

Δώστε το μονό και ζυγό bit ισοτιμίας στον κώδικα ASC II για το γράμμα A = 100 0001

Μονό Ψηφίο Ισοτιμίας

Ζυγό Ψηφίο Ισοτιμίας

2. ΑΣΚΗΣΗ 2

Συμπληρώστε το μόνο και ζυγό ψηφίο ισοτιμίας για τον κώδικα BCD (αριθμοί 0 - 9)

ΔΕΚ	ΚΩΔ BCD	ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ	
	A ₃ A ₂ A ₁ A ₀	ΜΟΝΗ ΙΣΟΤΙΜΙΑ	ΖΥΓΗ ΙΣΟΤΙΜΙΑ
0			
1			
2			
3			
4			
5			
6			
7			
8			
9			

3. ΑΣΚΗΣΗ 3

Σχεδιάστε το **κύκλωμα παραγωγής ζυγού ψηφίου ισοτιμίας** στο κώδικα BCD.

Σημείωση: Υλοποιήστε το κύκλωμα με τη χρήση πυλών EX OR (Διαδοχική προσθέσεις)

Η λογική συνάρτηση του κυκλώματος είναι:

Εφαρμόστε στο κύκλωμα τον κώδικα για τον αριθμό 9 (1001) και ελέγξτε την παραγωγή του ζυγού ψηφίου ισοτιμίας.

Ζυγό Ψηφίο Ισοτιμίας =

4. ΑΣΚΗΣΗ 4

Σχεδιάστε το **κύκλωμα παραγωγής μονού ψηφίου ισοτιμίας** στο κώδικα BCD.

Η λογική συνάρτηση του κυκλώματος είναι:

Πως διαφέρει από το προηγούμενο κύκλωμα;

.....
.....

Εφαρμόστε στο κύκλωμα τον κώδικα για τον αριθμό 6 (**0110**) και ελέγξτε την **παραγωγή του μονού ψηφίου ισοτιμίας**.

Ζυγό Ψηφίο Ισοτιμίας =

ΚΥΚΛΩΜΑΤΑ ΕΛΕΓΧΟΥ ΨΗΦΙΟΥ ΙΣΟΤΙΜΙΑΣ

ΤΟ ΚΥΚΛΩΜΑ ΕΛΕΓΧΟΥ ΨΗΦΙΟΥ ΙΣΟΤΙΜΙΑΣ (PARITY BIT CHECKER) ΕΙΝΑΙ ΠΑΝΟΜΟΙΟΤΥΠΟ ΜΕ ΤΟ ΚΥΚΛΩΜΑ ΠΑΡΑΓΩΓΗΣ ΤΟΥ ΨΗΦΙΟΥ ΙΣΟΤΙΜΙΑΣ.

ΕΦΟΣΟΝ ΤΑ ΚΥΚΛΩΜΑΤΑ ΕΙΝΑΙ ΠΑΝΟΜΟΙΟΤΥΠΑ ΤΟΤΕ ΙΣΧΥΕΙ Ο ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ ΩΣ ΠΙΟ ΚΑΤΩ

ΣΗΜ: ΟΤΑΝ Η ΕΞΟΔΟΣ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ ΕΙΝΑΙ 1 ΤΟΤΕ ΥΠΑΡΧΕΙ ΛΑΘΟΣ ΣΤΗΝ ΙΣΟΤΙΜΙΑ

5. ΑΣΚΗΣΗ 5

Σχεδιάστε **κύκλωμα ελέγχου ζυγού ψηφίου ισοτιμίας** για μια κωδική λέξη των 5 bit (κωδική λέξη 4 bit με 1 ψηφίο ισοτιμίας).

Η λογική συνάρτηση του κυκλώματος είναι:

Εφαρμόστε στο κύκλωμα τον κώδικα **10011** και ελέγξτε για **ζυγό ψηφίο ισοτιμίας**.

Λέξη Σωστή / Λανθασμένη

6. ΑΣΚΗΣΗ 6

Σχεδιάστε **κύκλωμα ελέγχου μονού ψηφίου ισοτιμίας** για μια κωδική λέξη των 5 bit (κωδική λέξη 4 bit με 1 ψηφίο ισοτιμίας)

Η λογική συνάρτηση του κυκλώματος είναι:

Εφαρμόστε στο κύκλωμα τον κώδικα **10011** και ελέγξτε για **μονό ψηφίο ισοτιμίας**.

Λέξη Σωστή / Λανθασμένη

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 8 - "Ψηφίο Ισοτιμίας "

- Από το βιβλίο σας στην **Ενότητα 8** να διαβάσετε τα πιο κάτω:
 - Ενότητα 8.2 Κυκλώματα Παραγωγής/Ελέγχου Ψηφίου Ισοτιμίας Σελίδες 244 - 246**
- Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - Ασκήσεις 9, 10 Σελίδα 249**

Ενότητα 9 - Πολυπλέκτες/Αποπολυπλέκτες

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΠΟΛΥΠΛΕΚΤΕΣ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΚΑΝΟΝΙΚΗ ΜΟΡΦΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΥΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ ΜΕ ΤΗ ΧΡΗΣΗ
ΠΟΛΥΠΛΕΚΤΩΝ_1

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΥΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ ΜΕ ΤΗ ΧΡΗΣΗ
ΠΟΛΥΠΛΕΚΤΩΝ_2

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΑΠΟΠΟΛΥΠΛΕΚΤΕΣ

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΠΟΛΥΠΛΕΚΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΠΟΛΥΠΛΕΚΤΕΣ

Πολυπλέκτες

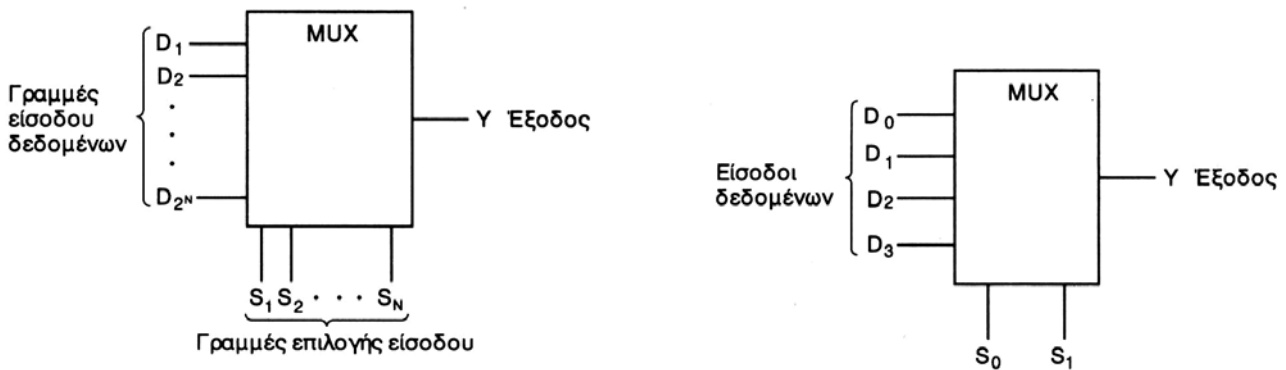
Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να ορίζει το ψηφιακό πολυπλέκτη.
- ✓ Να σχεδιάζει και να εξηγεί το λογικό κύκλωμα του πολυπλέκτη με δύο εισόδους και μια έξοδο.
- ✓ Να σχεδιάζει και να εξηγεί το λογικό κύκλωμα του πολυπλέκτη με τέσσερις εισόδους και μια έξοδο.
- ✓ Να σχεδιάζει και να εξηγεί το λογικό κύκλωμα του πολυπλέκτη με οκτώ εισόδους και μια έξοδο.

Ο **ΠΟΛΥΠΛΕΚΤΗΣ** ΕΙΝΑΙ ΕΝΑ ΣΥΝΔΥΑΣΤΙΚΟ ΛΟΓΙΚΟ ΚΥΚΛΩΜΑ ΠΟΥ ΕΧΕΙ ΠΟΛΛΕΣ ΠΗΓΕΣ ΕΙΣΟΔΟΥ ΔΕΔΟΜΕΝΩΝ ΚΑΙ ΜΙΑ ΜΟΝΟ ΕΞΟΔΟ. Η ΕΠΙΛΟΓΗ ΤΗΣ ΓΡΑΜΜΗΣ ΕΙΣΟΔΟΥ ΠΟΥ ΘΑ ΜΕΤΑΦΕΡΘΕΙ ΣΤΗΝ ΕΞΟΔΟ ΕΞΑΡΤΑΤΑΙ ΑΠΟ ΤΟΝ ΣΥΝΔΥΑΣΜΟ ΤΟΥ ΚΩΔΙΚΑ ΤΩΝ ΓΡΑΜΜΩΝ ΕΠΙΛΟΓΗΣ ΕΙΣΟΔΟΥ.

ΓΕΝΙΚΑ ΓΙΑ Ν ΓΡΑΜΜΕΣ ΕΠΙΛΟΓΗΣ ΕΙΣΟΔΟΥ ΜΠΟΡΟΥΜΕ ΝΑ ΕΧΟΥΜΕ ΜΕΧΡΙ 2^N ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ ΔΕΔΟΜΕΝΩΝ.



ΓΙΑ 4 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ ΧΡΕΙΑΖΟΜΑΣΤΕ 2
ΓΡΑΜΜΕΣ ΕΠΙΛΟΓΗΣ ΕΙΣΟΔΟΥ

$$2^2 = 4$$

Ο ΠΟΛΥΠΛΕΚΤΗΣ ΟΝΟΜΑΖΕΤΑΙ ΕΠΙΣΗΣ ΚΑΙ **ΕΠΙΛΟΓΕΑΣ ΔΕΔΟΜΕΝΩΝ (DATA SELECTOR)**, ΔΙΟΤΙ ΚΑΝΕΙ ΕΠΙΛΟΓΗ ΤΩΝ ΔΕΔΟΜΕΝΩΝ, ΠΟΥ ΒΡΙΣΚΟΝΤΑΙ ΣΤΗΝ ΕΙΣΟΔΟ ΤΟΥ ΚΑΙ ΤΑ ΟΔΗΓΕΙ ΣΤΗΝ ΕΞΟΔΟ ΤΟΥ.

Ο ΠΟΛΥΠΛΕΚΤΗΣ ΣΥΓΚΡΙΝΕΤΑΙ ΜΕ ΤΟ ΜΗΧΑΝΙΚΟ ΠΕΡΙΣΤΡΟΦΙΚΟ ΔΙΑΚΟΠΤΗ Ο ΟΠΟΙΟΣ ΑΝΑΛΟΓΑ ΜΕ ΤΗ ΘΕΣΗ ΤΟΥ ΕΠΙΛΕΓΕΙ ΜΙΑ ΑΠΟ ΤΙΣ ΠΟΛΛΕΣ ΕΙΣΟΔΟΥΣ ΤΟΥ.

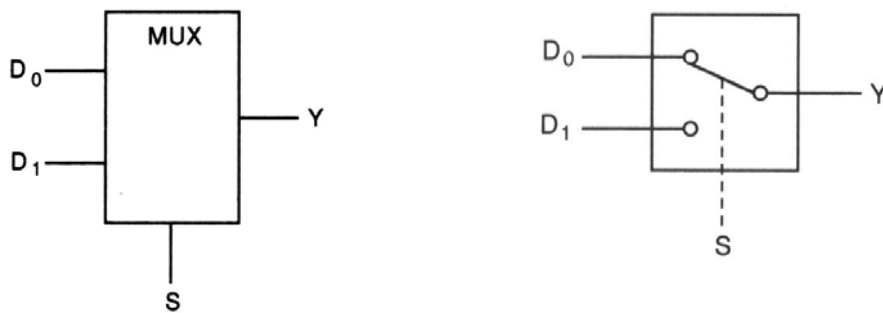
ΑΣΚΗΣΗ 1: Να υπολογίσετε τον αριθμό γραμμών επιλογής εισόδου πολυπλέκτη με 32 γραμμές εισόδου δεδομένων.

.....

Πόσες γραμμές εισόδου δεδομένων μπορεί να έχει πολυπλέκτης με 8 γραμμές επιλογής;

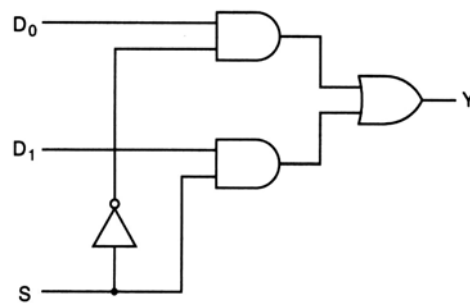
.....

• **ΠΟΛΥΠΛΕΚΤΗΣ ΔΥΟ ΓΡΑΜΜΩΝ ΣΕ ΜΙΑ (2Χ1)**

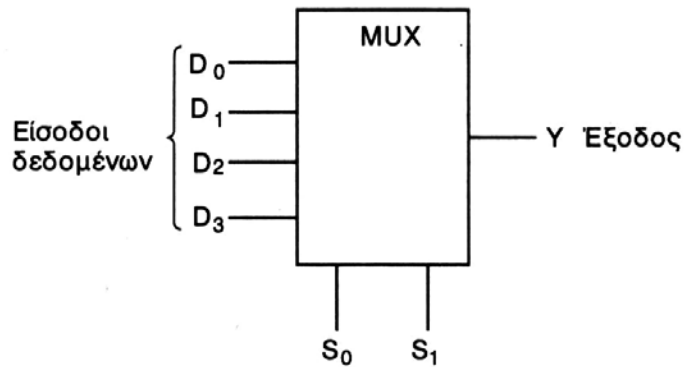


S	Y
0	D ₀
1	D ₁

$$Y = D_0 \cdot \bar{S} + D_1 \cdot S$$



• ΠΟΛΥΠΛΕΚΤΗΣ ΤΕΣΣΑΡΩΝ ΓΡΑΜΜΩΝ ΣΕ ΜΙΑ (4Χ1)



Να συμπληρώσετε τον Πίνακα Λειτουργίας του Πολυπλέκτη 4Χ1:

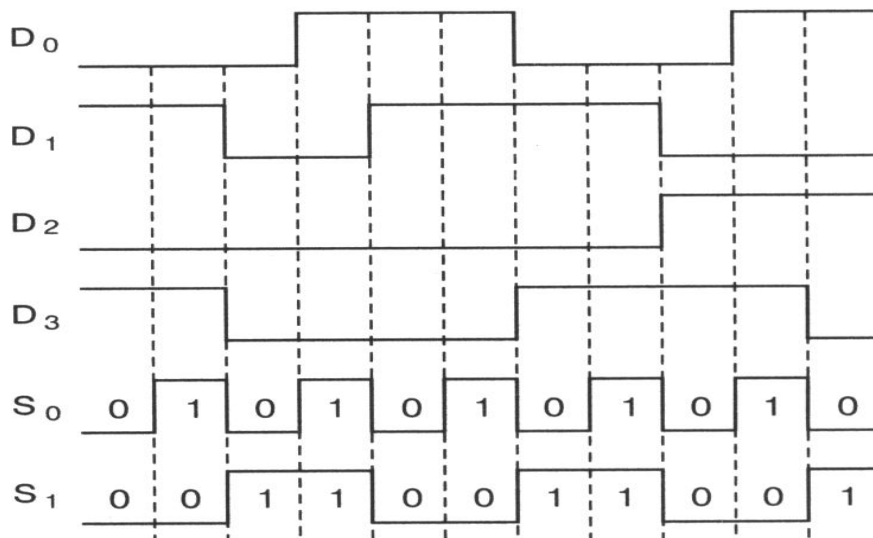
Εισόδοι		Έξοδος
S ₁	S ₀	Y
0	0	D ₀
1	1	D ₃

Από τον Πίνακα Λειτουργίας να γράψετε τη λογική συνάρτηση της εξόδου Y του πολυπλέκτη:

Y =

Σχεδιάστε το λογικό σχεδιάγραμμα του κυκλώματος:

ΑΣΚΗΣΗ 2: Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Y του πολυπλέκτη 4X1 για τις πιο κάτω εισόδους:



• **ΠΟΛΥΠΛΕΚΤΗΣ ΟΚΤΩ ΓΡΑΜΜΩΝ ΣΕ ΜΙΑ (8X1)**

Για τον Πολυπλέκτη οκτώ γραμμών σε μια (8X1) έχουμε:

Γραμμές εισόδου δεδομένων:

Γραμμές εισόδου επιλογής:

Σχεδιάστε το αντίστοιχο λογικό σύμβολο του πολυπλέκτη:

Συμπληρώστε τον Πίνακα Λειτουργίας του πολυπλέκτη:

Εισόδοι			Έξοδος
S_2	S_1	S_0	Y
0	0	0	D_0
0	0	1	D_1
1	1	1	D_7

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 9 - "Πολυπλέκτες "

1. Από το βιβλίο σας στην **Ενότητα 9** να διαβάσετε τα πιο κάτω:
 - **Ενότητα 9.1 Πολυπλέκτες** **Σελίδες 251 - 255**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - **Ασκήσεις 1, 7, 8, 10, 11** **Σελίδα 267**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΠΟΛΥΠΛΕΚΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΚΑΝΟΝΙΚΗ ΜΟΡΦΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ

ΟΝΟΜΑ :

ΤΜΗΜΑ :

Φύλλο Εργασίας 2 - Κανονική Μορφή Λογικών Συναρτήσεων & Πίνακες Αληθείας

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να αναφέρει ποια είναι η κανονική μορφή λογικών συναρτήσεων.
- ✓ Να μετατρέπει λογικές συναρτήσεις στην κανονική τους μορφή και να χρησιμοποιεί τους χάρτες Karnaugh για να τις απλοποιεί.

ΜΙΑ ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ ΒΡΙΣΚΕΤΑΙ ΣΤΗΝ ΚΑΝΟΝΙΚΗ ΤΗΣ ΜΟΡΦΗ, ΟΤΑΝ ΟΙ ΟΡΟΙ ΤΗΣ ΠΕΡΙΛΑΜΒΑΝΟΥΝ ΟΛΕΣ ΤΙΣ ΜΕΤΑΒΛΗΤΕΣ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ, Π.Χ. ΓΙΑ ΜΙΑ ΣΥΝΑΡΤΗΣΗ ΤΡΙΩΝ ΜΕΤΑΒΛΗΤΩΝ Α, Β, C:

$$Y = \bar{A} \bar{B} C + A \bar{B} C \quad (\text{ΜΟΡΦΗ ΑΘΡΟΙΣΜΑΤΟΣ ΕΛΑΧΙΣΤΩΝ ΟΡΩΝ})$$

ΜΙΑ ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ ΜΠΟΡΕΙ ΝΑ ΔΙΑΤΥΠΩΘΕΙ ΣΤΗ ΜΟΡΦΗ:

- ΜΟΡΦΗ ΑΘΡΟΙΣΜΑΤΟΣ ΕΛΑΧΙΣΤΩΝ ΟΡΩΝ
ΟΙ ΕΛΑΧΙΣΤΟΙ ΟΡΟΙ ΕΙΝΑΙ ΤΑ ΛΟΓΙΚΑ ΓΙΝΟΜΕΝΑ ΠΟΥ ΣΧΗΜΑΤΙΖΟΝΤΑΙ ΑΠΟ ΟΛΟΥΣ ΤΟΥΣ ΣΥΝΔΥΑΣΜΟΥΣ ΤΩΝ ΜΕΤΑΒΛΗΤΩΝ Ή ΤΩΝ ΣΥΜΠΛΗΡΩΜΑΤΩΝ ΤΟΥΣ

ΑΠΟ ΤΗΝ ΑΛΓΕΒΡΑ ΤΟΥ ΒΟΟΛΕ :

- $A + \bar{A} = 1$ & $A \cdot 1 = A$, ΤΟΤΕ ΓΙΑ ΠΑΡΑΔΕΙΓΜΑ ΣΕ ΕΝΑ ΟΡΟ ΜΕ ΤΡΕΙΣ ΜΕΤΑΒΛΗΤΕΣ Α, Β ΚΑΙ C ΕΧΟΥΜΕ

$$B C = B (A + \bar{A}) C$$

ΓΙΑ ΝΑ ΜΕΤΑΤΡΕΨΟΥΜΕ ΤΟΥΣ ΟΡΟΥΣ ΜΙΑΣ ΛΟΓΙΚΗΣ ΣΥΝΑΡΤΗΣΗΣ ΣΤΗΝ ΚΑΝΟΝΙΚΗ ΤΟΥΣ ΜΟΡΦΗ:

- ΠΟΛΛΑΠΛΑΣΙΑΖΟΥΜΕ ΤΟ ΚΑΘΕ ΟΡΟ ΜΕ ΟΛΕΣ ΤΙΣ ΜΕΤΑΒΛΗΤΕΣ ΠΟΥ ΑΠΟΥΣΙΑΖΟΥΝ ΚΑΙ ΤΑ ΣΥΜΠΛΗΡΩΜΑΤΑ ΤΟΥΣ

Η ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ ΤΡΙΩΝ ΜΕΤΑΒΛΗΤΩΝ Α, Β, ΚΑΙ C ΓΙΑ ΠΑΡΑΔΕΙΓΜΑ:

$$Y = \bar{A} B + A C \text{ ΙΣΟΥΤΑΙ ΜΕ}$$

$$Y = \bar{A} B (C + \bar{C}) + A (B + \bar{B}) C$$

1. Μετατρέψτε τις λογικές συναρτήσεις των τριών μεταβλητών στην κανονική μορφή αθροίσματος ελαχίστων όρων:

(α) $Y = \overline{A} B + A \overline{C}$

(β) $Y = \overline{A} + A \overline{B}$

(α) $Y = \dots\dots\dots$

(β) $Y = \dots\dots\dots$

2. Από τον Πίνακα Αληθείας γράψτε τη λογική συνάρτηση στην κανονική μορφή αθροίσματος ελαχίστων όρων:

ΕΙΣΟΔΟΙ			ΕΞΟΔΟΣ
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

$Y = \dots\dots\dots$

3. Συμπληρώστε τους Πίνακες Αληθείας για τη πιο κάτω λογική συνάρτηση τριών μεταβλητών εισόδου:

ΣΗΜ: ΑΝΑΠΤΥΞΤΕ ΠΡΩΤΑ ΤΗ ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ, ΜΕΤΑΤΡΕΨΤΕ ΤΗ ΣΤΗΝ ΚΑΝΟΝΙΚΗ ΜΟΡΦΗ ΑΘΡΟΙΣΜΑΤΟΣ ΕΛΑΧΙΣΤΩΝ ΟΡΩΝ ΚΑΙ ΑΚΟΛΟΥΘΩΣ ΣΥΜΠΛΗΡΩΣΤΕ ΤΟΝ ΠΙΝΑΚΑ ΑΛΗΘΕΙΑΣ

$Y = (A + B) \overline{C} \Rightarrow Y = \dots\dots\dots$

(α) $Y = \dots\dots\dots$

ΕΙΣΟΔΟΙ			ΕΞΟΔΟΣ
A	B	C	Y
0	0	0	
0	0	1	
0	1	0	

(β) Από τον Πίνακα Αληθείας, συμπληρώστε το χάρτη Karnaugh και απλοποιήστε τη λογική συνάρτηση στην αρχική της μορφή, αποδεικνύοντας ότι οι δύο συναρτήσεις ισούνται.

	C	0	1
AB			
00			
01			
11			
10			

Απλοποιημένη λογική συνάρτηση

$Y = \dots\dots\dots$

Β΄ ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΠΟΛΥΠΛΕΚΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 -ΥΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ ΜΕ ΤΗ ΧΡΗΣΗ
ΠΟΛΥΠΛΕΚΤΩΝ_1

ΟΝΟΜΑ : ΤΜΗΜΑ :

Υλοποίηση Λογικών Συναρτήσεων με τη χρήση Πολυπλεκτών

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να χρησιμοποιεί ολοκληρωμένα κυκλώματα πολυπλεκτών για την παραγωγή λογικών συναρτήσεων αντί της χρήσης διακριτών λογικών πυλών.

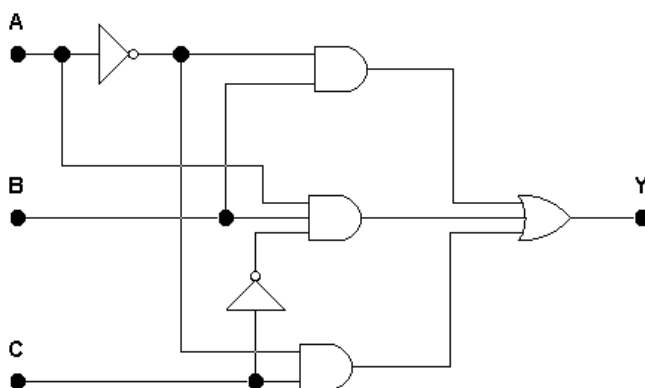
ΟΙ ΠΟΛΥΠΛΕΚΤΕΣ ΜΠΟΡΟΥΝ ΝΑ ΧΡΗΣΙΜΟΠΟΙΗΘΟΥΝ ΓΙΑ ΤΗΝ ΥΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ ΑΝΤΙ ΛΟΓΙΚΩΝ ΠΥΛΩΝ ΜΕ ΤΑ ΠΙΟ ΚΑΤΩ ΠΛΕΟΝΕΚΤΗΜΑΤΑ:

- ✓ ΕΝΑΣ ΜΟΝΟ ΠΟΛΥΠΛΕΚΤΗΣ ΜΠΟΡΕΙ ΝΑ ΧΡΗΣΙΜΟΠΟΙΗΘΕΙ ΓΙΑ ΤΗΝ ΠΡΑΓΜΑΤΟΠΟΙΗΣΗ ΠΟΛΛΩΝ ΔΙΑΦΟΡΕΤΙΚΩΝ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ
- ✓ Η ΥΛΟΠΟΙΗΣΗ ΜΙΑΣ ΛΟΓΙΚΗΣ ΣΥΝΑΡΤΗΣΗΣ ΑΠΟ ΜΙΑ ΑΛΛΗ ΓΙΝΕΤΑΙ ΜΕ ΑΠΛΟ ΚΑΙ ΕΥΚΟΛΟ ΤΡΟΠΟ
- ✓ ΜΕ ΤΗ ΧΡΗΣΗ ΠΟΛΥΠΛΕΚΤΩΝ ΕΠΙΤΥΓΧΑΝΕΤΑΙ ΕΞΟΙΚΟΝΟΜΗΣΗ ΑΡΙΘΜΟΥ ICs

Υλοποιήστε τη λογική συνάρτηση τριών μεταβλητών εισόδου A, B και C.

$$Y = \bar{A} B + A \bar{B} C + \bar{A} C$$

▪ **Υλοποίηση με τη χρήση λογικών Πυλών**



Παρατηρήσεις:

Παρατηρούμε ότι χρειαζόμαστε δυο πύλες AND των 2 εισόδων, μια πύλη AND των 3 εισόδων, 2 πύλες NOT και μια πύλη OR των 3 εισόδων.

Η ίδια λογική συνάρτηση με τρεις μεταβλητές εισόδου μπορεί να υλοποιηθεί με τη χρήση ενός μόνο πολυπλέκτη 8X1.

▪ **Υλοποίηση με τη χρήση Πολυπλέκτη**

1. Αναπτύξτε τη λογική συνάρτηση των τριών μεταβλητών στην κανονική της μορφή.

$$Y = \bar{A} B + A \bar{B} C + A C$$

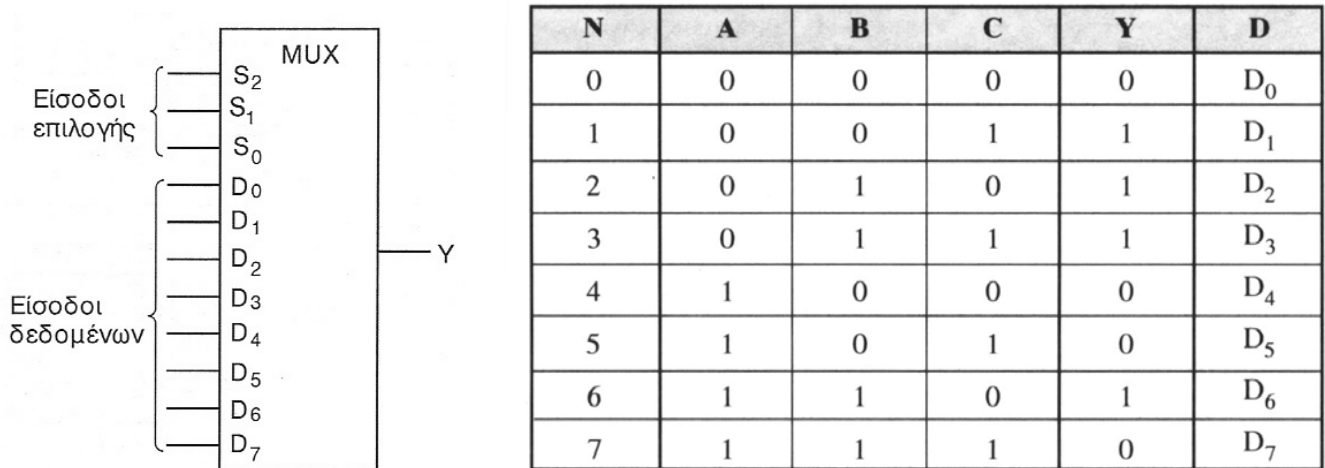
Y =

2. Συμπληρώστε τον πίνακα αληθείας της συνάρτησης:

- Παρατηρήστε την επιπρόσθετη στήλη D. Οι καταχωρήσεις της στήλης αντιστοιχούν στις εισόδους δεδομένων (D₀ - D₇).
- Οι μεταβλητές εισόδου A, B, C αντιστοιχούν με τις εισόδους επιλογής S₀, S₁, S₂.

Είσοδος Δεδομένων	Εισόδοι Επιλογής			Έξοδος
	A	B	C	Y
D ₀	0	0	0	0
D ₁	0	0	1	
D ₂				
D ₃				
D ₄				
D ₅				
D ₆				
D ₇	1	1	1	

3. Δίδεται το λογικό σύμβολο και ο Πίνακας Λειτουργίας του Πολυπλέκτη 8X1.



4. Σχεδιάστε το λογικό κύκλωμα με τη πιο κάτω διαδικασία:

- ΣΥΝΔΕΟΝΤΑΙ ΟΙ ΕΙΣΟΔΟΙ ΕΠΙΛΟΓΗΣ S_1, S_2 ΚΑΙ S_3 ΜΕ ΤΙΣ ΜΕΤΑΒΛΗΤΕΣ A, B ΚΑΙ C
- ΣΥΝΔΕΟΝΤΑΙ ΟΙ ΕΙΣΟΔΟΙ ΔΕΔΟΜΕΝΩΝ $D_0 - D_7$ ΕΙΤΕ ΣΤΟ ΛΟΓΙΚΟ 0 ΕΙΤΕ ΣΤΟ ΛΟΓΙΚΟ 1 ΑΝΑΛΟΓΑ ΜΕ ΤΙΣ ΤΙΜΕΣ ΕΞΟΔΟΥ ΣΤΟΝ ΠΙΝΑΚΑ ΑΛΗΘΕΙΑΣ

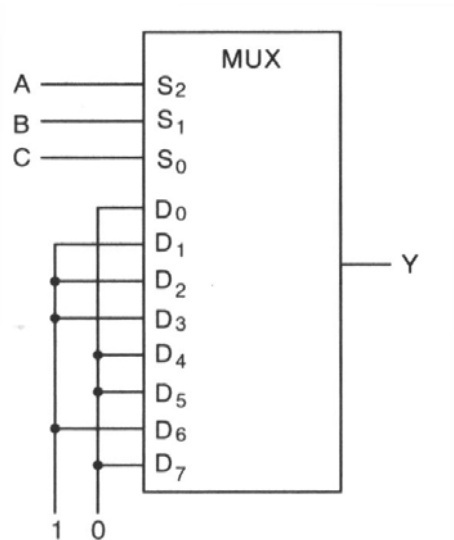
ΠΑΡΑΔΕΙΓΜΑ

ΟΤΑΝ Η ΕΙΣΟΔΟΣ ΕΠΙΛΟΓΗΣ $S_2S_1S_0 = 000$ ΤΟΤΕ ΕΠΙΛΕΓΕΤΑΙ Η ΕΙΣΟΔΟΣ ΔΕΔΟΜΕΝΩΝ D_0 ΚΑΙ $Y = D_0$.

ΑΡΑ Η ΕΙΣΟΔΟΣ D_0 ΠΡΕΠΕΙ ΝΑ ΣΥΝΔΕΘΕΙ ΣΤΟ ΛΟΓΙΚΟ 0 ΩΣΤΕ Η ΕΞΟΔΟΣ ΝΑ ΕΙΝΑΙ 0 ΣΥΜΦΩΝΑ ΜΕ ΤΟΝ ΠΙΝΑΚΑ ΑΛΗΘΕΙΑΣ ΤΗΣ ΛΟΓΙΚΗΣ ΣΥΝΑΡΤΗΣΗΣ:

ΣΥΝΔΕΟΝΤΑΙ ΣΤΟ ΛΟΓΙΚΟ 0: **000** **D₀**
 100 **D₄**
 101 **D₅**
 111 **D₇**

ΣΥΝΔΕΟΝΤΑΙ ΣΤΟ ΛΟΓΙΚΟ 1: **001** **D₁**
 010 **D₂**
 011 **D₃**
 110 **D₆**



$$A = S_2$$

$$B = S_1$$

$$C = S_0$$

$$Y = \bar{A} \bar{B} + A \bar{B} C + \bar{A} B C$$

• Παρατηρήσεις - Πλεονεκτήματα της χρήσης Πολυπλεκτών

- ✓ Με αυτό το τρόπο υλοποιούμε τη λογική συνάρτηση με μόνο ένα πολυπλέκτη χωρίς την χρήση οποιασδήποτε λογικής πύλης.
- ✓ Διαφορετικά θα χρειαζόμαστε, 3 πύλες AND των 2 εισόδων, 1 πύλη NOT και μια πύλη OR των 3 εισόδων (συνολικά 3 ICs).

Οι πολυπλέκτες μπορούν να χρησιμοποιηθούν για την υλοποίηση λογικών συναρτήσεων της συνδυαστικής λογικής αντί λογικών πυλών με τα πιο κάτω πλεονεκτήματα:

- ✓ Ένας πολυπλέκτης μπορεί να χρησιμοποιηθεί για την πραγματοποίηση πολλών διαφορετικών λογικών συναρτήσεων
- ✓ Η υλοποίηση μιας λογικής συνάρτησης γίνεται με απλό και εύκολο τρόπο
- ✓ Με τη χρήση πολυπλεκτών επιτυγχάνεται εξοικονόμηση του αριθμού ICs

Σημείωση Για την υλοποίηση λογικής συνάρτησης με 4 μεταβλητές θα χρειαστούν δύο πολυπλέκτες 8X1

ΕΠΙΠΛΕΟΝ ΕΡΓΑΣΙΑ (ΚΑΤ' ΟΙΚΟΝ ΕΡΓΑΣΙΑ)

Ενότητα 9 - "Πολυπλέκτες "

1. Από το βιβλίο σας στην **Ενότητα 9** να διαβάσετε τα πιο κάτω:

- **Ενότητα 9.1.2.2 Υλοποίηση Λογικών Συναρτήσεων** **Σελίδες 258/9**
Παράδειγμα 9,2
- **Να απαντήσετε τις πιο κάτω ερωτήσεις της Αξιολόγησης στο τετράδιο σας:**
- **Ασκήσεις 5, 6** **Σελίδα 267**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΠΟΛΥΠΛΕΚΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 -ΥΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ ΜΕ ΤΗ ΧΡΗΣΗ
ΠΟΛΥΠΛΕΚΤΩΝ_2

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Υλοποίηση Λογικών Συναρτήσεων με τη Χρήση Πολυπλεκτών

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

✓ Να υλοποιεί λογικές συναρτήσεις τριών μεταβλητών εισόδου με τη χρήση πολυπλέκτη 8X1.

Δίδεται η λογική συνάρτηση τριών μεταβλητών εισόδου A, B και C:

$$A \bar{B} C + A B + A \bar{C} + B C$$

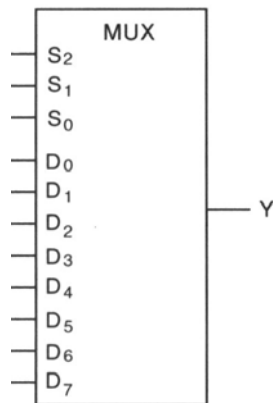
1. Να σχεδιάσετε το λογικό κύκλωμα της συνάρτησης:

2. Να μετατρέψετε τη λογική συνάρτηση στην κανονική της μορφή και να συμπληρώσετε το Πίνακα Αληθείας:

Y =

ΕΙΣΟΔΟΙ			ΕΞΟΔΟΣ
A	B	C	Y
0	0	0	
0	0	1	
1	1	1	

3. Δίδεται πολυπλέκτης 8X1, ο οποίος μπορεί να χρησιμοποιηθεί για την υλοποίηση της πιο πάνω λογικής συνάρτησης.



4. Ακολουθείστε τις οδηγίες για να υλοποιηθεί το κύκλωμα:

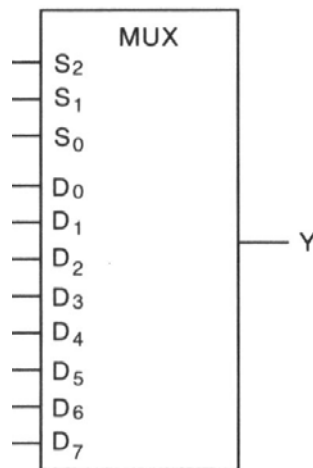
- Συμπληρώστε το Πίνακα Λειτουργίας του κυκλώματος (ο οποίος αντιστοιχεί με τον Πίνακα Αληθείας της λογικής συνάρτησης):

ΜΕΤΑΒΛΗΤΕΣ ΕΙΣΟΔΟΥ			ΕΞΟΔΟΣ	ΔΕΔΟΜΕΝΑ
A	B	C	Y	D
0	0	0		D ₀
0	0	1		D ₁
1	1	1		

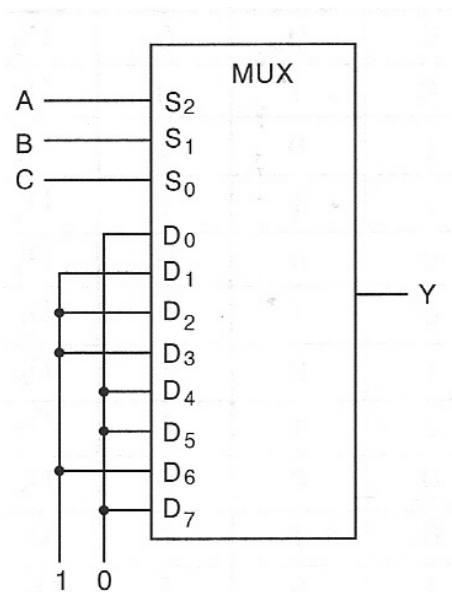
Είσοδοι πολυπλέκτη που συνδέονται στο Λογικό 0:

Είσοδοι πολυπλέκτη που συνδέονται στο Λογικό 1:

5. Σχεδιάστε το λογικό κύκλωμα της συνάρτησης με τη χρήση του πολυπλέκτη 8X1:
- Συνδέστε τις εισόδους δεδομένων ($D_0 - D_7$) αντίστοιχα με το Λογικό 0 και Λογικό 1, ώστε να υλοποιηθεί ο πιο πάνω Πίνακας Αληθείας.
 - Συνδέστε τις μεταβλητές A, B, C με τις αντίστοιχες εισόδους επιλογής S_0, S_1 και S_2 .



6. Να δώσετε τη λογική συνάρτηση που πραγματοποιείται με το πιο κάτω κύκλωμα πολυπλέκτη 8X1.



Y =

Με τη χρήση χάρτη Karnaugh να απλοποιήσετε τη λογική συνάρτηση

AB \ C	0	1
00		
01		
11		
10		

Απλοποιημένη λογική συνάρτηση
Y =

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΠΟΛΥΠΛΕΚΤΕΣ
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΑΠΟΠΟΛΥΠΛΕΚΤΕΣ

ΟΝΟΜΑ : **ΤΜΗΜΑ :**

Αποπολυπλέκτες

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

✓ Να σχεδιάζει λογικά κυκλώματα αποπολυπλεκτών και να εξηγεί τη λειτουργία τους.

Ο **ΑΠΟΠΟΛΥΠΛΕΚΤΗΣ** ΕΙΝΑΙ ΕΝΑ ΣΥΝΔΥΑΣΤΙΚΟ ΛΟΓΙΚΟ ΚΥΚΛΩΜΑ ΠΟΥ ΕΧΕΙ ΜΙΑ ΜΟΝΟ ΕΙΣΟΔΟ ΔΕΔΟΜΕΝΩΝ ΚΑΙ ΠΟΛΛΕΣ ΕΞΟΔΟΥΣ. Η ΕΠΙΛΟΓΗ ΠΟΙΑ ΕΞΟΔΟΣ ΘΑ ΣΥΝΔΕΘΕΙ Η ΕΙΣΟΔΟΣ ΕΞΑΡΤΑΤΑΙ ΑΠΟ ΤΟΝ ΣΥΝΔΥΑΣΜΟ ΤΟΥ ΚΩΔΙΚΑ ΤΩΝ ΓΡΑΜΜΩΝ ΕΠΙΛΟΓΗΣ ΕΙΣΟΔΟΥ.

Ο ΑΠΟΠΟΛΥΠΛΕΚΤΗΣ ΕΚΤΕΛΕΙ ΤΗΝ ΑΝΤΙΣΤΡΟΦΗ ΕΡΓΑΣΙΑ ΑΠΟ ΕΚΕΙΝΗ ΤΟΥ ΠΟΛΥΠΛΕΚΤΗ.

1. Να σχεδιάσετε το λογικό σύμβολο ενός αποπολυπλέκτη μιας γραμμής σε δύο (1Χ2).

ΕΙΣΟΔΟΣ ΔΕΔΟΜΕΝΩΝ	D
ΕΙΣΟΔΟΙ ΕΠΙΛΟΓΗΣ	S
ΕΞΟΔΟΙ	D₀ D₁

2. Πόσες γραμμές επιλογής εισόδου έχει ένας αποπολυπλέκτης 1Χ4;
3. Πόσους συνδυασμούς μπορούμε να έχουμε σ' αυτή τη περίπτωση;

4. Συμπληρώστε το Πίνακα Λειτουργίας του κυκλώματος:

Είσοδοι Επιλογής	Έξοδοι		
	S	D ₁	D ₀
0			D

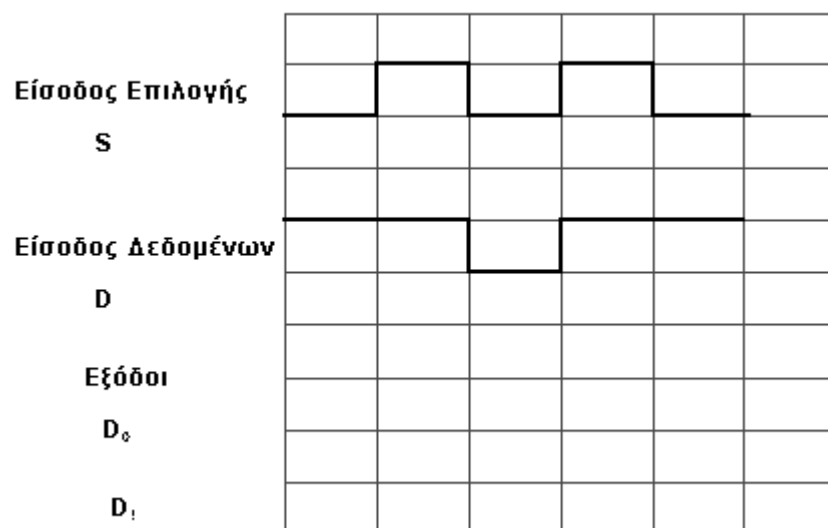
5. Γράψτε τις λογικές συναρτήσεις για τις δύο εξόδους:

D₀ =

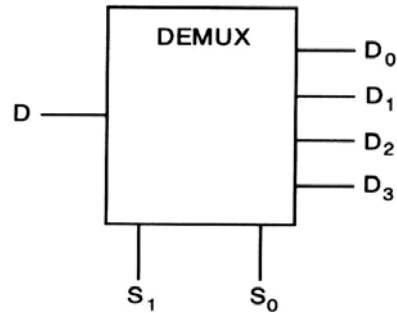
D₁ =

6. Από τις πιο πάνω λογικές συναρτήσεις σχεδιάστε το αντίστοιχο λογικό κύκλωμα του αποπολυπλέκτη 1X2 :

7. Σχεδιάστε τα χρονικά διαγράμματα των εξόδων αποπολυπλέκτη 1X2 για τις πιο κάτω εισόδους:



8. Πόσες γραμμές επιλογής έχει ένας αποπολυπλέκτης με 8 εξόδους;
9. Πόσους εξόδους έχει ένας αποπολυπλέκτης με 5 γραμμές επιλογής;
10. Δίνεται το λογικό σύμβολο του αποπολυπλέκτη 1X4. Να συμπληρώσετε το Πίνακα Λειτουργίας του κυκλώματος.



Εισόδοι		Εξόδοι			
S ₁	S ₀	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	D

11. Να συμπληρώσετε τις λογικές συναρτήσεις για τις 4 εξόδους του αποπολυπλέκτη.

D₀ =

D₁ =

D₂ =

D₃ =

Ενότητα 10 - Μετατροπείς D/A και A/D

ΜΕΤΑΤΡΟΠΗ ΑΝΑΛΟΓΙΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΨΗΦΙΑΚΟ - ΔΕΙΓΜΑΤΟΛΗΨΙΑ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 1 - ΑΝΑΛΟΓΙΚΑ ΚΑΙ ΨΗΦΙΑΚΑ ΣΗΜΑΤΑ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΜΕΤΑΤΡΟΠΕΙΣ D/A

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΜΕΤΑΤΡΟΠΕΩΝ D/A

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΜΕΤΑΤΡΟΠΗ ΑΝΑΛΟΓΙΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΨΗΦΙΑΚΟ

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ
ΜΕΤΑΤΡΟΠΗ ΑΝΑΛΟΓΙΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΨΗΦΙΑΚΟ - ΔΕΙΓΜΑΤΟΛΗΨΙΑ

Για να μετατραπεί ένα αναλογικό σήμα σε ψηφιακό, θα πρέπει να μετατραπεί σε σήμα διακριτό ως προς το χρόνο.

Διακριτό είναι ένα σήμα που δεν είναι συνεχές στο χρόνο, παίρνει δηλαδή τιμές σε συγκεκριμένες χρονικές στιγμές. Τα ψηφιακά σήματα παίρνουν μόνο δύο τιμές, τη ψηλή (το λογικό 1) και τη χαμηλή (το λογικό 0).

Το αρχικό αναλογικό σήμα μπορεί να ξαναδημιουργηθεί, από το ψηφιακό σήμα κατόπιν κατάλληλης επεξεργασίας. Έτσι έχουμε τη δυνατότητα, αντί να μεταδίδουμε ολόκληρο το αναλογικό σήμα από ένα κανάλι επικοινωνίας, να μεταδώσουμε μόνο τα δείγματα σε ψηφιακή μορφή που προέκυψαν από τη δειγματοληψία του και να ανασυνθέσουμε το σήμα στο δέκτη στη αρχική του μορφή.

Η μετατροπή του αναλογικού σήματος σε ψηφιακό πραγματοποιείται με τις ακόλουθες διαδικασίες κατά σειρά, Σχήμα 1:

- **Δειγματοληψία**
- **Κβάντιση**
- **Κωδικοποίηση**

Δειγματοληψία

Δειγματοληψία ονομάζεται η διαδικασία, κατά την οποία από ένα αναλογικό σήμα λαμβάνονται ένας πεπερασμένος αριθμός τιμών του (δείγματα).

Ποιος είναι όμως ο κατάλληλος ρυθμός δειγματοληψίας;

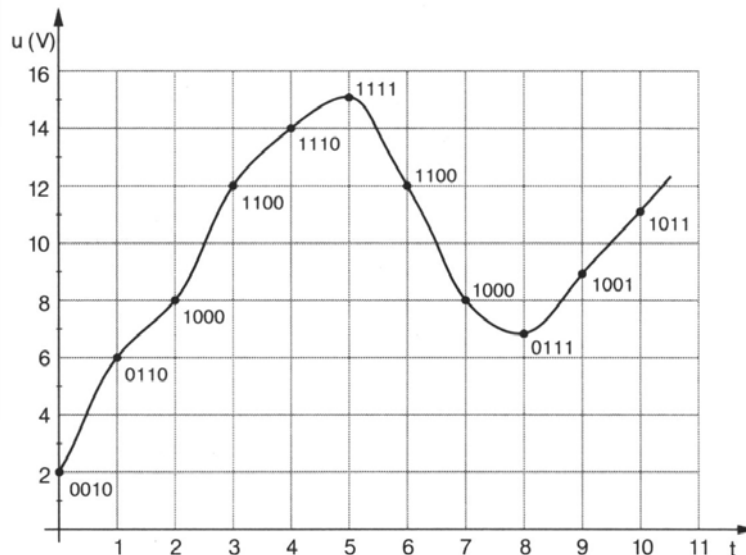
Θεώρημα Δειγματοληψίας (Nyquist): Η συχνότητα δειγματοληψίας του αναλογικού σήματος και μετατροπής αυτού σε ψηφιακό πρέπει να είναι μεγαλύτερη ή τουλάχιστον ίση με το διπλάσιο της μέγιστης συχνότητας που εμπεριέχεται στο αναλογικό σήμα, για να μπορεί να αναπαραχθεί το αναλογικό σήμα σωστά στο δέκτη από το ψηφιακό.

Κβάντιση

Ακολουθώς τα αναλογικά δείγματα στρογγυλοποιούνται στη πλησιέστερη στάθμη από 256 τιμές με τη διαδικασία της **κβάντισης** (για ένα ψηφιακό σήμα των 8 bit).

Κωδικοποίηση

Στη διαδικασία της **κωδικοποίησης** η κάθε κβαντισμένη στάθμη μετατρέπεται σε ένα κωδικό αριθμό με 8 δυαδικά ψηφία ($2^8 = 256$).



Σχήμα 1 - Διαδικασία μετατροπής αναλογικού σήματος σε ψηφιακό των 4 bit

Παλμοκωδική Διαμόρφωση

Η **παλμοκωδική διαμόρφωση (PCM - Pulse Code Modulation)** που χρησιμοποιείται στην τηλεφωνία, είναι μια μέθοδος μετατροπής του αναλογικού σήματος σε ψηφιακό (A/D conversion), σύμφωνα με την οποία η πληροφορία που περιέχεται σε συγκεκριμένα δείγματα ενός αναλογικού σήματος αναπαρίσταται από συγκεκριμένες κωδικές λέξεις που αποτελούνται από ένα ψηφιακό σήμα σε σειριακή μορφή.

Το τηλεφωνικό κανάλι έχει εύρος ζώνης 4 kHz. Για να μετατρέψουμε λοιπόν το αναλογικό σήμα ομιλίας σε ψηφιακό θα πρέπει να κάνουμε δειγματοληψία σε ρυθμό τουλάχιστον 8 000 δειγμάτων/s σύμφωνα με το Θεώρημα του Nyquist.

Το σύστημα PCM της τηλεφωνίας χρησιμοποιεί 8-bit για κάθε στάθμη του αναλογικού σήματος. Επιτρέπει δηλαδή συνολικά $2^8=256$ στάθμες κβάντισης. Ο συνολικός ρυθμός πληροφορίας του ψηφιακού σήματος PCM που προκύπτει από το αναλογικό σήμα ομιλίας θα είναι:

$$\mathbf{8\ 000\ δειγματα/s \times 8\ bits/δειγμα = 64\ kbit/s}$$

Αυτός είναι ο ρυθμός μετάδοσης των πληροφοριών των ψηφιακών συστημάτων (ISDN) της ΑΤΗΚ.

Έτσι έχουμε για παράδειγμα ρυθμούς μετάδοσης δεδομένων 128 kbit/s στη περίπτωση που συνδεόμαστε με το Διαδίκτυο και με τα δύο κανάλια Β του ISDN Πρόσβασης Βασικού Ρυθμού (BRI).

Μια άλλη εφαρμογή της διαμόρφωσης PCM είναι το δημοφιλές CD. Εδώ απαιτείται ένα ακουστικό σήμα με υψηλή ποιότητα, δηλαδή με εύρος ζώνης 20 kHz. Αν ο ρυθμός δειγματοληψίας που απαιτείται, σύμφωνα με το Θεώρημα Nyquist, είναι 40 kHz, στην πράξη χρησιμοποιείται ρυθμός 44,1 kHz, για να αποφευχθούν οι επιδράσεις των μη ιδανικών φίλτρων ανακατασκευής. Το σήμα κβαντίζεται σε 65536 στάθμες, ώστε να περιοριστεί ο θόρυβος κβάντισης.

Κάθε στάθμη απαιτεί κωδική λέξη 16 bits για την κωδικοποίηση κάθε δείγματος ($2^{16} = 65536$). Έτσι κατά την αναπαραγωγή του CD, ο ρυθμός του σήματος PCM είναι $16 \times 44100 = 705600$ bit/s για κάθε κανάλι.

ΟΝΟΜΑ : ΤΜΗΜΑ :

Αναλογικά και Ψηφιακά Σήματα

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να αναφέρει τι είναι το αναλογικό και τι το ψηφιακό σήμα.
- ✓ Να εξηγήσει την αναγκαιότητα χρησιμοποίησης των κυκλωμάτων DAC (Digital to Analogue Converter) και ADC (Analog to Digital Converter).
- ✓ Να σχεδιάζει το ψηφιακό σήμα από το αναλογικό και αντίστροφα.

Εισαγωγή

ΟΙ ΠΛΗΡΟΦΟΡΙΕΣ ΚΑΙ ΤΑ ΣΗΜΑΤΑ ΣΤΑ ΣΥΣΤΗΜΑΤΑ ΤΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΣΕ ΟΛΑ ΤΑ ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ ΒΡΙΣΚΟΝΤΑΙ ΚΩΔΙΚΟΠΟΙΗΜΕΝΑ ΣΕ ΨΗΦΙΑΚΗ ΜΟΡΦΗ.

ΑΝΤΙΘΕΤΑ. ΤΑ ΦΥΣΙΚΑ ΜΕΓΕΘΗ ΚΑΙ ΓΕΝΙΚΑ ΟΙ ΠΛΗΡΟΦΟΡΙΕΣ ΣΤΟΝ ΕΞΩΤΕΡΙΚΟ ΦΥΣΙΚΟ ΚΟΣΜΟ ΒΡΙΣΚΟΝΤΑΙ ΚΑΤΑ ΚΑΝΟΝΑ ΣΕ ΑΝΑΛΟΓΙΚΗ ΜΟΡΦΗ. Π.Χ. ΘΕΡΜΟΚΡΑΣΙΑ, ΧΡΟΝΟΣ ΠΙΕΣΗ.

Η ΕΠΙΚΟΙΝΩΝΙΑ ΤΟΥ ΠΕΡΙΒΑΛΛΟΝΤΟΣ ΜΕ ΤΟΝ ΗΛΕΚΤΡΟΝΙΚΟ ΥΠΟΛΟΓΙΣΤΗ ΠΡΟΫΠΟΘΕΤΕΙ ΟΤΙ ΤΟ ΨΗΦΙΑΚΟ ΣΥΣΤΗΜΑ ΕΧΕΙ ΣΤΗΝ ΕΙΣΟΔΟ ΤΟΥ ΕΝΑ ΚΥΚΛΩΜΑ ΜΕΤΑΤΡΟΠΗΣ ΤΟΥ ΑΝΑΛΟΓΙΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΨΗΦΙΑΚΟ ΚΑΙ ΑΝΤΙΘΕΤΑ ΣΤΗΝ ΕΞΟΔΟ ΤΟΥ ΤΑ ΨΗΦΙΑΚΑ ΣΗΜΑΤΑ ΠΡΕΠΕΙ ΝΑ ΜΕΤΑΤΡΑΠΟΥΝ ΣΕ ΑΝΑΛΟΓΙΚΑ ΓΙΑ ΝΑ ΓΙΝΟΥΝ ΚΑΤΑΝΟΗΤΑ ΑΠΟ ΤΟΝ ΑΝΘΡΩΠΟ ΚΑΙ ΓΙΑ ΝΑ ΜΠΟΡΟΥΝ ΝΑ ΑΞΙΟΠΟΙΗΘΟΥΝ ΑΠΟ ΤΟ ΠΕΡΙΒΑΛΛΟΝ.

1. Γράψτε μερικά αναλογικά και ψηφιακά σήματα που ξέρετε:

ΑΝΑΛΟΓΙΚΑ

.....
.....
.....

ΨΗΦΙΑΚΑ

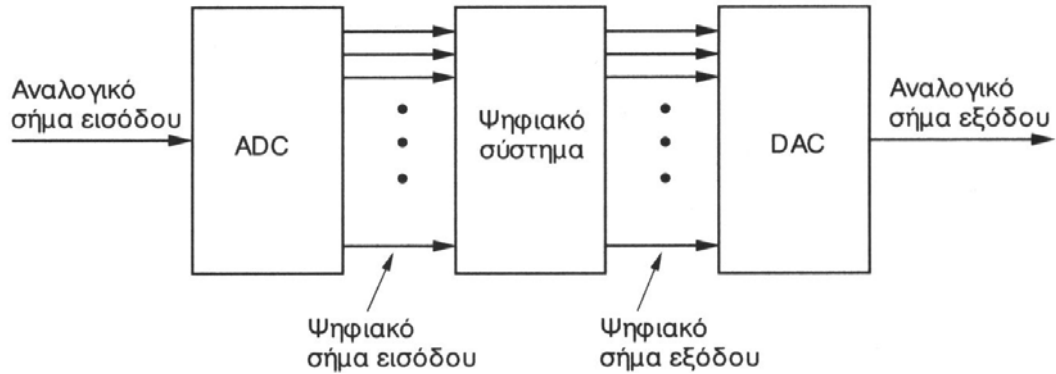
.....
.....
.....

2. Γιατί νομίζετε ότι σήμερα είναι επιθυμητή η χρήση της ψηφιακής τεχνολογίας αντί της αναλογικής; Αναφέρετε τους λόγους:

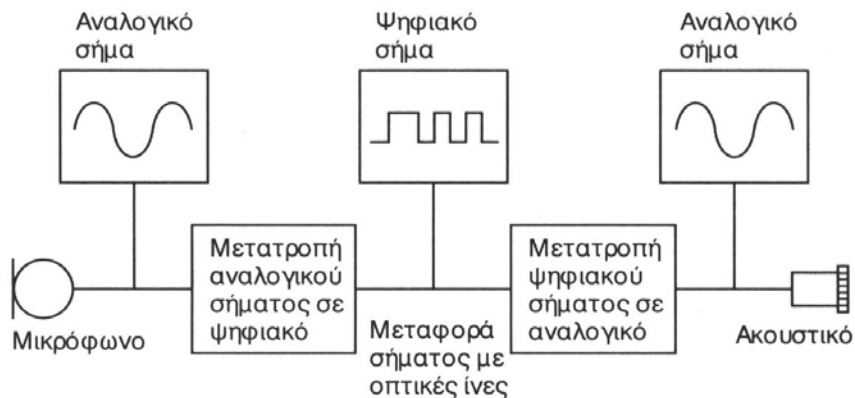
.....
.....
.....
.....

ΠΛΕΟΝΕΚΤΗΜΑΤΑ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

- ◆ ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ
- ◆ ΑΛΑΝΘΑΣΤΟ ΣΤΗΝ ΕΠΕΞΕΡΓΑΣΙΑ ΚΑΙ ΣΤΗ ΜΕΤΑΦΟΡΑ
- ◆ ΚΑΛΥΤΕΡΗ ΤΕΧΝΟΛΟΓΙΑ ΣΕ ΣΧΕΣΗ ΜΕ ΑΝΑΛΟΓΙΚΑ ΣΥΣΤΗΜΑΤΑ



• ΣΧΕΔΙΑΓΡΑΜΜΑ ΨΗΦΙΑΚΟΥ ΣΥΣΤΗΜΑΤΟΣ ΜΕ ΜΕΤΑΤΡΟΠΕΙΣ D/A & A/D



• ΨΗΦΙΑΚΟ ΣΥΣΤΗΜΑ ΤΗΛΕΦΩΝΙΑΣ

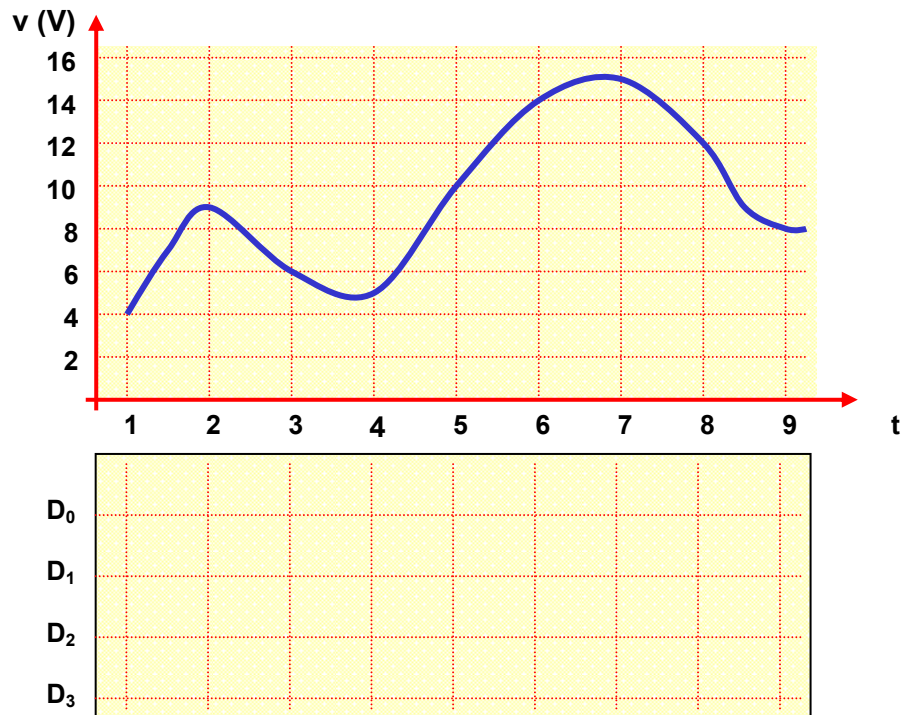
• ΑΝΑΛΟΓΙΚΟ ΚΑΙ ΨΗΦΙΑΚΟ ΣΗΜΑ

ΓΕΝΙΚΑ ΤΑ ΑΝΑΛΟΓΙΚΑ ΣΗΜΑΤΑ ΠΑΙΡΝΟΥΝ ΑΠΕΙΡΕΣ ΤΙΜΕΣ, ΕΝΩ ΤΑ ΨΗΦΙΑΚΑ ΣΗΜΑΤΑ ΠΑΙΡΝΟΥΝ ΜΟΝΟ ΔΥΟ ΤΙΜΕΣ:

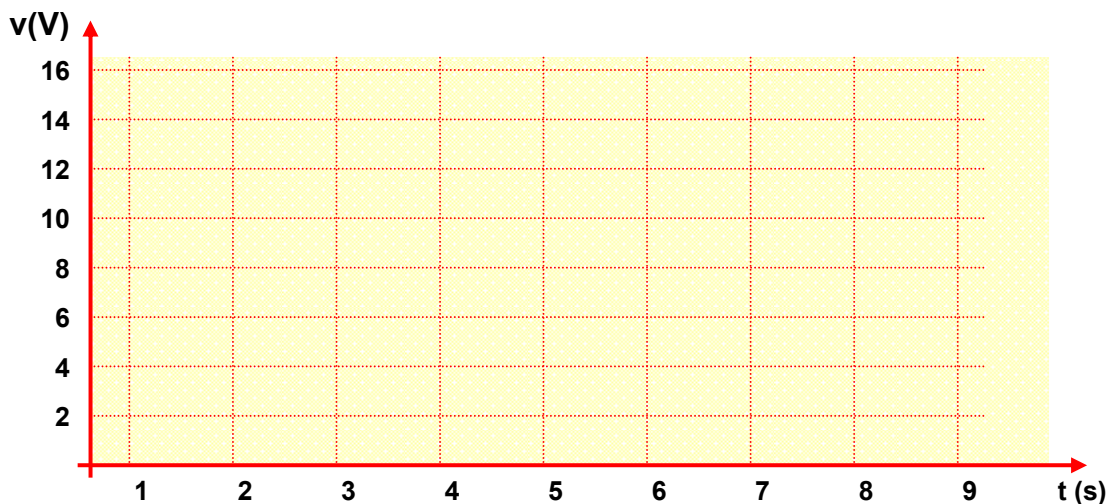
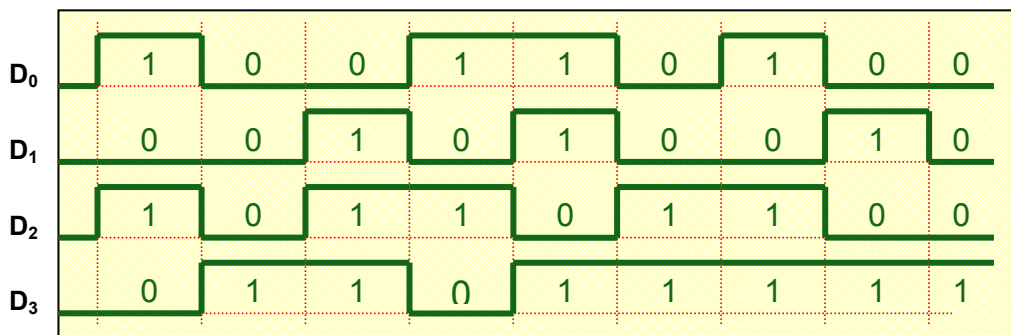
- ΤΟ ΛΟΓΙΚΟ 1 - ΤΗ ΨΗΛΗ (HIGH)
- ΤΟ ΛΟΓΙΚΟ 0 - ΤΗ ΧΑΜΗΛΗ (LOW)

ΜΕ ΑΥΤΕΣ ΤΙΣ ΔΥΟ ΤΙΜΕΣ ΚΩΔΙΚΟΠΟΙΟΥΝΤΑΙ ΟΛΕΣ ΟΙ ΠΛΗΡΟΦΟΡΙΕΣ

3. Συμπληρώστε το **ψηφιακό σήμα** που αντιστοιχεί στο πιο κάτω αναλογικό σήμα. **Να υποθέσετε ότι το κάθε δείγμα μετατρέπεται σε ένα ψηφιακό σήμα των 4-Bit και το κάθε δείγμα λαμβάνεται κάθε ένα δευτερόλεπτο.**



4. Συμπληρώστε το **αναλογικό σήμα** που αντιστοιχεί στο πιο κάτω ψηφιακό σήμα. **Να υποθέσετε ότι για κάθε Bit, 1 LSB = 1 V.**



5. Συμπληρώστε το **Πίνακα Λειτουργίας του Μετατροπέα Ψηφιακού** σήματος σε **Αναλογικό**.

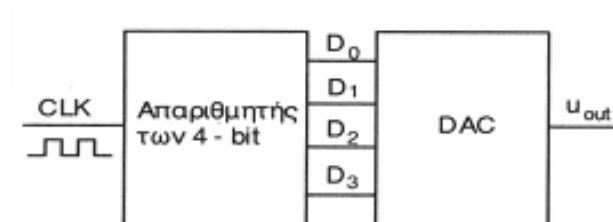
Να υποθέσετε ότι για κάθε Bit, 1 LSB = 1 V.

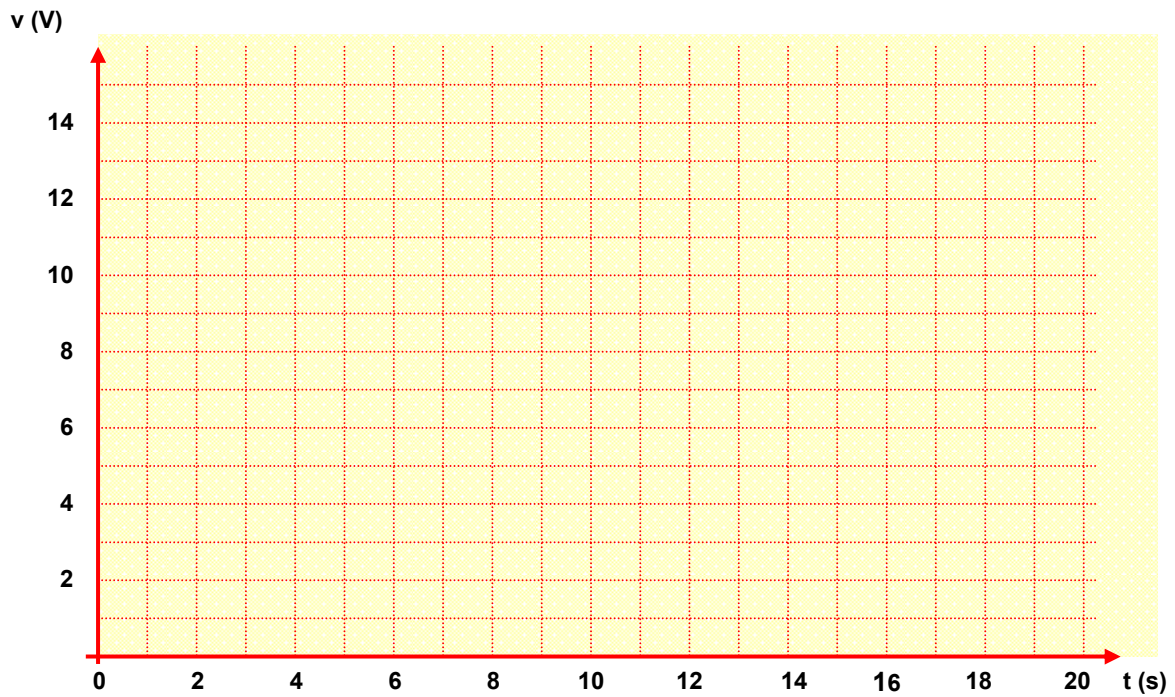


Ψηφιακό Σήμα Εισόδου				Αναλογικό Σήμα Εξόδου (V)
D ₃	D ₂	D ₁	D ₀	
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

6. Συμπληρώστε το αναλογικό σήμα που προκύπτει από το πιο κάτω κύκλωμα απαριθμητή 4-Bit που τροφοδοτεί ένα Μετατροπέα Ψηφιακού σήματος σε αναλογικό, DAC.

Να υποθέσετε ότι για κάθε Bit, 1 LSB = 1 V και το ρολόι του απαριθμητή έχει συχνότητα 1 Hz.





ΕΠΙΠΛΕΟΝ (ΚΑΤ' ΟΙΚΟΝ) ΕΡΓΑΣΙΑ

Ενότητα 10 - "Μετατροπείς D/A & A/D"

1. Από το βιβλίο σας στην **Ενότητα 10** να διαβάσετε τα πιο κάτω:

- **Εισαγωγή**
- **Ενότητα 10.1 - Αναλογικό & Ψηφιακό Σήμα**
- **Ενότητα 10.2 - Μετατροπείς Ψηφιακού Σήματος σε Αναλογικό**

Σελίδες 273 - 277

2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:

- **Ασκήσεις 1, 3, 4, 7, 8**

Σελίδα 302

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΜΕΤΑΤΡΟΠΕΙΣ D/A & A/D ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 2 - ΜΕΤΑΤΡΟΠΕΙΣ D/A

ΟΝΟΜΑ : ΤΜΗΜΑ :

Μετατροπείς Ψηφιακού Σήματος σε Αναλογικό (D/A)

Στόχοι

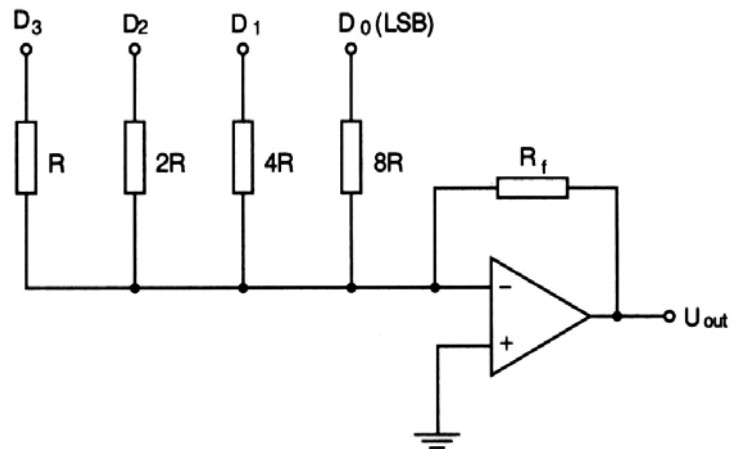
Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- ✓ Να σχεδιάζει κύκλωμα μετατροπής ψηφιακού σήματος σε αναλογικό με αντιστάσεις σταθμισμένες στο δυαδικό σύστημα.
- ✓ Να σχεδιάζει κύκλωμα μετατροπής ψηφιακού σήματος σε αναλογικό του τύπου κλίμακας $R/2R$, να υπολογίζει και να σχεδιάζει το σήμα εξόδου από το σήμα εισόδου.
- ✓ Να αναφέρει τα πλεονεκτήματα του μετατροπέα του τύπου κλίμακας $R/2R$ από άλλους μετατροπείς.

• ΚΥΚΛΩΜΑ ΜΕΤΑΤΡΟΠΕΑ D/A ΜΕ ΣΤΑΘΜΙΣΜΕΝΕΣ ΑΝΤΙΣΤΑΣΕΙΣ ΚΑΙ ΤΕΛΕΣΤΙΚΟ ΕΝΙΣΧΥΤΗ

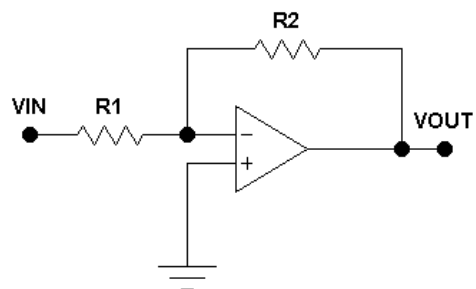
$$V_{OUT} = -(8D_3 + 4D_2 + 2D_1 + D_0) \frac{R_f}{8R} V_{IN}$$

$V_{IN} =$ Τάση λογικού 1



ΑΠΟΛΑΒΗ ΚΥΚΛΩΜΑΤΟΣ ΕΝΙΣΧΥΤΗ ΜΕ ΑΝΑΣΤΡΟΦΗ ΤΑΣΗΣ

$$V_{OUT} = -\frac{R_2}{R_1} V_{IN}$$



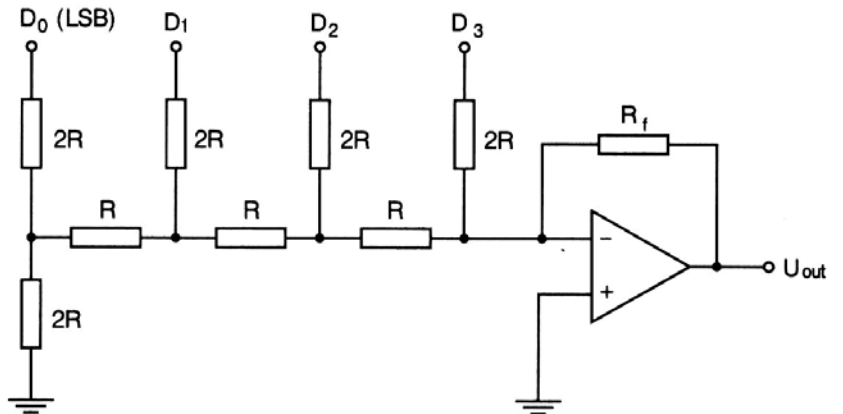
- **ΚΥΚΛΩΜΑΤΑ ΜΕΤΑΤΡΟΠΕΑ D/A ΜΕ ΚΛΙΜΑΚΩΤΟ ΔΙΚΤΥΟ ΑΝΤΙΣΤΑΣΕΩΝ R/2R**

(ΜΕΤΑΤΡΟΠΕΑΣ ΚΛΙΜΑΚΑΣ R/2R)

ΕΧΟΥΝ ΤΟ ΠΛΕΟΝΕΚΤΗΜΑ ΟΤΙ ΧΡΗΣΙΜΟΠΟΙΟΥΝ ΑΝΤΙΣΤΑΣΕΙΣ ΜΕ ΜΟΝΟ ΔΥΟ ΤΙΜΕΣ, ΤΗ R ΚΑΙ 2R.

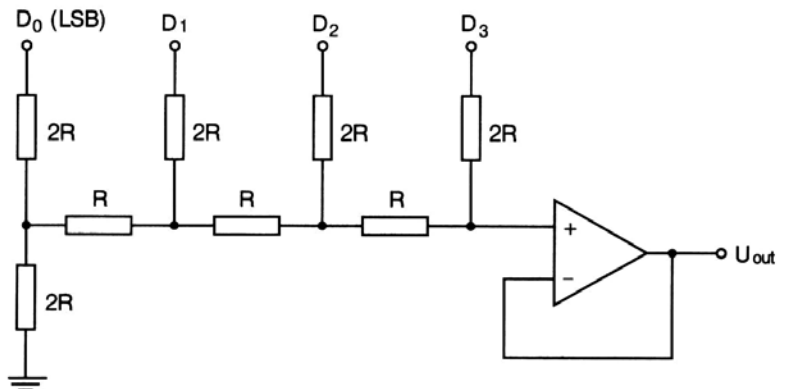
1. **ΚΥΚΛΩΜΑ ΜΕΤΑΤΡΟΠΕΑ D/A ΜΕ ΚΛΙΜΑΚΩΤΟ ΔΙΚΤΥΟ ΑΝΤΙΣΤΑΣΕΩΝ R/2R ΚΑΙ ΤΕΛΕΣΤΙΚΟ ΕΝΙΣΧΥΤΗ ΚΑΙ ΑΝΑΣΤΡΟΦΗ ΤΗΣ ΤΑΣΗΣ**

$$V_{OUT} = -(8D_3 + 4D_2 + 2D_1 + D_0) \frac{R_f}{16R} V_{IN}$$



2. **ΚΥΚΛΩΜΑ ΜΕΤΑΤΡΟΠΕΑ D/A ΜΕ ΑΠΟΛΑΒΗ ΤΗ ΜΟΝΑΔΑ, ΧΩΡΙΣ ΑΝΑΣΤΡΟΦΗ ΚΑΙ ΜΕ ΤΟ ΣΗΜΑ ΝΑ ΕΦΑΡΜΟΖΕΤΑΙ ΣΤΗ ΘΕΤΙΚΗ ΕΙΣΟΔΟ ΤΟΥ ΤΕΛΕΣΤΙΚΟΥ ΕΝΙΣΧΥΤΗ**

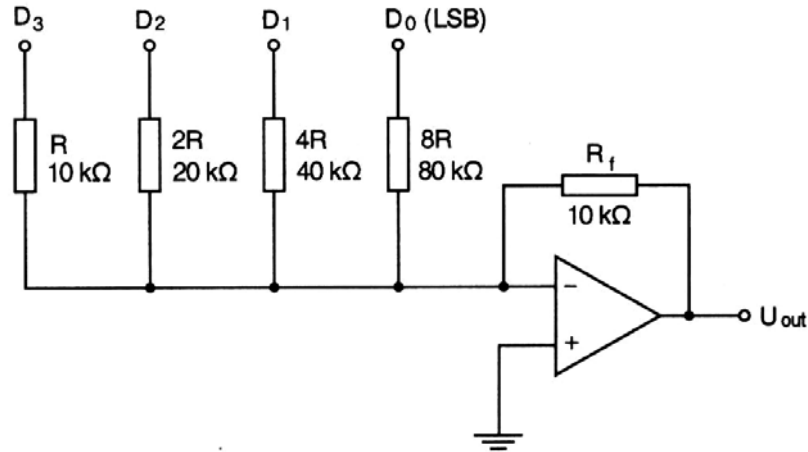
$$V_{OUT} = (8D_3 + 4D_2 + 2D_1 + D_0) \frac{V_{IN}}{16}$$



• **ΑΣΚΗΣΗ 1**

Στην είσοδο του κυκλώματος μετατροπέα D/A εφαρμόζεται ένα ψηφιακό σήμα. Αν το λογικό 1 αντιστοιχεί στα + 5 V και το λογικό 0 στο 0 V, υπολογίστε:

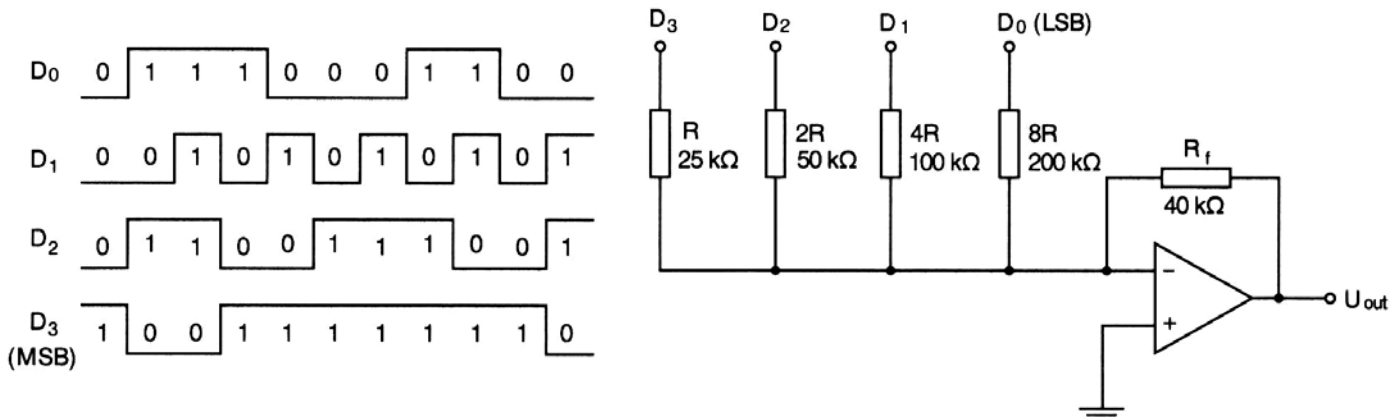
- (α) Την τάση εξόδου για το ψηφίο με την ελάχιστη σημαντική αξία, (LSB-κώδικας 0001).
- (β) Την τάση εξόδου για τον κώδικα 1010.
- (γ) Την μέγιστη τάση εξόδου.



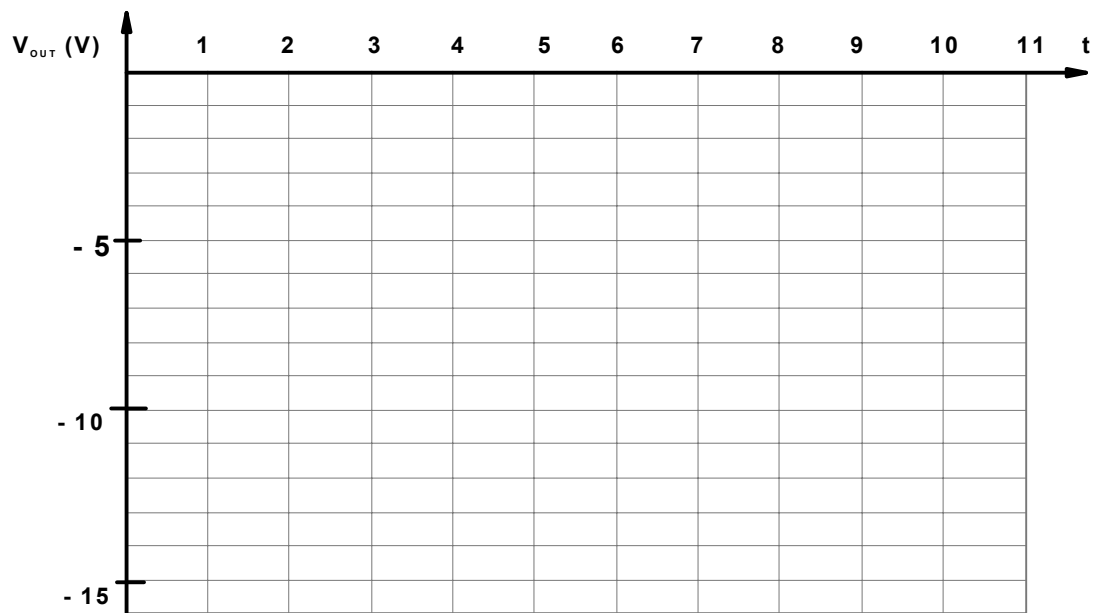
• **ΑΣΚΗΣΗ 2**

Στο κύκλωμα μετατροπής ψηφιακού σήματος σε αναλογικό εφαρμόζεται ψηφιακό σήμα με τα ακόλουθα χρονικά διαγράμματα. Το λογικό 1 του ψηφιακού σήματος αντιστοιχεί στα + 5 V και το λογικό 0 στα 0 V:

- (α) Υπολογίστε την έξοδο για το ψηφιακό σήμα LSB, κώδικας 0001.
- (β) Υπολογίστε το αναλογικό σχήμα εξόδου και συμπληρώστε το πίνακα εισόδου/εξόδου
- (β) Σχεδιάστε το αναλογικό σήμα εξόδου.



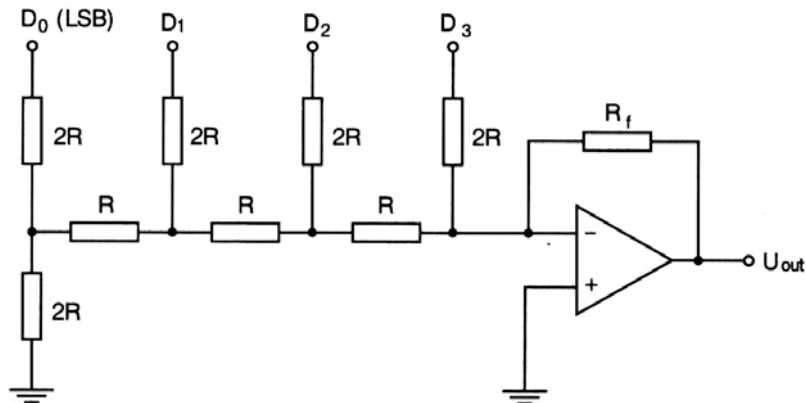
A/A	ΕΙΣΟΔΟΣ				ΕΞΟΔΟΣ
	D ₃	D ₂	D ₁	D ₀	V _{OUT} (V)
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					
11					



• **ΑΣΚΗΣΗ 3**

Για το πιο κύκλωμα του μετατροπέα D/A 4 bit τύπου R/2R υπολογίστε:

- (α) Την αναλογική τάση εξόδου V_{OUT} αν στην εισόδου εφαρμοστεί το ψηφιακό σήμα με κώδικα 1011 με την προϋπόθεση ότι το λογικό 1 = 5 V και το λογικό 0 = 0 V και $R_f = 2R$.
- (β) Την ανάλυση (resolution) του κυκλώματος.
- (γ) Την ανάλυση αν το κύκλωμα του μετατροπέα ήταν των 5 bit.



ΕΠΙΠΛΕΟΝ (ΚΑΤ' ΟΙΚΟΝ) ΕΡΓΑΣΙΑ

Ενότητα 10 - "Μετατροπείς D/A & A/D"

1. Από το βιβλίο σας στην **Ενότητα 10** να διαβάσετε τα πιο κάτω:

- **Ενότητα 10.3 - Κυκλώματα Μετατροπών D/A** **Σελίδες 278 - 287**
- **Παράδειγμα 10.1** **Σελίδα 281**
- **Παράδειγμα 10.2** **Σελίδα 282**
- **Παράδειγμα 10.3** **Σελίδα 285**
-

2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:

- **Ασκήσεις 6, 10, 13, 15, 16, 20, 22** **Σελίδα 302**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΜΕΤΑΤΡΟΠΕΙΣ D/A & A/D ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 3 - ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΜΕΤΑΤΡΟΠΕΩΝ D/A

Χαρακτηριστικά Μετατροπών Ψηφιακού Σήματος σε Αναλογικό (D/A)

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

✓ Να αναφέρει, να εξηγεί και να υπολογίζει τα χαρακτηριστικά των μετατροπών Ψηφιακού Σήματος σε Αναλογικό:

- Ανάλυση (Resolution)
- Ακρίβεια (Accuracy)
- Σφάλμα Γραμμικότητας

• ΑΝΑΛΥΣΗ (RESOLUTION)

Η ΑΝΑΛΥΣΗ (ΔΙΑΚΡΙΤΙΚΟΤΗΤΑ) ΕΝΟΣ ΜΕΤΑΤΡΟΠΕΑ ΨΗΦΙΑΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΑΝΑΛΟΓΙΚΟ ΕΙΝΑΙ Η ΕΛΑΧΙΣΤΗ ΜΕΤΑΒΟΛΗ ΤΗΣ ΑΝΑΛΟΓΙΚΗΣ ΤΑΣΗΣ ΕΞΟΔΟΥ, ΟΤΑΝ ΤΟ ΨΗΦΙΑΚΟ ΣΗΜΑ ΕΙΣΟΔΟΥ ΑΛΛΑΞΕΙ ΚΑΤΑ 1 BIT. ΕΙΝΑΙ ΙΣΗ ΜΕ ΤΟ ΒΑΡΟΣ ΤΟΥ LSB.

$$\text{ΑΝΑΛΥΣΗ} = \frac{\text{ΜΕΓΙΣΤΗ} \cdot \text{ΤΑΣΗ} \cdot \text{ΕΞΟΔΟΥ}}{2^N - 1} \quad N \text{ ΑΡΙΘΜΟΣ BIT ΤΗΣ ΚΩΔΙΚΗΣ ΛΕΞΗΣ}$$

ΚΩΔΙΚΗ ΛΕΞΗ **4 BITS**
ΜΕΓΙΣΤΗ ΤΑΣΗ ΕΞΟΔΟΥ **15 V**

$$\text{ΑΝΑΛΥΣΗ} = \frac{15}{2^4 - 1} = 1 \cdot V$$

Η ΑΝΑΛΥΣΗ ΜΠΟΡΕΙ ΕΠΙΣΗΣ ΝΑ ΕΚΦΡΑΣΤΕΙ ΩΣ ΠΟΣΟΣΤΟ ΤΟΥ ΒΑΡΟΥΣ ΤΟΥ LSB ΩΣ ΠΡΟΣ ΤΗΝ ΜΕΓΙΣΤΗ ΤΑΣΗ ΕΞΟΔΟΥ

$$\text{ΑΝΑΛΥΣΗ} = \frac{1}{2^N - 1} \cdot 100\% \quad \text{ΓΙΑ ΚΩΔΙΚΗ ΛΕΞΗ ΤΩΝ N BITS}$$

ΟΣΟ ΠΙΟ ΜΕΓΑΛΟΣ ΕΙΝΑΙ Ο ΑΡΙΘΜΟΣ ΤΩΝ BIT ΤΟΥ ΨΗΦΙΑΚΟΥ ΣΗΜΑΤΟΣ ΤΟΣΟ ΚΑΛΥΤΕΡΗ ΕΙΝΑΙ Η ΑΝΑΛΥΣΗ

- **ΑΚΡΙΒΕΙΑ (ACCURACY)**

Η ΑΚΡΙΒΕΙΑ ΣΤΗ ΜΕΤΑΤΡΟΠΗ ΕΝΟΣ ΨΗΦΙΑΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΑΝΑΛΟΓΙΚΗ, ΕΙΝΑΙ Η ΔΙΑΦΟΡΑ ΤΗΣ ΠΡΑΓΜΑΤΙΚΗΣ ΤΙΜΗΣ ΑΠΟ ΤΗΝ ΙΔΑΝΙΚΗ ΤΙΜΗ ΤΟΥ ΑΝΑΛΟΓΙΚΟΥ ΣΗΜΑΤΟΣ ΕΞΟΔΟΥ

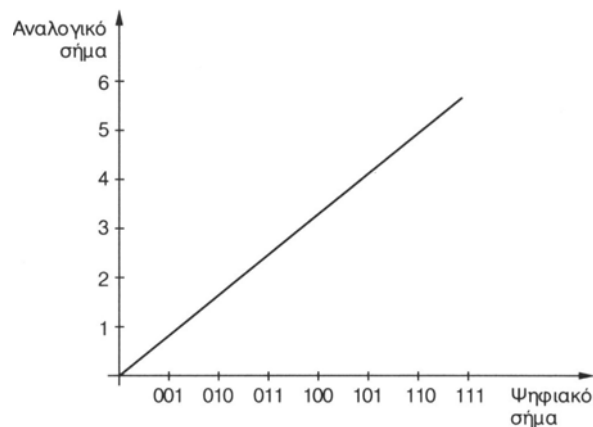
ΜΕΓΙΣΤΗ ΤΑΣΗ ΕΞΟΔΟΥ = 10 V, ΑΚΡΙΒΕΙΑ = 0.1 %

$$ΑΚΡΙΒΕΙΑ = 10V \cdot \frac{0,1}{100} = 10mV$$

Η ΑΚΡΙΒΕΙΑ ΕΚΦΡΑΖΕΤΑΙ ΣΕ ΑΡΙΘΜΟ ΑΠΟ LSB's ΚΑΙ ΓΙΑ ΕΝΑ ΙΔΑΝΙΚΟ ΜΕΤΑΤΡΟΠΕΑ ΔΕΝ ΠΡΕΠΕΙ ΝΑ ΞΕΠΕΡΝΑ ΤΟ +/- 0,5 LSB

- **ΣΦΑΛΜΑ ΓΡΑΜΜΙΚΟΤΗΤΑΣ (LINEARITY ERROR)**

ΓΙΑ ΕΝΑ ΙΔΑΝΙΚΟ ΜΕΤΑΤΡΟΠΕΑ DAC Η ΤΑΣΗ ΕΞΟΔΟΥ ΕΙΝΑΙ ΓΡΑΜΜΙΚΑ ΑΝΑΛΟΓΗ ΤΟΥ ΣΗΜΑΤΟΣ ΕΙΣΟΔΟΥ ΚΑΙ Η ΧΑΡΑΚΤΗΡΙΣΤΙΚΗ ΜΕΤΑΦΟΡΑΣ ΕΙΣΟΔΟΥ / ΕΞΟΔΟΥ ΠΑΡΙΣΤΑΝΕΤΑΙ ΜΕ ΜΙΑ ΕΥΘΕΙΑ ΓΡΑΜΜΗ.



- **ΑΣΚΗΣΗ 1** Υπολογίστε την ανάλυση σε ποσοστό του βάρους του LSB για τους μετατροπείς Ψηφιακού Σήματος σε Αναλογικό

- (α) Μετατροπέας 4 bit
- (β) Μετατροπέας 8 bit

Ποιος μετατροπέας νομίζετε ότι προσφέρει την καλύτερη ανάλυση και για τι;

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΜΕΤΑΤΡΟΠΕΙΣ D/A & A/D
ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 4 - ΜΕΤΑΤΡΟΠΗ ΑΝΑΛΟΓΙΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΨΗΦΙΑΚΟ

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- √ Να υπολογίζει το σωστό ρυθμό δειγματοληψίας για τη μετατροπή ενός αναλογικού σήματος σε ψηφιακό.

Μετατροπή Αναλογικού Σήματος σε Ψηφιακό

Για να μετατραπεί ένα αναλογικό σήμα σε ψηφιακό, θα πρέπει να μετατραπεί σε σήμα διακριτό ως προς το χρόνο. Ποιος είναι όμως ο κατάλληλος ρυθμός δειγματοληψίας;

Θεώρημα Δειγματοληψίας (Nyquist)

Η **συχνότητα δειγματοληψίας** του αναλογικού σήματος και μετατροπής αυτού σε ψηφιακό πρέπει να είναι μεγαλύτερη ή τουλάχιστον ίση με το διπλάσιο της μέγιστης συχνότητας που εμπεριέχεται στο αναλογικό σήμα, για να μπορεί να αναπαραχθεί το αναλογικό σήμα σωστά στο δέκτη από το ψηφιακό.

1. Ποιος είναι ο ρυθμός δειγματοληψίας για τα πιο κάτω αναλογικά σήματα;
 - Τηλεφωνικό σήμα 4 kHz Δείγματα/Δευτερόλεπτο
 - Μουσικό σήμα 15 kHz Δείγματα/Δευτερόλεπτο
2. Κάθε πόσο συχνά θα πρέπει να δειγματοληπτείται ένα αναλογικό σήμα με μέγιστη συχνότητα 20 kHz, ώστε να διασφαλιστεί η σωστή του αναπαραγωγή από ψηφιακό πάλι σε αναλογικό;

..... **μs**

Μετατροπές Διαδοχικών Προσεγγίσεων ADC

Ο **Μετατροπέας Αναλογικού Σήματος σε Ψηφιακό** τύπου **Διαδοχικών Προσεγγίσεων** εκτελεί αριθμό προσεγγίσεων στην διαδικασία μετατροπής που εξαρτάται από τον αριθμό του ψηφιακού σήματος εξόδου.

Για παράδειγμα ένας τέτοιος μετατροπέας 8 - Bit, χρειάζεται 8 χρονικούς παλμούς του ωρολογίου για να μετατρέψει ένα αναλογικό δείγμα σε ψηφιακό σήμα.

Έτσι η μέγιστη συχνότητα που μπορεί να περιέχεται σε ένα αναλογικό σήμα που θα μετατραπεί σε ψηφιακό εξαρτάται από την ταχύτητα λειτουργίας του μετατροπέα.

3. Ποια είναι η μέγιστη συχνότητα που μπορεί να περιέχει ένα αναλογικό σήμα, για να μπορεί να γίνει η μετατροπή του σε ψηφιακό σήμα σε ένα μετατροπέα ADC με μέγιστο χρόνο μετατροπής 10 μ s.

..... **kHz**

4. Να υπολογίσετε το χρόνο μετατροπής αναλογικού σήματος σε ψηφιακό από μετατροπέα διαδοχικό προσεγγίσεων, όταν το CLK του έχει συχνότητα 1 MHz και το ψηφιακό σήμα είναι 8 - Bit.

..... **μ s**

5. Ποια πρέπει να είναι η ελαχίστη συχνότητα του CLK μετατροπέα διαδοχικών προσεγγίσεων ADC 8 - Bit αν η μέγιστη συχνότητα αναλογικού σήματος είναι 20 kHz.

..... **kHz**

6. Υπολογίστε την μέγιστη συχνότητα αναλογικού σήματος που θα μπορούσε να μετατραπεί σε ψηφιακό σε μετατροπέα διαδοχικών προσεγγίσεων ADC των 8 - Bit και συχνότητα CLK 10 MHz.

..... **kHz**

Συμπεράσματα

7. Από τι νομίζετε εξαρτάται η μέγιστη συχνότητα που μπορεί να περιέχει ένα αναλογικό σήμα που μετατρέπεται σε ψηφιακό από ένα μετατροπέα αναλογικού σήματος σε ψηφιακό τύπου Διαδοχικών Προσεγγίσεων, ώστε να μπορεί να αναπαραχθεί σωστά το αναλογικό σήμα από το ψηφιακό;

Δικαιολογείστε τις απαντήσεις σας:

ΕΠΙΠΛΕΟΝ (ΚΑΤ' ΟΙΚΟΝ) ΕΡΓΑΣΙΑ

Ενότητα 10 - "Μετατροπείς D/A & A/D"

1. Από το βιβλίο σας στην **Ενότητα 10** να διαβάσετε τα πιο κάτω:
 - **Ενότητα 10.5 - Μετατροπή Αναλογικό Σήματος σε Ψηφιακό Σελίδες 289 - 290**
2. Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - **Ασκήσεις 37 και 38 Σελίδα 306**

Β' ΤΕΧΝΙΚΗ ΣΧΟΛΗ ΛΕΥΚΩΣΙΑΣ

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ 3^{ΗΣ} ΤΑΞΗΣ - ΜΕΤΑΤΡΟΠΕΙΣ D/A & A/D ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ 5 - ΚΥΚΛΩΜΑΤΑ ΜΕΤΑΤΡΟΠΕΩΝ ΑΝΑΛΟΓΙΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΨΗΦΙΑΚΟ

ΟΝΟΜΑ : ΤΜΗΜΑ :

Κυκλώματα Μετατροπών Αναλογικού Σήματος σε Ψηφιακό

Στόχοι

Μετά το τέλος του μαθήματος ο μαθητής θα πρέπει να μπορεί:

- √ Να σχεδιάζει και να εξηγεί κύκλωμα μετατροπής αναλογικού σήματος σε ψηφιακό με τους ακόλουθους μετατροπείς :
 - Παράλληλος μετατροπέας (Flash A/D Converter)
 - Διαδοχικών προσεγγίσεων (Successive - Approximation A/D Converter)

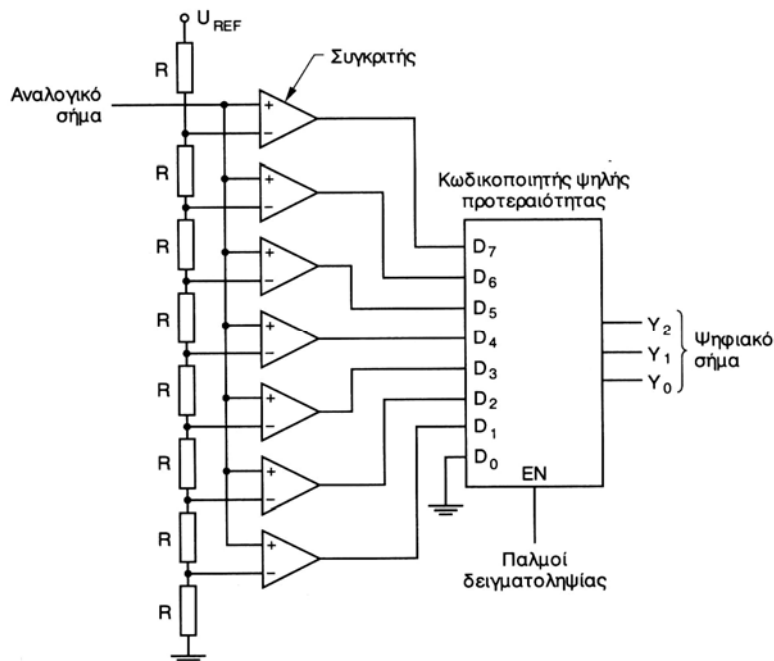
• ΚΡΙΤΗΡΙΑ ΣΥΓΚΡΙΣΗΣ ADC

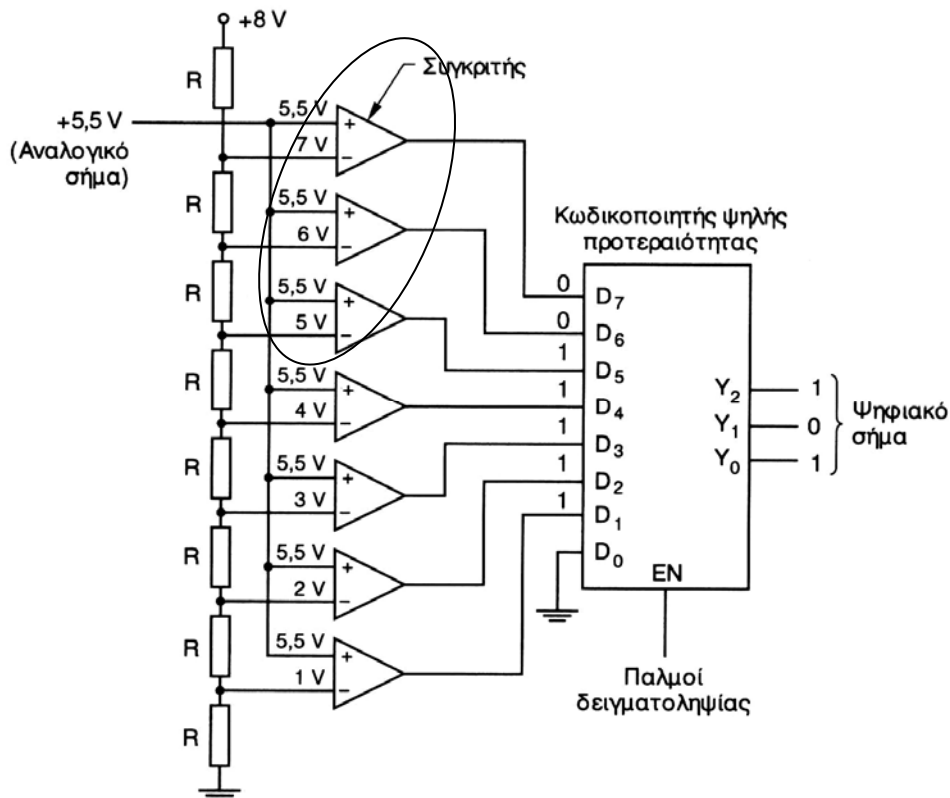
- √ ΧΡΟΝΟΣ ΜΕΤΑΤΡΟΠΗΣ
- √ ΑΚΡΙΒΕΙΑ
- √ ΑΝΑΛΥΣΗ
- √ ΚΟΣΤΟΣ

• ΠΑΡΑΛΛΗΛΟΣ ΜΕΤΑΤΡΟΠΕΑΣ ADC (FLASH)

- ΑΜΕΣΗ, ΤΑΥΤΟΧΡΟΝΗ ΜΕΤΑΤΡΟΠΗ ΜΕ ΜΕΙΟΝΕΚΤΗΜΑ ΤΟ ΚΟΣΤΟΣ
- ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΤΕΛΕΣΤΙΚΟΥΣ ΕΝΙΣΧΥΤΕΣ ΣΕ ΣΥΝΔΕΣΜΟΛΟΓΙΑ ΣΥΓΚΡΙΤΗ ΤΑΞΗΣ ΠΟΥ ΤΡΟΦΟΔΟΤΟΥΝ ΕΝΑ ΚΩΔΙΚΟΠΟΙΗΤΗ ΨΗΛΗΣ ΠΡΟΤΕΡΑΙΟΤΗΤΑΣ

ΛΕΙΤΟΥΡΓΙΑ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ





ΛΕΙΤΟΥΡΓΙΑ ΚΥΚΛΩΜΑΤΟΣ

ΤΑΣΗ ΑΝΑΦΟΡΑΣ $V_{REF} = 8 \text{ V}$
 ΑΝΑΛΟΓΙΚΟ ΣΗΜΑ $V_{IN} = 5,5 \text{ V}$

7^{0Σ} ΣΥΓΚΡΙΤΗΣ (+) = 5,5 V
 (-) = 7 V
 $V_{OUT} = \text{LOW}$

6^{0Σ} ΣΥΓΚΡΙΤΗΣ (+) = 5,5 V
 (-) = 6 V
 $V_{OUT} = \text{LOW}$

5^{0Σ} ΣΥΓΚΡΙΤΗΣ (+) = 5,5 V
 (-) = 5 V
 $V_{OUT} = \text{HIGH}$

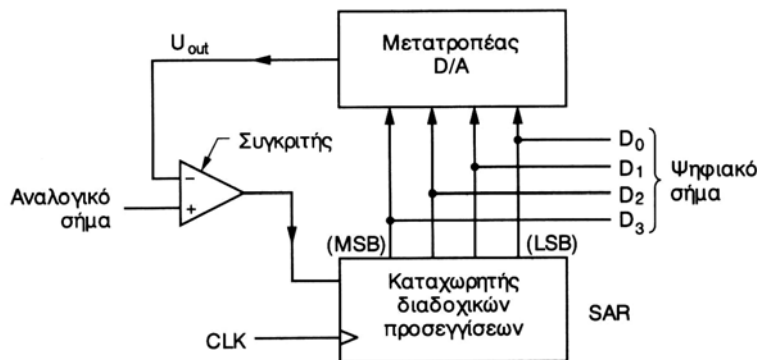
ΣΤΟΥΣ ΥΠΟΛΟΙΠΟΥΣ ΣΥΓΚΡΙΤΕΣ (1⁰ - 4⁰) Η ΕΞΟΔΟΣ ΕΙΝΑΙ ΕΠΙΣΗΣ $V_{OUT} = \text{HIGH}$, ΚΑΙ ΑΡΑ ΚΩΔΙΚΟΠΟΙΟΥΜΕ ΚΑΤΑ ΠΡΟΤΕΡΑΙΟΤΗΤΑ ΤΟ ΠΙΟ ΜΕΓΑΛΟ ΑΡΙΘΜΟ, ΤΟ D₅ :

ΨΗΦΙΑΚΟ ΣΗΜΑ ⇒ **5,5 V = 1 0 1**

• **ΜΕΤΑΤΡΟΠΕΑΣ ΔΙΑΔΟΧΙΚΩΝ ΠΡΟΣΕΓΓΙΣΕΩΝ ADC - (SUCCESSIVE APPROXIMATION ADC)**

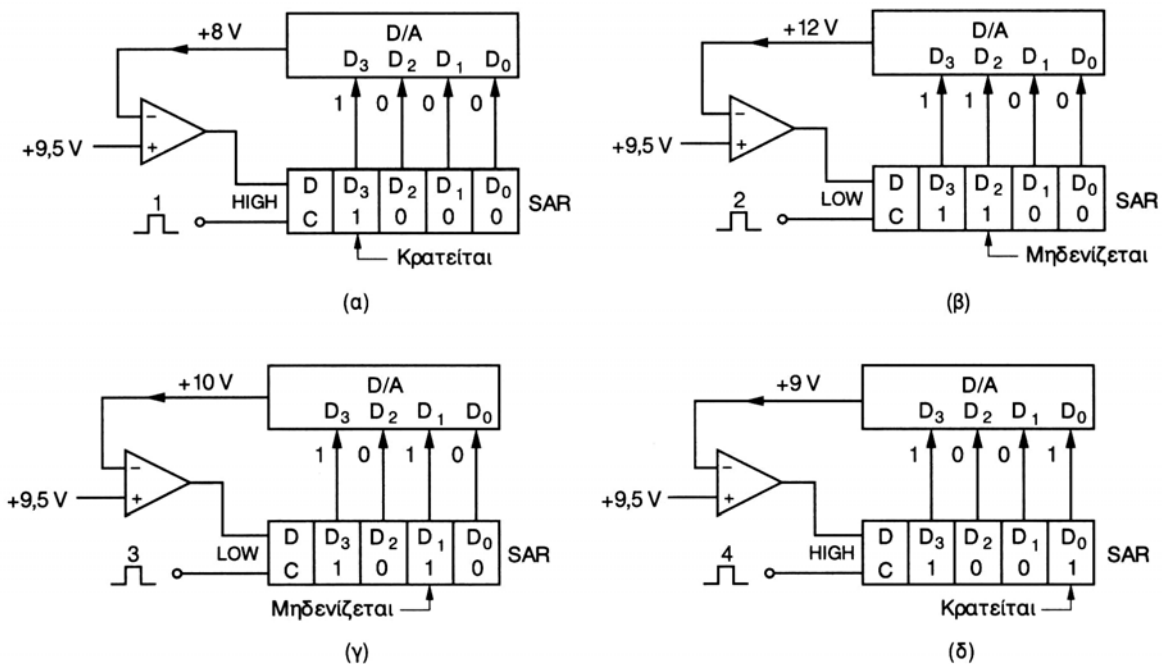
ΔΗΜΟΦΙΛΗΣ ΜΕΘΟΔΟΣ ΜΕΤΑΤΡΟΠΗΣ ΑΝΑΛΟΓΙΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΨΗΦΙΑΚΟ ΜΕ ΣΧΕΤΙΚΑ ΜΙΚΡΟ ΧΡΟΝΟ ΜΕΤΑΤΡΟΠΗΣ ΚΑΙ ΑΠΟΤΕΛΕΙΤΑΙ:

- ΚΑΤΑΧΩΡΗΤΗ ΔΙΑΔΟΧΙΚΩΝ ΠΡΟΣΕΓΓΙΣΕΩΝ (SUCCESSIVE APPROXIMATION REGISTER, SAR)
- ΚΥΚΛΩΜΑ ΜΕΤΑΤΡΟΠΕΑΣ DAC
- ΣΥΓΚΡΙΤΗ ΤΑΣΗΣ ΣΤΗΝ ΘΕΤΙΚΗ ΕΙΣΟΔΟ (+) ΕΦΑΡΜΟΖΕΤΑΙ ΤΟ ΑΝΑΛΟΓΙΚΟ ΣΗΜΑ
- ΣΤΗ ΑΡΝΗΤΙΚΗ ΕΙΣΟΔΟ (-) Η ΤΑΣΗ ΠΟΥ ΠΡΟΕΡΧΕΤΑΙ ΑΠΟ ΤΗΝ ΕΞΟΔΟ ΤΟΥ ΜΕΤΑΤΡΟΠΕΑΣ D/A



ΠΑΡΑΔΕΙΓΜΑ

- Ο ΜΕΤΑΤΡΟΠΕΑΣ ADC ΕΙΝΑΙ ΤΩΝ 4 - ΒΙΤ, ΕΠΟΜΕΝΩΣ Ο ΜΕΤΑΤΡΟΠΕΑΣ ΔΙΑΔΟΧΙΚΩΝ ΠΡΟΣΕΓΓΙΣΕΩΝ ΚΑΙ Ο ΜΕΤΑΤΡΟΠΕΑΣ D/A ΕΙΝΑΙ ΤΩΝ 4 - ΒΙΤ
- Ο ΜΕΤΑΤΡΟΠΕΑΣ D/A ΔΙΔΕΙ ΣΤΗΝ ΕΞΟΔΟ ΤΟΥΓΙΑ ΤΟΝ ΚΩΔΙΚΑ 0 0 0 1 (LSB) $V_{OUT} = 1$ V ΚΑΙ ΓΙΑ ΤΟΝ ΚΩΔΙΚΑ 1 1 1 1 = 15 V
- ΤΟ ΑΝΑΛΟΓΙΚΟ ΣΗΜΑ ΕΧΕΙ ΤΑΣΗ ΕΙΣΟΔΟΥ $V_{IN} = 9,5$ V



ΛΕΙΤΟΥΡΓΙΑ ΚΥΚΛΩΜΑΤΟΣ

- **ΒΗΜΑ 1:** SET MSB $D_3D_2D_1D_0 = 1000$ (-) = 8 V
(+) = 9,5 V $\Rightarrow V_{OUT} = \text{HIGH}$
MSB = 1
ΑΡΑ Η ΕΞΟΔΟΣ ΤΟΥ SAR ΠΑΡΑΜΕΝΕΙ $D_3D_2D_1D_0 = 1000$
- **ΒΗΜΑ 2:** SET BIT D_2 $D_3D_2D_1D_0 = 1100$ (-) = 12 V
(+) = 9,5 V $\Rightarrow V_{OUT} = \text{LOW}$
 $D_2 = 0$
ΑΡΑ Η ΕΞΟΔΟΣ ΤΟΥ SAR ΑΛΛΑΖΕΙ $D_3D_2D_1D_0 = 1000$
- **ΒΗΜΑ 3:** SET BIT D_1 $D_3D_2D_1D_0 = 1010$ (-) = 10 V
(+) = 9,5 V $\Rightarrow V_{OUT} =$
LOW $D_1 = 0$
ΑΡΑ Η ΕΞΟΔΟΣ ΤΟΥ SAR ΑΛΛΑΖΕΙ $D_3D_2D_1D_0 = 1000$
- **ΒΗΜΑ 4:** SET BIT D_0 $D_3D_2D_1D_0 = 1001$ (-) = 9 V
(+) = 9,5 V $\Rightarrow V_{OUT} = \text{HIGH}$
 $D_0 = 1$
ΑΡΑ Η ΕΞΟΔΟΣ ΤΟΥ SAR ΠΑΡΑΜΕΝΕΙ $D_3D_2D_1D_0 = 1001$
 $\Rightarrow \mathbf{9,5\text{ V} = 1001}$

ΣΗΜΕΙΩΣΗ: Η ΔΙΑΔΙΚΑΣΙΑ ΜΕΤΑΤΡΟΠΗΣ ΔΙΑΡΚΕΙ 4 ΧΡΟΝΙΚΟΥΣ ΠΑΛΜΟΥΣ

ΕΠΙΠΛΕΟΝ (ΚΑΤ' ΟΙΚΟΝ) ΕΡΓΑΣΙΑ

Ενότητα 10 - "Μετατροπείς D/A & A/D"

- Από το βιβλίο σας στην **Ενότητα 10** να διαβάσετε τα πιο κάτω:
 - Ενότητα 10.5.1 - Παράλληλος Μετατροπέας A/D** Σελίδες 290 - 292
 - Ενότητα 10.5.2 - Μετατροπέας Διαδοχικών Προσεγγίσεων** Σελίδες 293 - 295
- Να απαντήσετε τις πιο κάτω ερωτήσεις της **Αξιολόγησης** στο τετράδιο σας:
 - Ασκήσεις 39, 41, 42, 43, 44 και 45** Σελίδα 306

